

# 数字集成电路系统设计

## 3.1 数字芯片设计策略

### 3.1.1 引言

数字芯片设计是现代电子技术中最核心的部分。数字芯片依靠其轻巧、高性能和低功耗等特点，在我们的现代生活中扮演着重要的角色。数字芯片的设计策略是影响其性能和可靠性的重要因素。数字芯片的设计策略是指在数字电路的设计、验证和实施过程中所采用的方法和技术。本章将介绍数字芯片设计的基本策略和流程，并探讨如何在数字芯片设计中实现高性能、低功耗和低成本的要求。

数字芯片设计的策略可以分为以下五个方面。

(1) 系统级设计：在设计数字芯片之前，需要先确定系统的需求和目标，以便在系统级上对数字芯片做出规划。系统级设计包括功能分析、电路架构、性能评估等。

(2) 高层次综合：高层次综合是数字芯片设计过程中的一个重要环节。它主要通过通过对所需功能和性能等方面的描述，设计电路结构，并自动完成电路设计中的优化和综合，以减少设计人员的工作量。

(3) 低功耗设计：现今的数字芯片设计普遍注重低功耗。在低功耗设计中，需要采用低功耗技术、静态与动态功耗的控制、睡眠模式和节能策略等来提高功率效率。

(4) 电路设计：电路设计是数字芯片设计的核心环节，它主要包括逻辑设计、时序控制、接口设计、模拟前端的基础组件设计和数字信号处理等方面。电路设计需要具备高精度和高可靠性，还需要考虑系统时钟、延迟、功耗等问题。

(5) 验证和测试：我们设计的数字芯片需要通过测试来保障其正确工作。在数字芯片设计的验证和测试中，需要使用各种验证和测试技术，包括仿真测试、可靠性分析、装备测试等方面的技术。

总之，在数字芯片设计中，设计策略的选择影响数字芯片的性能、复杂度和可靠性。因此，要提高数字芯片设计的效率和质量，需要综合考虑硬件、软件、系统及市场需求等因素。本章简单介绍了数字芯片设计的策略，希望对读者有所帮助。

### 3.1.2 数字芯片设计的基本策略

数字芯片设计的基本策略为通过适当的设计方法、工具和技术来满足性能、功耗和成本指标的要求。数字芯片有以下三个方面的指标。

#### 1. 性能指标

数字芯片的性能通常包括工作频率、时序、数据传输速率、噪声、精度等。为了获得高性能的数字芯片，设计者需要采用高性能的处理器、存储器、输入/输出接口、时钟和时序电路。此外，为了提高数字芯片的性能，设计师还需要采用一些优化技术，如流水线、乱序执行、指令预取等。

#### 2. 功耗指标

数字芯片的功耗指的是数字芯片在工作状态和待机状态下的功耗。为了获得低功耗的数字芯片，设计者需要采用功耗优化技术，如低功耗芯片架构、功耗优化布局、时钟门控、全球电源管理等。此外，还可以采用一些特殊的功耗优化方法，如深度睡眠、动态电压调节等，来实现低功耗的设计目标。

#### 3. 成本指标

数字芯片的成本包括设计成本、制造成本和测试成本。为了降低数字芯片的成本，设计者需要采用一些经济效益优化技术，如可重用的 IP 核、系统级集成设计和测试自动化等。此外，还可以通过采用标准化和高集成度的设计来降低成本。

### 3.1.3 数字芯片设计的流程

数字芯片设计的流程通常分为以下五个阶段：需求分析、体系结构设计、逻辑设计、物理设计和验证，如图 3-1 所示。

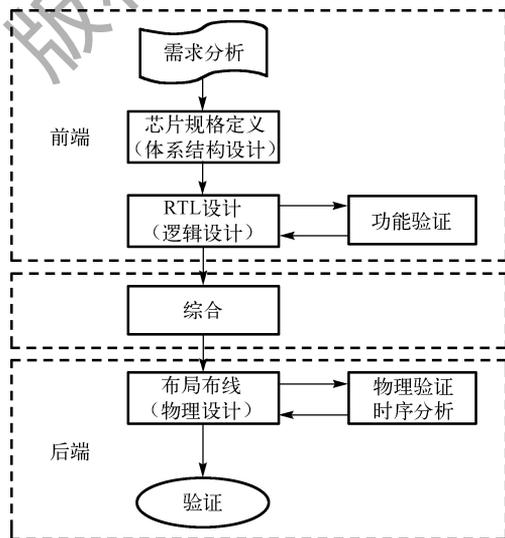


图 3-1 数字芯片设计流程

## 1. 需求分析

在数字芯片设计过程中，需求分析是非常重要的步骤。在这个阶段，设计师需要与客户或项目组合作，分析出数字芯片的具体要求，包括性能、功耗、成本和其他功能要求。此外，设计师需要对目标市场和竞争环境进行分析，以确保设计方案具有市场竞争力。

## 2. 体系结构设计

在需求分析阶段完成后，设计师需要进行体系结构设计。在这个阶段，需要确定数字芯片的总体结构、内部数据通路、存储器接口、时钟和控制电路等。此外，还需要进行芯片功能划分和模块化设计，以便于后续的逻辑设计和物理设计。

## 3. 逻辑设计

在体系结构设计完成后，需要进行逻辑设计。在这个阶段，需要将体系结构设计转化为逻辑描述，包括设计逻辑电路、寄存器传输级别电路、控制逻辑电路等。此外，还需要对逻辑电路进行优化，以保证设计的正确性、高效性和容错性。

## 4. 物理设计

在逻辑设计完成后，需要进行物理设计。在这个阶段，需要完成芯片的物理细节设计，包括版图设计、逻辑布局、物理布局和布线等。此外，还需要进行时序优化和功耗优化，以满足设计的性能指标和功耗指标。同时，还需要进行设计规则检查和验收，以确保设计符合制造要求。

## 5. 验证

在物理设计完成后，需要进行验证。在这个阶段，需要对设计进行功能验证、时序验证和功耗验证。此外，还需要进行仿真验证和硬件验证，以确保设计符合规范要求。验证完成后，数字芯片就可以投入生产了。

### 3.1.4 数字芯片设计的优化技术

为了满足数字芯片设计的高性能、低功耗和低成本要求，设计师需要运用一些优化技术。

#### 1. 流水线技术

流水线技术可以将数字系统分成多个阶段，每个阶段处理不同的指令或数据，从而提高系统的运行速度。流水线技术可以提高系统的并行度，缩短指令的执行时间，从而提高系统性能。

#### 2. 指令预取技术

指令预取技术可以在执行指令之前预取指令，使得指令和数据的访问同时进行。指令预取可以利用局部性原理，预测下一条指令的地址，从而避免指令访问引起的等待。指令预取可以加速指令的访问，提高系统的性能。

### 3. 功耗优化技术

功耗优化技术可以降低系统的功耗。常见的功耗优化技术包括时钟门控、电压缩放、功率管理等。通过功耗优化技术，可以在保证系统性能的前提下降低总功耗，达到节能的目的。

### 4. 可重用 IP 核技术

可重用 IP 核技术可以使芯片设计更加高效。设计者可以使用可重用 IP 核来替换复杂的电路设计，缩短开发时间和降低成本。同时，使用可重用 IP 核也可以提高设计的质量和可靠性。

### 5. 系统级集成设计技术

系统级集成设计技术可以将芯片设计与系统设计进行集成。通过系统级集成设计技术，设计者可以将多个模块、子系统和处理器等集成到一个单一的芯片上，降低芯片的成本和功耗，提高系统的性能和可靠性。

## 3.1.5 数字芯片设计的发展趋势

数字芯片设计在不断发展和进步，未来数字芯片设计的发展趋势可以从以下四个方面进行预测。

### 1. 高度集成

未来数字芯片设计将会朝着更高度集成的方向发展。随着处理器核心数量的不断增加，数字信号处理器、模拟信号处理器等被更广泛地应用，设计师需要在有限的面积内集成更多的功能电路。

### 2. 异构集成

未来数字芯片的设计将离不开异构集成。处理器和 FPGA (Field Programmable Gate Array, 现场可编程门阵列) 将加速集成，以实现更高效的数字信号处理和系统控制。

### 3. 低功耗

随着人们对能源的关注和对绿色环保的呼声，低功耗设计成为未来数字芯片设计的一个主要趋势。采用低功耗设计、动态电压调整等技术，可以大大降低系统的功耗，从而提高芯片的可靠性，延长电池寿命。

### 4. 测试自动化

随着设计复杂度的不断提高，测试成为数字芯片设计的一个主要难点。测试自动化技术可以大大降低测试的成本，缩短测试的时间，提高测试的效率和可靠性。因此，测试自动化将成为未来数字芯片设计的一个重要趋势。

总之，数字芯片设计策略和技术的不断发展，将为电子技术的发展和应用提供更广阔的发展空间。设计者需要不断改进自己的设计思路和技术，以适应快速发展的数字芯片设计需求。

## 3.2 互连线设计

在早期数字集成电路的发展过程中，芯片上互连线并不是芯片设计的重点，只有在特殊情况下或执行高精度分析时才需要考虑芯片上互连线的影响。随着深亚微米半导体技术的引入，这种情况迅速发生变化。由互连线引入的寄生效应显示出与晶体管等有源器件不同的缩放行为，并且随着数字集成电路器件尺寸的减小和电路速度的提高，该效应产生的作用愈发重要，已成为影响数字集成电路内速度、能耗和可靠性等性能指标的主要因素。随着集成电路技术的改进，设计芯片的晶体管尺寸越来越大，导致芯片上互连线平均长度增加和相关寄生效应加重。因此，对数字集成电路系统中互连线的作用和行为进行仔细且深入的分析具有重大意义。

### 3.2.1 互连线设计概述

数字集成电路系统设计者在实现集成电路内各种器件之间的互连方面具有多种选择。现有技术工艺大多使用多层铝和至少一层多晶硅，或使用用于实现源极和漏极区的重掺杂N+或P+层实现布线。当今集成电路的布线形成了复杂的几何形状，引入了电容性、电阻性和电感性寄生效应。上述三类寄生效应都会对数字集成电路产生多重影响。这些影响主要包含以下三点。

- (1) 传播延迟的增加，或性能的等效下降。
- (2) 对能量耗散和功率分布的影响。
- (3) 引入额外的噪声源，影响集成电路的可靠性。

由于完整芯片模型的复杂性，设计人员很难在分析和设计优化过程中考虑到芯片内所有互连线产生的寄生效应。为了更好地模拟互连线寄生效应的影响，需要构筑一个互连线互联的基础电路模型，如图3-2所示。其中，图3-2(a)的模型考虑了大部分互连线寄生效应（互连线的线间电阻和互感除外），图3-2(b)的模型仅考虑电容。

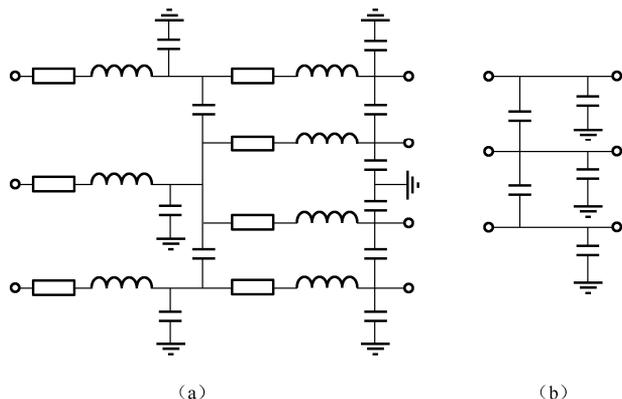


图3-2 基础电路模型

一个完整的电路模型会同时考虑寄生电容、电阻和互连电感。这些额外的电容、电阻和电感并不位于模型内某一个物理点，而是分布在均匀长度的互连线上。除此之外，一些线间寄生效应是相互影响的，因此在原始原理图中无法体现不同总线信号之间产生的相互耦合效应。考虑到分析原理图的行为（仅对电路的一小部分进行建模）比较烦琐，本节列举出了以下三种简化方法。

(1) 当互连线间的电阻很大（如具有小横截面的长铝线等情况）或者施加信号的上升和下降时间很长时，则可以忽略电感效应。

(2) 当互连线较短、互连线的横截面较大或所用互连材料的电阻率较低时，则可以使用仅考虑电容的模型，如图 3-2 (b) 所示。

(3) 当相邻互连线之间的间隔较大或者互连线仅在短距离内一起运行时，则可以忽略互连线间电容，并且可以将所有寄生电容建模为对地电容。

本节向读者介绍估计各种互连参数值的基本技术、评估其影响的简单模型及何时何地应考虑特定模型或效应的一组经验法则。

### 3.2.2 互连参数

#### 1. 电容参数

数字集成电路系统中的互连线电容参数与其形状、环境、到衬底的距离及到周围互连线的距离有关。本小节通过不同类型互连线展示各相关项与电容参数的联系。

首先考虑放置在半导体衬底上的简单矩形互连线。如果互连线的宽度远大于绝缘材料的厚度，则可以假定电场线与电容器极板正交，其电容可以用平板电容器模型来模拟。在这些情况下，互连线的总电容可以近似为

$$C_{\text{int}} = \frac{\epsilon_{\text{di}} WL}{t_{\text{di}}} \quad (3-1)$$

式中， $W$  和  $L$  分别为互连线的宽度和长度， $t_{\text{di}}$  和  $\epsilon_{\text{di}}$  分别表示介电层的厚度及其介电常数。二氧化硅是集成电路中首选的介电材料，目前一些因介电常数较低导致电容较低的材料（如聚酰亚胺和气凝胶等）也在逐步投入使用。

为了使互连线的电阻最小化，最好保持互连线的横截面尽可能大。另外，更小的宽度（ $W$ ）使布线更密集、面积开销更小。因此，多年来  $W/H$  比率不断下降，在某些高级工艺中已经下降到 1 以下。在这种情况下，上述假设的平板电容器模型变得不准确。互连线侧壁与衬底之间的电容（边缘电容）成为整体电容的组成部分，无法忽略。边缘场如图 3-3 (a) 所示。

电容分解为两部分：平板电容和边缘电容。考虑到由直径为互连线厚度的圆柱形互连线建模为复杂几何图形精确模型的难度较高，因此使用一个简化的模型，将电容近似为两个分量之和，如图 3-3 (b) 所示。平板电容由宽度为  $W$  的互连线和地平面之间的正交场确定，与边缘电容平行，由一个尺寸等于互连线厚度  $H$  的圆柱形互连线建模，由此得到的近似值可在实际应用中使用时。其相关公式为

$$C_{\text{wire}} = C_{\text{pp}} + C_{\text{fringe}} = \frac{w\epsilon_{\text{di}}}{t_{\text{di}}} + \frac{2\pi\epsilon_{\text{di}}}{\log(t_{\text{di}}/H)} \quad (3-2)$$

式中， $w = W - H/2$ ，是平板电容器的宽度的良好近似。

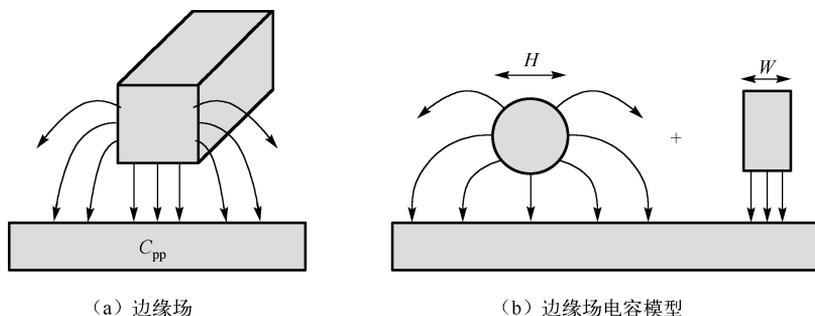


图 3-3 边缘场电容

到目前为止，我们的分析仅限于在接地层上放置单个矩形导体的情况。这种结构称为微带线，当互连层的数量限制为 1 或 2 时，是良好的半导体互连模型。而工艺的改进为芯片提供了更多的互连层，这些互连层被非常密集地封装。在这种情况下，互连线与其周围结构完全隔离，使仅有电容性耦合到地的假设就显得较为简单。图 3-4 中显示了嵌入在互连层级中互连线的电容分量。每条互连线不仅耦合到接地衬底，还连接至同一层和相邻层上的相邻互连线。当仅为一阶时，不会改变连接到给定互连线的总电容。主要区别在于，并非所有的电容分量都终止于接地基板，大量的电容分量连接到其他互连线上，这些浮置电容器不仅形成噪声源（串扰），而且还可能对电路的性能产生负面影响。

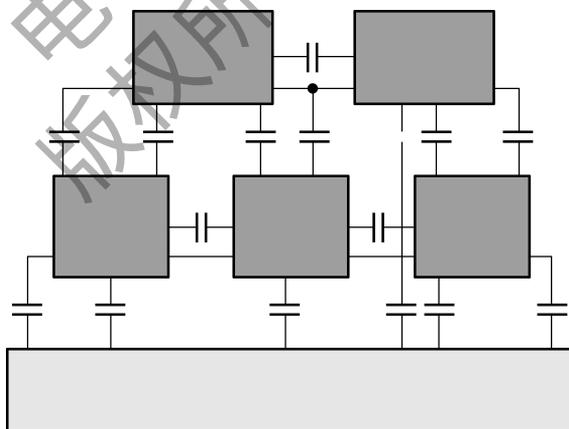


图 3-4 互连层次中互连线之间的电容耦合

总之，线间电容目前已成为多层互连结构中的主导因素。这种效应对于较高互连层中的互连线更为明显，因为这些互连线距离衬底更远。随着特征尺寸的减小，线间电容在总电容中的占比也在不断增加。

## 2. 电阻参数

互连线的电阻与其长度  $L$  成正比，与其横截面积  $A$  成反比。互连线的电阻为

$$R = \frac{\rho L}{A} = \frac{\rho L}{HW} \quad (3-3)$$

式中，常数  $\rho$  是材料的电阻率（单位为  $\Omega \cdot \text{m}$ ）。铝是集成电路中最常用的互连材料，因为其成本低且与标准集成电路制造工艺兼容。但与铜等材料相比，铝具有较高的电阻率。随着性能目标的不断提高，这成为一种不利因素，目前顶级工艺越来越多地使用铜作为首选导体。

由于  $H$  在某些情况下是一个常数，因此式 (3-3) 可以改写为

$$R = R_0 \frac{L}{W} \quad (3-4)$$

式中， $R_0$  为材料的薄层电阻，单位为  $\Omega/\text{K}$ （读作欧姆/平方），这表示方形导体的电阻与其绝对尺寸无关。要获得互连线的电阻，只需将薄层电阻乘以其比值 ( $L/W$ ) 即可。

36

一般情况下，半导体互连线的电阻大多为常数或者呈线性变化。然而，在高频时，集肤效应开始对互连线电阻产生影响，使电阻变得与频率有关。高频电流主要流经导体表面，电流密度随导体深度呈指数式下降。趋肤深度  $\delta$  定义为电流下降到其标称值  $E-1$  的深度，对应的计算公式为

$$\delta = \sqrt{\frac{\rho}{\pi f \mu}} \quad (3-5)$$

式中， $f$  为信号频率， $\mu$  为周围电介质的磁导率（通常等于自由空间的磁导率，即  $\mu = 4\pi \times 10^{-7} \text{ H/m}$ ）。对于 1 GHz 时的铝制导线，趋肤深度等于  $2.6 \mu\text{m}$ 。这种效应可以通过假设电流在厚度为  $\delta$  的导体外壳内均匀流动来近似表示。对于矩形导线，假设导线的总横截面积约为  $2(W + H)\delta$ ，我们得到在高频下单位长度的互连电阻为

$$r(f) = \frac{\sqrt{\pi f \mu \rho}}{2(H + W)} \quad (3-6)$$

在更高频率上增加的电阻可能存在额外的衰减，从而导致信号失真。为了确定集肤效应，我们可以找到频率  $f_s$ ，其中集肤深度等于导体最大尺寸 ( $W$  或  $H$ ) 的一半。在  $f_s$  以下，整条导线有导电电流，其电阻等于（恒定的）导线的低频电阻，对应的频率为

$$f_s = \frac{4\rho}{\pi \mu \max(W, H)^2} \quad (3-7)$$

总之，趋肤效应只是较宽互连线的问题。由于时钟信号倾向于在芯片上携带最高频率的信号，并且为限制电阻提升其宽度，趋肤效应可能会对这些线路产生轻微的影响。对于 GHz 级的设计来说影响则更为严重，因为时钟信号决定了芯片的整体性能（周期时间、每秒指令等）。采用更好的导体（如铜）可能会将集肤效应转移到更低的频率上。