

第1章 绪 论

本章简要介绍电路系统的分类和特点、EDA 发展的三个阶段及 VHDL 语言产生的背景和语言特点，并介绍 PLD 器件由简单低密度器件发展至复杂高密度器件的器件特点及器件结构。

1.1 电路系统

1.1.1 电路系统的分类

电路系统所包含的范畴和应用范围非常广泛，功能千差万别，它既可以是常规的消费类电子，也可以是航空、航天类的测控系统，还可以是高电压电子线路。总之，电路系统是一种由半导体元器件及控制芯片组成，具有特定功能及具体参数的电子线路或电子装置。从电路系统的组成及功能进行分类，一般可以把电路系统分为两大类型，即模拟电路子系统和数字电路子系统。电路系统分类及组成框图如图 1.1 所示。

电路系统			
模拟电路系统		数字电路系统	
模拟电压传感器	模拟电流传感器	数字采集电路	数字滤波电路
高频放大电路	低频放大电路	组合逻辑电路	时序逻辑电路
数模转换 (D/A)	模数转换 (A/D)	时钟电路	控制电路
执行结构		输出电路	

图 1.1 电路系统分类及组成框图

1.1.2 模拟电路系统及其特点

模拟电路系统由运算放大器、功率放大器、数据转换器、比较器、稳压器及基准电压电路等组成，完成对模拟电压或电流信号的调理和转换。

模拟电路系统具有以下特点：

(1) 系统设计复杂。在模拟电路系统中，其设计具有一定的复杂性，这是因为对于性能要求高的系统，对元器件的要求也非常高，模块化设计要求高，不方便信号传输。

(2) 模拟电路发展缓慢。模拟电路发展缓慢的原因是模拟电子线路的频带宽度、精度、增益放大倍数和动态调整范围等方面的问题亟待解决。

(3) 技术空间前景广阔。随着微电子技术和半导体工艺的快速发展，模拟电路设计规模不断增大，系统验证时间不断加长，迫切需要稳定性好、可靠性高的单片集成模拟芯片或者数模混合芯片来快速构建复杂的模拟电路系统，以缩短设计验证时间。因此，模拟电路在器件发展及自动测试综合系统方向发展前景广阔。

1.1.3 数字电路系统及其特点

数字电路系统主要完成数字信号的采集、加工、传送、存储和处理功能。无论结构复杂程度如何，它都由一个控制部件统一调度指挥完成。数字电路的表现形式多种多样：它既可以是一个结构单一、功能单一的设计单元，如比较器、加法器或数据分配器，稍微复杂一点的包括交通灯控制器、数字抢答器等；也可以是若干数字逻辑器件组成的具有特定性能的复杂逻辑部件，如 FIR 数字滤波器。不论其复杂程度、规模大小如何，数字电路系统实质上处理的都是一定的数字逻辑电路问题，包括组合逻辑电路和时序逻辑电路。

数字电路具有如下特点：

(1) 稳定性好，抗干扰能力强。数字系统所处理的信息是离散的数字量，只处理 1 和 0 两个逻辑电平，因而信号稳定，抗干扰能力强，非常适合远距离的信号传输。数字电路和模拟电路相比，对构成系统的电子元器件要求不高，即能以较低的硬件实现较高的性能。

(2) 传输距离远，可靠性高。通过模数、数模转换器，可实现模拟信号的接收和回传，改变了模拟信号传输难的问题，方便实现远距离可靠传输。数字电路系统采用校检、纠错和编码等信息冗余技术，提高了数据处理的能力和传输数据的可靠性。这些技术的应用，使数字系统容易实现多机并行通信和多机组网。

(3) 易于存储。大规模集成电路技术发展迅速，使半导体存储器可以存储多帧信号，从而完成用模拟技术不可能达到的处理和存储功能。

(4) 模块化程度更高，方便设计。数字系统更容易划分成不同的功能模块，而这些功能模块可由相应的功能部件来实现，从而使系统的设计和各个模块的设计相对独立。数字系统的设计、验证和测试可以脱离系统本身单独测试完成，这样不仅可以提高设计效率、缩短设计周期、增强系统的可靠性，而且可使系统本身更方便管理，具有更强的可移植性。

1.2 VHDL 语言的产生背景、功能及特点

1.2.1 EDA 概念

随着微电子技术及半导体工艺的飞速发展，电路系统的设计复杂程度越来越高，规模也越来越大，电子设计自动化（Electronic Design Automation, EDA）在整个电路设计中所占的比重也越来越大。VHDL 硬件描述语言是随着 EDA 的发展而产生的，是整个 EDA 发展中不可缺失的一个环节。EDA 主要以大规模可编程逻辑器件为设计载体，以硬件描述语言为系统逻辑描述的主要表达方式，利用计算机及计算机专业应用软件，在特定的 EDA 软件平台上完成设计文件的语法检查、软件编译、功能仿真，直至完成对特定目标芯片的适配编译、逻辑映射、时序仿真和编程下载等工作。

1.2.2 EDA 技术发展阶段

1. CAD 阶段

电路原理设计、逻辑设计和印刷电路板的设计一般需要在复杂的技术条件下完成。在计算机辅助设计程序诞生之前，这些设计、绘制工作全都是依赖人工来完成的。

计算机辅助设计（Computer Aided Design, CAD）阶段始于 20 世纪 70 年代，主要采用计

计算机辅助软件完成集成电路版图编辑、PCB 布局布线等工作。在 CAD 诞生之前，以 CMOS 工艺为基础的可编程逻辑技术及其器件已经问世，正是半导体工艺技术的发展促进了 CAD 技术的发展。CAD 阶段的特点如下：

- 工具软件功能单一，PCB 软件的采用，将设计人员从大量繁杂且重复性的计算和绘图工作中解放出来。
- 软件兼容性较差，各个工具软件是由不同的公司和专家开发的，只解决了某个领域的问题，各个软件之间输入、输出无法有效实现，因此需要人工处理，大大影响了设计速度。
- 对于大型、复杂的电子系统的设计，由于缺乏统一的规划和行业标准，无法提供系统级的仿真和综合软件。如果在设计后期发现错误，弥补措施将变得不可能，将会大大影响产品的发布时间，致使错失市场先机。

2. CAE 阶段

随着电子计算机辅助设计程序软件的不断开发与应用，随后在较短的时间内 CAD 的功能有了很大的改进与发展。除了纯粹的图形绘制，辅助设计程序软件还能把电路的功能设计，通过电气连接、网络表结合到一起，实现了电子工程设计。

计算机辅助工程（Computer Aided Engineering, CAE）阶段始于 20 世纪 80 年代，可采用计算机程序软件完成原理图输入、电路分析、印刷电路板的布局和布线工作。CAE 阶段的发展推动了 CMOS（互补场效应管）工艺技术，在此阶段出现了现场可编程门阵列器件（Field Programmable Gate Array, FPGA）。硬件描述语言（Hardware Description Language, HDL）的出现促进了 CAE 技术的快速发展，为电子设计自动化阶段奠定了基础。CAE 阶段的特点如下：

- 采用了统一的数据管理技术，可以将各个不同工具及软件集成起来，变成一个功能齐全、验证方便的系统软件；
- 基于单元库的半定制设计方法已经问世，并取得了极大的发展，将集成电路设计推入到大规模集成电路设计阶段；
- 具有自动布线功能及热特性、噪声、可靠性等分析功能的软件，取得了快速蓬勃的发展，电子设计进入早期的电子设计自动化。

3. EDA 阶段

电子设计自动化（Electronic Design Automation, EDA）阶段始于 20 世纪 90 年代，它是一项以计算机为工作平台，融合了应用电子技术、信息处理及智能化技术，进行电子产品自动化设计的新技术。在硬件方面，EDA 技术融合了大规模集成电路制造技术、集成电路版图技术、可编程器件编程技术和自动测试技术；在计算机辅助工程方面，EDA 融合了计算机辅助设计（Computer Aided Design, CAD）、计算机辅助制造（Computer Aided Manufacturing, CAM）、计算机辅助测试（Computer Aided Test, CAT）、计算机辅助分析（Computer Aided Analyzer, CAA）和计算机辅助工程（Computer Aided Engineering, CAE）等技术。

EDA 阶段，在系统设计方法、软件工具等方面进行了彻底的变革，取得了巨大成功。在电子技术设计领域，可编程逻辑器件（如 CPLD、FPGA）的应用，已得到了广泛的普及，这些器件为数字系统的设计带来了极大的灵活性。这些器件可通过软件编程对其硬件结构和工作方式进行重构，从而使得硬件的设计如同软件设计那样方便快捷。EDA 技术的发展极大地改变了传统数字系统电路的设计方法、设计过程和设计观念，促进了微电子技术的迅速发展。

在 EDA 阶段, 电子设计工程师除了采用计算机辅助软件作为设计工具, 还可在软件 EDA 平台上, 采用硬件描述语言 HDL 完成设计文件, 然后由 EDA 软件自动地完成编译、仿真、适配和编程下载等工作。EDA 技术的出现, 极大地提高了电路设计的效率和可操作性, 减轻了设计者的劳动强度。

利用 EDA 工具, 电子设计工程师可以从概念、算法、协议等方面开始设计电子系统; 同时整个设计的绝大多数工作可以通过计算机软件自动处理完成, 包括电子产品的电路设计、IC 版图或 PCB 版图设计和性能分析。EDA 的概念或范畴应用非常宽泛, 涉及机械、电子、通信、航空航天、化工、矿产、生物、医学、军事等各个领域。目前 EDA 技术已在各大公司、企事业单位和科研教学部门获得广泛应用。例如, 在飞机制造过程中, 从图纸设计、性能测试及特性分析到飞行模拟, 都可能涉及 EDA 技术。在 EDA 阶段, 硬件描述语言的标准得到确立, 集成电路设计工艺步入了超深亚微米阶段; 同时百万门大规模可编程逻辑器件的诞生, 也促进了 EDA 技术的快速发展。

EDA 软件工具可大致分为芯片设计辅助软件、可编程芯片设计辅助软件和系统设计辅助软件等三类。目前, 进入我国并具有广泛影响的 EDA 软件是系统设计辅助软件和可编程芯片设计辅助软件, 典型的软件有 Protel、Pspice、Multisim、Orcad、Pcad、LSIlogic、MicroSim、ISE、ModelSim 及 Quartus II。这些软件工具都具有较强的功能, 一般可用于多个方面。例如, 很多软件都可以进行电路设计与仿真, 同时还可以进行 PCB 自动布局布线, 可输出多种网表文件与第三方软件接口。

在 EDA 阶段, 不仅 EDA 软件技术取得了快速发展, 而且可编程器件的工艺技术也获得了突破。究其原因, 除了 EDA 软件工具, 硬件描述语言的诞生和标准化, 也大大促进了高密度 PLD 器件的发展。

EDA 阶段的特点如下:

- 基于 FPGA 的 DSP 技术, 为高速数字信号处理算法提供了实现途径;
- SOPC (System On a Programmable Chip) 步入了大规模应用阶段;
- 电子设计成果以自主知识产权 IP (Intellectual Property) 的方式得以明确表达;
- 支持标准硬件描述语言且功能强大的 EDA 软件不断推出;
- 电子技术领域全方位融入 EDA 技术;
- EDA 技术使得电子领域多学科的界限更加模糊, 它们相互包容、相互渗透, 使系统的性能得到进一步提高。

1.2.3 EDA 技术的研究内容

根据 1.1 节的知识, 电路系统可以理解为由若干相互连接、相互作用的基本电路组成的具有特定功能的电路整体。由图 1.2 可知, EDA 技术设计的主体对象为电路及系统。EDA 所涉及的领域包括三种, 即印制电路板设计、全定制或半定制 ASIC 设计和 FPGA/CPLD 开发应用。

从图 1.2 可以看出, EDA 技术的研究内容非常广泛, 而且涉及的领域非常多: 既包括数字电路的设计, 也包括模拟电路的设计; 既包括 PCB 的设计, 也包括涉及微电子领域的版图设计。本教材中侧重 PLD 可编程器件的设计编程, 尤其是以 FPGA 作为核心控制部件的系统设计。同时, HDL 语言作为 EDA 阶段的重要标志, 已成为打破硬件系统设计和软件系统设计界限的重要工具。软件设计人员可以利用 HDL 语言, 设计出符合要求的硬件系统。因此, HDL

语言也是 EDA 软件学习的重要内容。

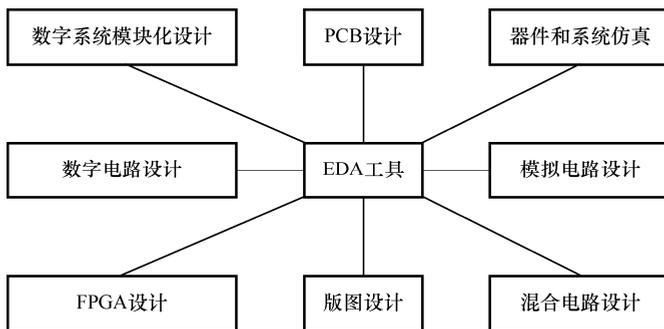


图 1.2 EDA 工具设计主体对象

1.2.4 HDL 语言的概念及分类

1. HDL 语言的概念

HDL (Hardware Description Language, 硬件描述语言) 是 EDA 技术的重要组成部分, 是一种利用文本输入方法描述数字电路和系统的语言。硬件描述语言不仅可以描述硬件电路的端口功能, 还可以通过多种方式描述硬件电路的内部功能。利用这种语言, 在进行数字电路系统设计时, 可以从上层到下层逐层描述每个模块的设计思想, 用一系列分层次的模块表示复杂的数字系统。然后利用 EDA 工具, 逐层进行仿真验证; 再把其中需要变为实际电路的模块进行组合, 经过自动综合工具转换到门级电路网表。最后再通过专用集成电路 ASIC 或可编程逻辑器件自动布局布线工具, 把网表转换为要实现的具体电路布线结构。硬件描述语言作为一种高效的设计输入方式, 更加擅长复杂硬件电路的特性描述, 是自顶向下设计方法的重要设计手段和设计特征。

2. HDL 语言的种类

硬件描述语言种类繁多, 常见的有 VHDL、Verilog HDL、ABEL、AHDL、System Verilog 和 SystemC。它们当中有的来源于 Pascal 语言, 有的从 C 语言发展而来, 而有些已成为 IEEE 标准的 HDL 语言, 但大部分仍然是企业标准。其中 VHDL 语言来源于美国军方, 而其他硬件描述语言则来源于企业、公司。目前比较有代表性且广泛应用的硬件电路描述语言有: VHDL 语言和 Verilog HDL 语言, 两种语言拥有几乎所有主流 EDA 工具的支持, 并已成为 IEEE 的标准语言。

3. Verilog HDL 简介

Verilog HDL 是 Verilog 公司推出的硬件描述语言, 在 ASIC 设计方面与 VHDL 语言平分秋色, 注重门级电路的设计仿真。Verilog HDL 能抽象地表示电路的行为和结构, 支持逻辑设计中层次与范围的描述, 并且可以简化电路行为的描述。Verilog HDL 具有电路仿真和验证机制, 支持电路描述由高层到低层的综合转换。

Verilog HDL 推出较早, 是从 C 语言发展而来的, 具有 C 语言基础的使用者比较容易掌握, 因此 Verilog HDL 拥有更广泛的客户群体和更丰富的资源。早期 Verilog HDL 的缺点是在系统级抽象方面较弱, 不太适合特大型的系统; 但经过 Verilog 2001 标准的补充之后, 系统级表述性能和可综合性能有了大幅度提高。Verilog 语言的发展过程如下:

- Verilog HDL 是 1983 年由 GDA (Gate Way Design Automation) 公司的 Philmoorby 首创的;
- 1986 年 Moorby 提出用于快速门级仿真的 Verilog XL 算法, 促使 Verilog HDL 语言得以迅速发展;
- 1989 年 Cadence 公司收购 GDA 公司, Verilog HDL 成为 Cadence 公司的私有财产, 并于 1990 年公开 Verilog HDL 语言;
- 基于 Verilog HDL 的优越性, IEEE 组织 1995 年制定了 Verilog HDL 的 IEEE 标准, 即 Verilog HDL 1364-1995。

1.2.5 VHDL 语言的发展及特点

1. VHDL 语言的发展历程及功能

VHDL 的英文全称是 Very High Speed Hardware Description Language, 产生于 EDA 的发展阶段。VHDL 于 1983 年由美国国防部 (DOD) 发起创建, 经过 IEEE 进一步发展, 于 1987 年 12 月作为 “IEEE-1076 标准” 发布。自 IEEE 公布了 VHDL 的标准版本之后, 各 EDA 公司也相继推出了自己的 VHDL 设计环境, 宣称自己的设计工具支持 VHDL。从此以后, VHDL 在电子设计领域得到了广泛的应用, 并逐渐取代了原有的非标准硬件描述语言, 成为硬件描述语言的业界标准之一。

VHDL 作为一种硬件描述语言, 主要用于设计大规模数字硬件电路和复杂系统, 现已逐渐成为设计师们设计数字硬件所必须掌握的工具语言。由于集成电路规模的日趋变大, 复杂程度也日益增长, 这种语言的优越性也越来越明显。与传统的门级设计方法相比较, VHDL 可以使设计师们能够在更加抽象的层次上把握和描述电路及系统的设计结构与功能特性。

2. VHDL 语言的特点

VHDL 语言具有严谨的语法结构和丰富的语法成份, 是一种功能非常强大的硬件描述语言, 具有非常强的表达能力。无论是具有超强抽象度的系统级描述, 还是具体到 PCB 板级、芯片级、门级描述的电路, 它都可以在不同的抽象程度上进行描述, 并得到分析验证。同样, 和 Verilog 语言一样, 它同样支持系统级、寄存器级和门级三种不同层次的设计。基于以上描述, 在自顶向下 (TOP-DOWN) 设计的全过程中都可以使用 VHDL 硬件描述语言进行模拟论证和综合。

3. VHDL 与 Verilog HDL 的特点比较

(1) 相同点:

- 这两种语言都是用于数字电子系统设计的硬件描述语言, 而且都已经成为 IEEE 标准。VHDL 语言 1987 年成为 IEEE 标准, Verilog 语言 1995 年成为 IEEE 标准。
- VHDL 和 Verilog HDL 都具有电路的描述和建模能力, 能从多个层次对数字系统进行建模和描述。例如: 由高层到低层的综合转换, 形式化地抽象电路的行为和结构; 通过电路仿真与验证机制来达到电路设计的正确性, 通过寄存器级的描述、综合, 转换成门级网表。同时, 二者在硬件描述时, 电路描述本身与实现的工艺无关, 并且大多数 EDA 软件都支持这两种硬件描述语言。

(2) 不同点:

- VHDL 来源于军方组织, 而 Verilog 起源于民间。
- 从语言本身来看, VHDL 语言比较严谨, 类似于结构化的描述语言; 而 Verilog HDL 语言类似于 C 语言, 语法结构比较灵活, 便于快速上手。
- Verilog HDL 是专门为 ASIC 设计而开发的, 通常适于对寄存器传输级 (RTL) 和门级电路的描述, 是一种较低级的描述语言。VHDL 语言通常适于对行为 (功能) 级、寄存器传输级 (RTL) 和门级电路的描述, 是一种高级描述语言, 适于对各类系统功能进行描述。
- 在市场占有率上, VHDL 语言和 Verilog HDL 语言各有所长, 市场占有率相差不大。Verilog HDL 在亚太市场占有率有较大比重, 而 VHDL 在欧美市场占有率有主流地位。

总之, HDL 语言具有与硬件电路无关和与设计平台无关的特性, 支持现代化的自顶向下的设计模式, 并且具有良好的硬件电路描述和建模能力。HDL 语言在程序易读性、层次化和结构化设计方面具有巨大的潜力。因此, HDL 语言是硬件设计领域的一次变革, 对复杂电子系统的硬件设计产生了巨大的影响。

1.3 PLD 与 FPGA

随着数字集成电路的高速发展, 数字电路的设计规模日益增加, 系统复杂程度也越来越高, 很多具有特定功能的专用集成电路 (Application Specific IC, ASIC) 已经很难满足系统设计师们的要求。所有的设计任务完全由 ASIC 承担已不能满足要求, 部分设计任务需要在出厂后由客户自行配置完成, 因而出现了这种软件可配置、硬件可编程的逻辑器件。

可编程逻辑器件 (Programmable Logic Device, PLD) 是 20 世纪 70 年代发展起来的通用新型数字集成器件, 它由基本的逻辑门电路、触发器和内部连线电路组成, 利用配置软件和相关硬件电路进行编程, 从而实现特定的数字电路功能。由于半导体工艺技术及 EDA 水平的高速发展, 现代的 PLD 和传统的 PLD 相比已经发生了翻天覆地的变化。

根据 PLD 的发展历程、设计结构、集成规模、实现原理、编程方式及应用场合的不同, 通常可以将 PLD 分为两大类: 简单低密度器件和复杂高密度器件。上述器件经过了集成度从低到高、器件结构从简单到复杂、器件功能从单一到多样化的发展历程。在器件的制作工艺上经历了从严格的双极工艺到采用 CMOS EPROM、SRAM、FLASH 和反熔丝等工艺技术的发展过程。在器件的结构上经历了从早期的与、或门阵列到可编程查找表结构的发展过程。从发展趋势来看, PLD 目前正在向密度更大、可靠性更高、功耗更小和价格更低的方向发展。PLD 的具体分类如图 1.3 所示。

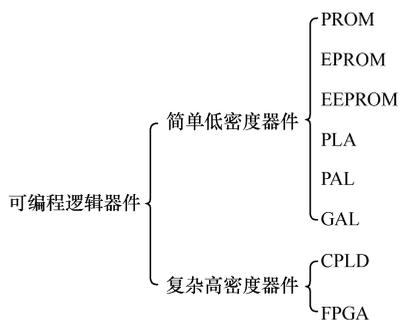


图 1.3 可编程逻辑器件 (PLD) 分类

从图 1.3 中可以看出，可编程逻辑器件的分类简单，器件类别的数量有限，但 PLD 半导体厂商数量却很繁多，而且性能特点及侧重点也不尽相同，所以读者对于可编程器件的学习，应着重学习每一类器件的基本结构、器件组成、性能特点和编程方式。

1.3.1 简单低密度器件 (SPLD)

1. SPLD 的结构特点

SPLD 的基本组成单元为与阵列和或阵列，主要用来实现组合逻辑函数。输入由缓冲器组成，它使输入信号具有足够的驱动能力并产生互补输入信号。通过对编程特征码的编程，输出信号可以提供不同的输出方式，如 GAL 器件，可实现器件的组合输出或寄存器方式输出。输出三态门控制数据直接输出或反馈到输入端。SPLD 的基本结构如图 1.4 所示。

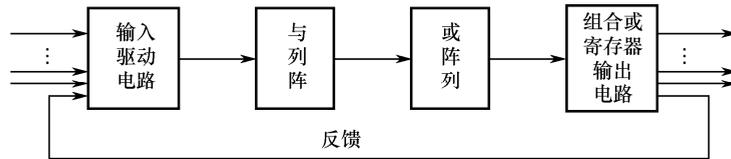


图 1.4 SPLD 的基本结构

PROM、PLA、PAL 和 GAL 四种简单低密度电路结构特点如表 1.1 所示。

表 1.1 SPLD 电路的结构特点

类 型	阵 列		编 程 方 式	输 出 方 式
	与阵列	或阵列		
PROM	固定	可编程	双极性熔丝工艺	三态、可熔极性
PLA	可编程	可编程	双极性熔丝工艺	三态、可熔极性
PAL	可编程	固定	双极性熔丝工艺	三态、I/O，寄存器反馈
GAL	可编程	固定	E ² COMS 工艺	用户定义

从上面的描述可以看出，简单低密度可编程器件是 ASIC 发展的重要阶段，也是其一个重要分支，是厂家作为一种通用性器件生产的半定制器件。用户可以通过对器件编程实现所需要的逻辑功能，具有成本较低、使用灵活、设计周期短的特点。GAL 器件由于具有灵活的输出逻辑宏单元结构 (OLMC)，可实现不同的组态输出。因此，GAL 器件对 PLA、PAL 器件具有兼容性，可以完全代替 PLA、PAL 器件。GAL 的两种基本型号 GA16V8 和 GAL20V8 可代替数十种 PAL 器件，因而得到广泛的实际应用。

2. 可编程只读存储器 (PROM)

PROM 器件为可编程只读存储器，采用熔丝工艺编程，出厂后只能写入一次，不能擦除和重写。PROM 器件由不可编程的与阵列和可编程的或阵列构成。常用的 PLD 门阵列交叉点上的连接方式，即固定连接单元、可编程连接单元和可编程未连接单元、未连接单元的符号如图 1.5 所示。

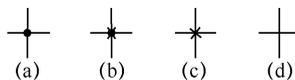


图 1.5 PLD 交叉点表示符号

从图 1.5 可以看出，十字交叉点，若为黑点，表示固定连接，即为不可编程，如图 1.5 (a) 所示；若不仅为黑点，而且在交点打了叉，则表示为可编程操作，且已经连接，如图 1.5 (b) 所示；交点仅仅打了叉，表示信号可编程操作，但未连接，如图 1.5 (c) 所示；无叉无点表示未连接，如图 1.5 (d) 所示。

PLD 采用的常用电路符号如图 1.6 所示，输入为与门阵列，输出为或门阵列。其中，(a) 为多输入与门电路，(b) 为多输入或门电路，(c) 为互补输出缓冲器的表达形式。可以看出，逻辑符号采用简化、易懂的方式完成。

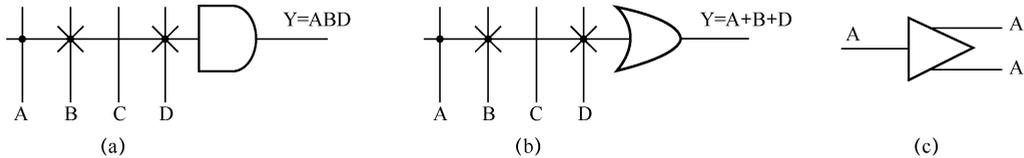


图 1.6 PLD 采用的常用电路符号

3. 可编程逻辑阵列 (PLA)

PROM 的与阵列固定且不可编程，实际相当于一个译码器，可产生输入变量的所有最小项；然而随着输入信号的增多，最小项数呈指数增长，并且绝大多数的逻辑函数并不需要所有的最小项，于是诞生了与阵列和或阵列均可编程的 PLA 器件。PLA 器件诞生于 20 世纪 70 年代中期，由于这种器件资源利用率低、价格偏高、编程较复杂，因此并未得到广泛的应用。

4. 可编程阵列逻辑 (PAL)

PLA 和 PROM 相比，其资源利用率得到了提高。由于 PLA 器件的与阵列和或阵列均可编程，于是造成了软件算法复杂，工艺实现难度增大，而且降低了器件的速度。因此，在 1977 年美国 MMI 公司率先研发出了或阵列固定、与阵列可编程的可编程阵列逻辑器件，英文缩写为 PAL。PAL 器件采用熔丝编程方式，双极性工艺制造，因此器件的工作速度较高。由于 PAL 器件的输出结构种类很多，设计灵活，因而成为第一个普遍使用的可编程逻辑器件，如 PAL16L8。

5. 通用阵列逻辑 (GAL)

通用阵列逻辑 (GAL) 和可编程阵列逻辑 (PAL) 的主要区别是，GAL 的输出结构可由用户自定义，是一种灵活可编程的输出结构。GAL 的每一个输出端都集成了一个输出逻辑宏单元 (Output Logic Macro Cell, OLMC)。GAL 的两种基本型号 GAL16V8 (20 引脚) 和 GAL20V8 (24 引脚) 可代替数十种 PAL 器件。

1.3.2 CPLD

复杂可编程逻辑器件 (CPLD) 诞生于 20 世纪 80 年代，是一种在 PAL 和 GAL 的基础上发展起来的超大规模集成芯片，适用于设计较大规模的数字逻辑电路。CPLD 大多采用 E²CMOS 和 FLASH 工艺制作 CMOS、EPROM、E²PROM 和快闪存储器 (Flash Memory) 等编程技术，因而具有高密度、高速度和低功耗等特点。CPLD 已广泛应用于网络、仪器仪表、

汽车电子、数控机床、航天测控设备等领域。

1. CPLD 的基本结构

以 Altera 的 MAX7000 CPLD 为例（其他型号的结构与此非常相似）这种 CPLD 结构可分为 3 部分，分别为可编程逻辑阵列块（Logic Array Block, LAB）、可编程互连阵列（Programmable Interconnect Array, PIA）和可编程输入输出控制模块（I/O Control Block）。部分 CPLD 还集成了 RAM、双口 RAM 和 FIFO，以适应 DSP 应用设计的要求。其基本结构如图 1.7 所示。

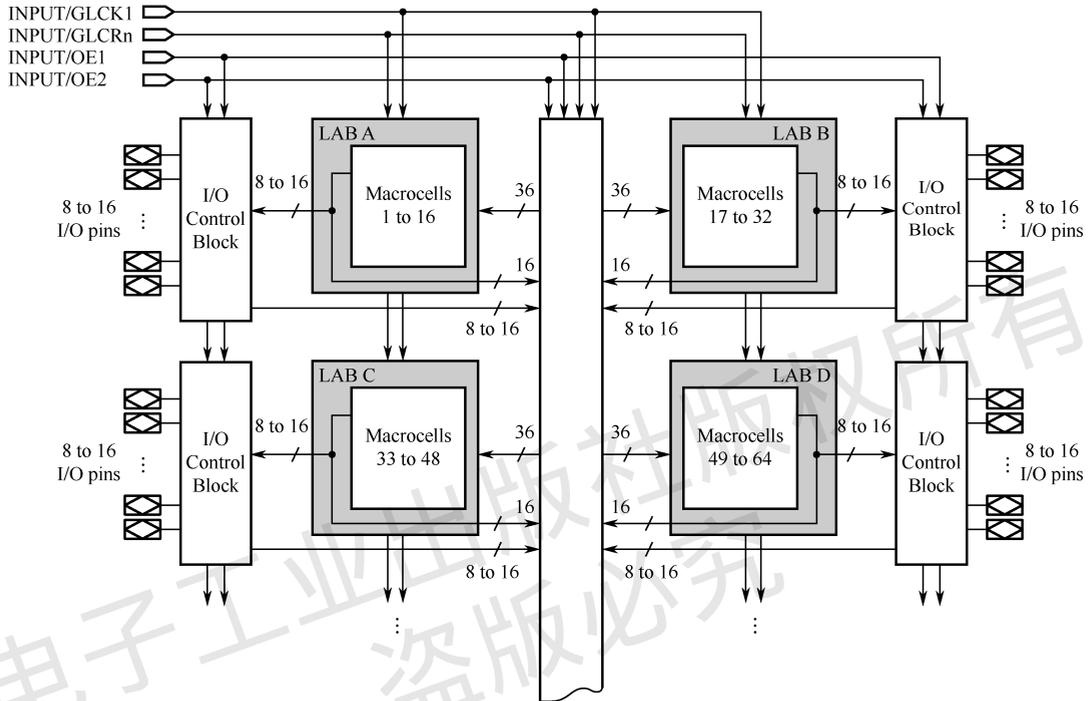


图 1.7 MAX7000A 器件基本结构

1) 逻辑阵列块

在图 1.9 所示的基本结构中，核心组成部分为 LAB，而 LAB 是由 16 个宏单元组成的。多个 LAB 之间通过可编程连线阵列（PIA）和全局总线连接在一起，全局总线由所有的专用输入、I/O 引脚和宏单元反馈给信号。因此，每个 LAB 包括以下 3 种输入信号：

- 来自 PIA 的 36 个通用逻辑输入信号；
- 用于辅助寄存器功能的全局控制信号；
- 从 I/O 引脚到寄存器的直接输入信号。

2) 宏单元

宏单元的基本结构与 SPLD 类似，通过改变与或逻辑阵列来完成时序逻辑或组合逻辑。器件的宏单元可以单独配置成时序逻辑或者组合逻辑工作方式，宏单元连同 I/O 引脚一起，称为输出逻辑宏单元。每个宏单元由逻辑与阵列、乘积项选择矩阵和可编程寄存器等 3 个功能块组成。每个宏单元含有一个扩展乘积项，可供其所在 LAB 内的任意或全部宏单元使用和共享，以便实现更加复杂的功能。

3) 扩展乘积项

扩展乘积项的功能是补充单独宏单元逻辑资源不足的问题。由于每个宏单元的 5 个乘积项数量有限,因此借助于共享和并联的方式,可以增加输入信号的数量,完成较复杂的逻辑功能。共享扩展项是自身宏单元预留的,反馈到逻辑阵列的反向乘积项。并联扩展项是当自身宏单元输入门数不足时,借助于临近宏单元的乘积项。这样的结构可以保证在综合时,用尽可能少的逻辑资源得到尽可能快的速度,并将器件的资源利用到最佳状态。

4) 可编程连线阵列

可编程连线阵列(Programmable Interconnect Array, PIA)将各 LAB 相互连接在一起,构成所需的逻辑函数。通过 PIA 可把器件中任一信号源连接到其目的地,即将所有 MAX7000A 的专用输入、I/O 引脚和宏单元输出均馈送到 PIA,PIA 可把这些信号送到器件内的各个位置。PIA 是构成整个 CPLD 器件功能的传输枢纽。只有每个 LAB 所需的信号才真正通过 PIA 连接在一起。

5) I/O 控制块

输入/输出控制单元是内部信号到 I/O 引脚的接口部分,可控制 I/O 引脚单独地配置为输入、输出或双向工作方式。所有 I/O 引脚都有一个三态缓冲器,每个三态缓冲器由全局使能信号控制,或者把使能端直接连接到地(GND)或高电平(VCC)上。当三态缓冲器的控制端接地时,其输出为高阻态,此时 I/O 引脚可作为专用输入引脚;当该控制端接高电平时,输出使能有效。

2. CPLD 器件的编程

早期的 SPLD 中的 PROM 器件存储单元采用熔丝或反熔丝工艺,利用二极管、晶体三极管或场效应管的开关状态存储数字信息。熔丝工艺是将熔断丝串联在存储单元的位线与三极管的发射极之间,在写入数据时只需要将存入 0 的那些存储单元的熔丝烧断即可,如图 1.8 所示。

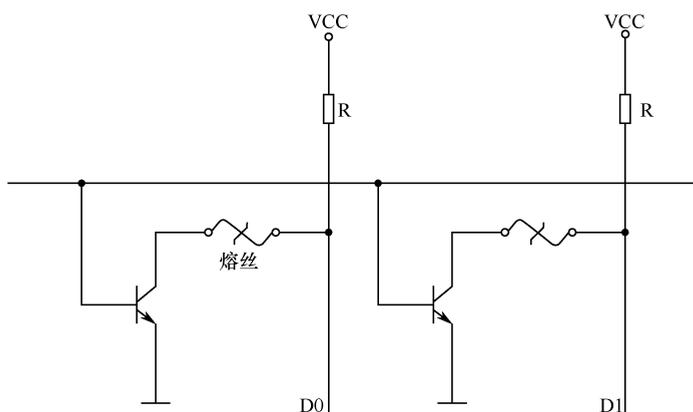


图 1.8 熔丝工艺的存储方式

反熔丝工艺用绝缘件代替熔丝,在写入数据 1 时将存储单元的绝缘件击穿,使位线与三极管的发射极导通。总之,无论是熔丝工艺还是反熔丝工艺,编程只能是一次性的,不能重复编程。

EPROM 工艺通过紫外线照射存储单元使之存储的电荷泄放，写入数据时需要较高的编程电压将电荷注入；因为操作过于复杂，成本较高，而且速度较低，因此没有得到较好的推广。E²PROM 工艺可以用电信号擦除信息，但擦除和写入信息时也需要高电压，所以通常情况下其工作在可读状态，且存储单元结构复杂。Flash 工艺兼顾了 E²PROM 工作速度和 EPROM 结构简单的优点，程序擦除和写入时不需要编程器，高压脉冲产生电路和编程控制电路集成在存储芯片中，工作电压 5V 即可完成编程。该编程方式的使用，使器件的集成度、编程速度、可靠性均得到明显的改善，被称为“快闪”。

CPLD 器件采用 E²PROM 或 Flash 工艺，所设计的电路信息断电后能保留。向 CPLD 内存放所设计的结构信息称为编程，编程次数超过 1 万次。CPLD 器件通过编程器将 EDA 综合软件产生的编程数据直接传输给指定的 CPLD 器件，这一技术称为系统可编程（In System Programmable, ISP）。

1.3.3 FPGA

1. 概述

现场可编程门阵列（Field Programmable Gate Array, FPGA）是在 SPLD、CPLD 等可编程器件的基础上进一步发展起来的高密度可编程器件。目前，FPGA 已在社会各生产领域得到了广泛的运用，是当今电子系统中不可缺少的组成部分，在电子系统中起着关键作用。它是作为专用集成电路（ASIC）领域中的一种半定制电路而出现的，既解决了定制电路的不足，又克服了原有可编程器件门电路数有限的缺点。目前 FPGA 的品种很多，有 Xilinx 的 XC 系列、TI 公司的 TPC 系列、Altera 公司的 Cyclone 系列等。

FPGA 是由存放在片内 RAM 中的程序来设置其工作状态的，因此，工作时需要对片内的 RAM 进行编程。用户可以根据不同的配置模式，选用不同的编程方式。加电时，FPGA 芯片将配置芯片中的数据读入片内编程 RAM 中；配置完成后，FPGA 进入工作状态。掉电后，FPGA 恢复成初始状态，内部逻辑关系不复存在，因此 FPGA 能反复使用。当需要修改 FPGA 功能电路时，只需重新给配置芯片下载不同的配置数据即可。当同一片 FPGA 配置不同的编程数据时，可以产生不同的电路功能。

主从模式可以支持一片 PROM 编程多片 FPGA；串行模式可以采用串行 PROM 编程 FPGA；外设模式可以将 FPGA 作为微处理器的外设，由微处理器对其进行编程。基于查找表技术的 FPGA 具有以下特点：

- 采用 FPGA 设计 ASIC 电路时，用户不需要投片生产，就能得到合适的芯片；
- FPGA 可用作其他全定制或半定制 ASIC 电路的中试样片；
- FPGA 内部具有丰富的触发器和 I/O 引脚；
- FPGA 是 ASIC 电路中设计周期最短、开发费用最低、风险最小的器件之一；
- FPGA 采用高速 CMOS 工艺，功耗低，可以与 CMOS、TTL 电平兼容。

2. FPGA 的分类

FPGA 发展迅速，按逻辑功能、器件结构、连线类型及编程方式可分为四大类，具体分类如图 1.9 所示。按逻辑功能的大小分类，FPGA 分为粗粒度 FPGA 和细粒度 FPGA。细粒度 FPGA 的逻辑功能块较小，资源可以充分利用；但是伴随着设计密度的增加，信号的路径延时也将增

加，从而影响器件的整体速度。粗粒度 FPGA 的逻辑功能模块大，功能强，可以用相对数量较少的功能块和内部连线完成较复杂的逻辑功能，获得较好的性能；但缺点是资源不能得到充分利用。从器件结构上分类，可分为查找表结构、多路开关结构和多级与非门结构。根据内部连线结构的不同，FPGA 可分为分段互联型 FPGA 和连续互联型 FPGA 两类。分段互联型 FPGA 中具有多种不同长度的金属线，各金属线之间通过开关矩阵或反绒丝编程连接，布线灵活方便，但布线延时无法预测；连续互联型 FPGA 利用相同长度的金属线，连接与距离远近无关，布线延时是固定的和可预测的。根据编程方式，FPGA 可分为一次编程型和可重复编程型两类。一次编程型 FPGA 采用反熔丝开关元件，具有体积小、集成度高、互连线特性阻抗低、寄生电容小和高速度的特点，此外还具有加密位、防复制、抗辐射、抗干扰、无须外接 PROM 或 EPROM 特点；但其只能一次编程，比较适合用于定型产品及大批量应用。可重复编程型 FPGA 的显著优点是可反复编程，系统上电时，给 FPGA 加载不同的配置数据就可以完成不同硬件的功能，甚至可在系统运行中改变配置，实现系统功能的重构。快闪型 EPROM 型 FPGA 具有非易失性和可重复编程的特点。

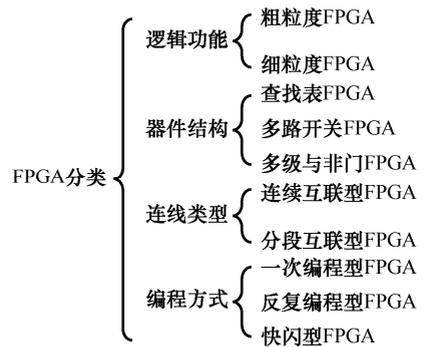


图 1.9 FPGA 分类

3. FPGA 的结构特点

目前绝大多数的 FPGA 器件都采用基于 SRAM 的查找表结构。而查找表结构最关键的就是查找表技术 (Look Up Table, LUT)。LUT 本质上是一个四输入的查找表，是一个四位地址线的 16×1 比特位的 RAM。当用户通过原理图或硬件描述语言完成设计输入，再经过 PLD 开发软件综合成基本的门级电路后，就把综合结果存入 RAM。当输入不同的地址时，通过 LUT 查找表，可获取相应的逻辑表达式所对应的结果。

世界著名的半导体公司 Altera、Xilinx 和 Lattice 均有 FPGA 器件供应，如 Altera 公司的 Startix、Cyclone 系列，Xilinx 公司的 Spartan、Virtex 系列，Lattice 公司的 EC/ECP、XP 系列，均获得了市场的认可和广泛应用。

1.3.4 器件供应商及第三方软件介绍

1. 半导体供应商

随着可编程逻辑器件应用的日益广泛，许多 IC 制造厂家已经涉足 PLD/FPGA 领域。目前世界上有十几家生产 CPLD/FPGA 的公司，最大的 3 家分别是 Altera、Xilinx 和 Lattice，其中 Altera 和 Xilinx 占有 60% 以上的市场份额。

1) Altera 公司

Altera 公司于 1983 年成立，中文名称为阿尔特拉，总部位于美国加州，是一家专业设计、生产和销售高性能、高密度可编程逻辑器件 (PLD) 及相应开发工具的公司。Altera 公司是可编程芯



片逻辑解决方案的倡导者，可帮助系统和半导体公司快速、高效地实现创新，突出产品优势，赢得市场竞争。Altera 公司在 20 世纪 90 年代以后发展很快，是全球最大的可编程逻辑器件供

应商之一。2015 年 12 月，英特尔斥资 167 亿美元收购了 Altera 公司。Altera 公司的主要产品系列为 MAX3000/7000、FLEX10K、APEX20K、ACEX1K、Stratix 和 Cyclone 等。Altera 公司在推出各种可编程逻辑器件的同时也在不断升级其相应的开发工具软件，开发工具软件已从早期的 A+PLUS、MAX+PLUS 发展到目前的 MAX+PLUS II、Quartus 和 Quartus II。MAX+PLUS II 和 Quartus II 具有完全集成化、易学易用的可视化设计环境，还具有工业标准 EDA 工具接口，并可运行在多种操作平台上。

厂商网址：<http://www.altera.com.cn/>。

2) Xilinx 公司

Xilinx 公司于 1984 年成立，中文名称为赛灵思，总部位于美国加州，是 FPGA 的发明者，老牌 FPGA 公司，是全球最大可编程逻辑器件供应商之一；产品种类较全，主要有 XC9500、Coolrunner、Spartan 和 Virtex 等，开发软件为 ISE。通常，在欧洲和美国使用 Xilinx 公司产品的人多，在日本和亚太地区公司产品用 Altera 的人多。由于全球 PLD/FPGA 产品 60%以上是由 Altera 和 Xilinx 提供的，因此可以讲 Altera 和 Xilinx 共同决定了 PLD 技术的发展方向。



厂商网址：<http://www.xilinx.com/>。

3) Lattice 公司

Lattice 公司于 1983 年成立，中文名称为莱迪思，总部位于美国俄勒冈州波特兰市，是 ISP 技术的发明者。ISP 技术极大地促进了 PLD 产品的发展，与 Altera 和 Xilinx 相比，其开发工具略逊一筹。Lattice 公司是全球智能互连解决方案市场的领导者，提供市场领先的 IP 和低功耗、小尺寸的器件；其主要产品有 ispMACH4000、iCE、ECP 以及 MachXO 系列等。



厂商网址：<http://www.latticesemi.com/>。

4) Actel 公司

Actel 公司于 1985 年成立，中文名称为爱特，总部位于美国纽约，是反熔丝（一次性烧写）PLD 的领导者。由于反熔丝 PLD 抗辐射、耐高低温、功耗低、速度快，所以在军品和宇航级产品上有较大优势。Altera 和 Xilinx 则较少涉足军品和宇航级产品市场。



除了反熔丝系列，Actel 公司还推出了可重复擦除的 ProASIC3 系列。Actel 器件都基于 Flash 结构，无须配置；而 Altera、Xilinx 和 Lattice 都是采用 SRAM 结构，掉电数据丢失，所以需要一块配置芯片。Actel 的 FPGA 与其他公司相比，其另一个优点就是上电即运行。

厂商网址：<http://www.actel.com/>。

5) Cypress 公司

Cypress 公司于 1982 年成立，中文名称为赛普拉斯，总部位于美国加州。Cypress 公司的 PLD 产品包括 PSoc 可编程片上系统系列。PLD/FPGA 虽然不是 Cypress 公司的主要业务，但也有一定的用户群体。Cypress 公司可提供各种高性能、混合信号、可编程解决方案。



厂商网址：<http://www.cypress.com>。

6) Quicklogic 公司

Quicklogic 公司于 1988 年成立，总部位于美国加州，是一家专业 PLD/FPGA 公司。它以一次性反熔丝工艺为主，有一些集成硬核的 FPGA 比较有特色，其通用 FPGA 产品系列是 pASIC、2&3 和军用系列产品，嵌入式产品系列有 QucikRAM、QucikPCI 和 QuickDSP 系列。



厂商网址: <http://www.quicklogic.com/>。

7) Atmel 公司

Atmel 公司于 1984 年成立，中文名称为爱特梅尔，总部位于美国加州圣约瑟市。Atmel 公司是非易失性存储技术的领先者，主要产品包括通用非易失性存储器、微控制器和可编程逻辑器件。FPGA 系列产品包括 AT6000 系列、AT40K (5V) 和 AT40KAL (3.3V)。Atmel 公司为 SRAM FPGA 和 Xilinx 提供的高密度、高性能和低成本的配置存储器，在品质上与原厂家还有一些差距，在高可靠性产品中使用较少，多用在低端产品上。2016 年，Atmel 公司被美国芯片制造商微芯科技 (Microchip Technology) 以 36 亿美元收购。

厂商网址: <http://www.atmel.com/>。

2. 第三方软件公司

EDA 工具软件厂商三巨头为 Cadence、Synopsys 和 Mentor Graphics。

1) Cadence 软件公司

Cadence 公司于 1988 年成立，总部位于美国加州圣何塞。Cadence 公司是全球最大的电子设计技术、程序方案服务和设计服务供应商，EDA 产品涵盖了电子设计的整个流程，包括系统级设计，功能验证，IC 综合及布局布线，模拟、混合信号及射频 IC 设计，全定制集成电路设计，IC 物理验证，PCB 设计和硬件仿真建模等。



Verilog HDL 是在 C 语言的基础上发展起来的一种硬件描述语言，语法较自由。目前 ASIC 设计大多采用这种语言。Verilog HDL 语言是美国 Cadence Design Systems 公司于 1983~1984 年组织开发的。

公司网址: <http://www.cadence.com/>。

2) Synopsys 软件公司

Synopsys 公司于 1986 年成立，中文名称为新思，总部位于美国加利福尼亚州。Synopsys 公司是逻辑综合技术商品化的先驱，致力于复杂集成电路、FPGA 和系统级芯片 (System on Chip, SoC) 仿真、综合和验证工具的开发。典型工具软件有 LEDA，是可编程的语法和设计规范检查工具，它能够对全芯片的 VHDL 和 Verilog 描述或者两者混合描述进行检查，加速 SoC 的设计流程。工具软件 FPGA Compiler 提供针对 FPGA 和 CPLD 实现的逻辑综合工具，具有优化时序、功耗和面积的功能。工具软件 PrimePower 提供动态功耗的门级仿真和分析，可精确分析基于门级设计的功耗问题。



公司网址: <http://www.synopsys.com/>。

3) Mentor Graphics 公司

Mentor Graphics 公司于 1981 年成立，总部位于美国的俄勒冈州。



Mentor Graphics 公司是全球电子设计自动化的领导厂商，提供一系列关键验证工具，种类繁多，主要涉及系统单芯片验证系列、硬件描述语言与 FPGA 设计、实体设计与分析软件和电路板与系统级设计等 4 个方面。Mentor Graphics 公司开发的 ModelSim 是硬件描述语言仿真软件，它能提供友好的仿真环境，是业界唯一的单内核支持 VHDL 和 Verilog 混合仿真的仿真器。它采用直接优化的编译技术、 Tcl/Tk 技术和单一内核仿真技术，编译仿真速度快，编译的代码与平台无关，便于保护 IP 核，其个性化的图形界面和用户接口可为用户加快调试提供强有力的手段。因此，ModelSim 是 FPGA/ASIC 设计的首选仿真软件。

ModelSim SE 支持 PC、UNIX 和 Linux 混合平台，可提供全面、完善和高性能的验证功能，全面支持业界广泛的标准。

公司网址：<https://www.mentorg.com.cn/>。

习题

1. 什么是电路系统？电路系统通常分为几类，各有何特点？
2. EDA 的发展分为哪几个阶段，各有何特点？
3. VHDL 与 Verilog 的异同点是什么？
4. 试分析图 1.10 所示电路，写出 F 的逻辑函数表达式。
5. SPLD 器件分为哪几类，各有什么特点？
6. CPLD 的结构由哪几部分组成，每部分实现什么功能？

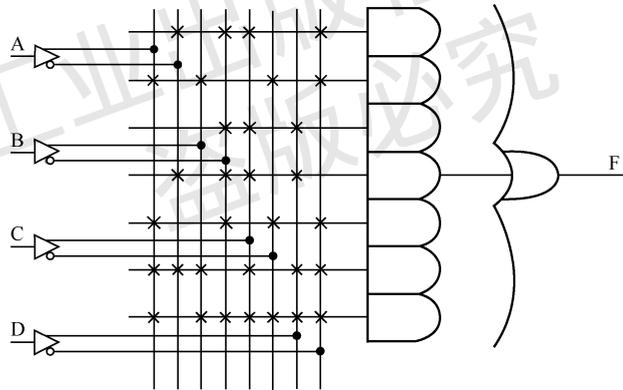


图 1.10 习题 4 用图