


## 第3章 MSP430 单片机 CPU 与存储器

中央处理器（CPU）是单片机的核心部件，其性能直接关系到单片机的处理能力。MSP430 单片机的 CPU 采用 16 位精简指令系统，集成了多个 20 位的寄存器（除状态寄存器为 16 位外，其余寄存器均为 20 位）和常数发生器，能够发挥代码的最高效率。MSP430 单片机的存储空间采用冯·诺依曼结构，物理上完全分离的存储区域被安排在同一地址空间。这种存储器组织方式和 CPU 采用的精简指令系统相互配合，使得对片上外设的访问不需要单独的指令，为软件的开发和调试提供了便利。本章以 MSP430F5xx/6xx 系列单片机为例，首先简单介绍 MSP430 单片机的结构和特性，然后重点介绍 MSP430 单片机的 CPU 和存储器。

### 3.1 MSP430F5xx/6xx 系列单片机结构概述

MSP430 单片机采用的是冯·诺依曼结构。冯·诺依曼结构是一种将程序存储器和数据存储器合并在一起且指令和数据共享同一总线的存储器结构。MSP430 单片机的结构主要包含 16 位精简指令集 CPU、存储器、片上外设、时钟系统、仿真系统以及连接它们的数据总线和地址总线，如图 3.1.1 所示。

 思考：冯·诺依曼结构与哈佛结构的区别？

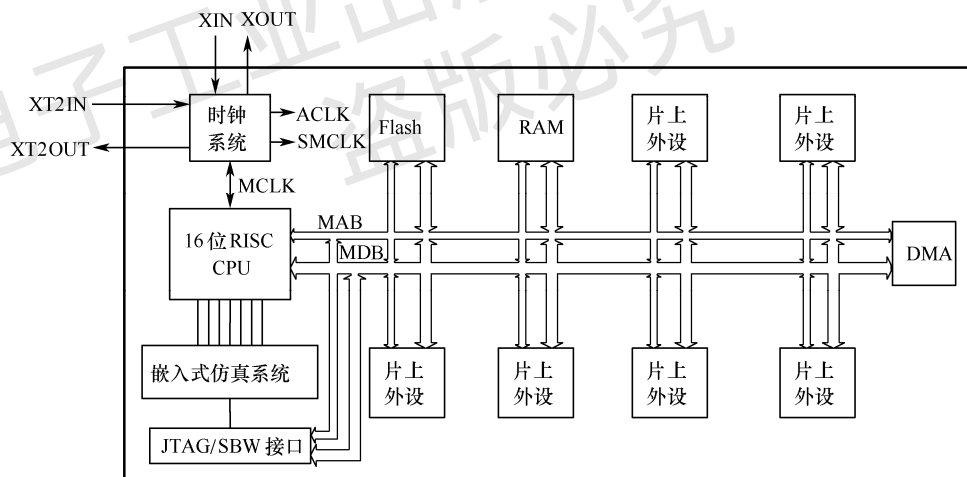


图 3.1.1 MSP430F5xx/6xx 系列单片机结构

#### 1. MSP430F5xx/6xx 系列单片机的结构特征

- ① 16 位精简指令集 CPU 通过地址总线和数据总线直接与存储器和片上外设相连；
- ② 单片机内部包含嵌入式仿真系统，具有 JTAG/SBW 接口；
- ③ 智能时钟系统可产生多种时钟信号，能够最大限度地降低功耗；
- ④ DMA 控制器可显著地提高程序执行效率。

## 2. MSP430F5xx/6xx 系列单片机的主要功能部件

### (1) CPU

MSP430 单片机的 CPU 与通用微处理器基本相同，只是在设计上采用了面向控制的结构和指令系统。MSP430 单片机的内核 CPU 结构是按照精简指令集和高透明度的宗旨来设计的，使用的指令有硬件执行的内核指令和基于现有硬件结构的仿真指令。这样可以提高指令执行速度和效率，增强 MSP430 单片机的实时处理能力。CPU 的具体结构介绍请参见本章 3.3 节。

### (2) 总线

MSP430 单片机内部具有数据总线和地址总线。数据总线用于传送数据信息，是双向总线。它既可以把 CPU 的数据传送给存储器或片上外设等其他部件，也可以将其他部件的数据传送给 CPU。地址总线用于传送地址信息，是单向总线，即只能由 CPU 向外传送地址信息，以便选择需要访问的存储单元或片上外设。

### (3) 存储器

存储器用于存储程序、数据及片上外设的运行控制信息，分为程序存储器和数据存储器。对程序存储器访问总是以字的形式取得代码，而对数据存储器可以用字或字节方式访问。本书介绍的 MSP430F5529 芯片的程序存储器为 128KB 的 Flash 存储器。

### (4) 片上外设

MSP430 单片机的片上外设经过数据总线和地址总线与 CPU 相连。MSP430 单片机所包含的片上外设有：时钟系统、看门狗、定时器、比较器、硬件乘法控制器、液晶驱动模块、12 位模数转换器（ADC）、DMA 控制器和 GPIO 端口等。

### (5) 嵌入式仿真系统

每个 Flash 型 MSP430 单片机都具有一个嵌入式仿真系统。该嵌入式仿真系统可以通过 4 线 JTAG 或者 SBW(两线 JTAG)进行访问和控制，可以实现在线编程和调试，使 Flash 型 MSP430 单片机的开发调试变得十分方便。

## 3.2 MSP430F5529 单片机的特性、结构和外部引脚

### 3.2.1 MSP430F5529 单片机的特性

- 低工作电压：1.8~3.6V；
- 超低功耗：

—活动模式（AM）：所有系统时钟活动

290  $\mu$ A/MHz 在 8MHz，3.0V，程序在 Flash 中执行

150  $\mu$ A/MHz 在 8MHz，3.0V，程序在 RAM 中执行

—待机模式（LPM3）：

实时时钟、看门狗、电源监控、RAM 数据保持、快速唤醒：1.9 $\mu$ A 在 2.2V，2.1 $\mu$ A 在 3.0V

（典型）

低功耗振荡器、通用计数器、看门狗、电源监控、RAM 数据保持、快速唤醒：1.4  $\mu$ A 在 3.0V（典型）

—关闭模式（LPM4）：

RAM 数据保持，电源监控，快速唤醒：1.1 $\mu$ A 在 3.0V（典型）

- 关断模式 (LPM4.5) : 0.18 $\mu$ A 在 3.0V (典型)
- 从待机模式下唤醒时间在 3.5 $\mu$ s 内 (典型) ;
- 16 位 RISC 结构, 可扩展内存, 高达 25MHz 的系统时钟;
- 灵活的电源管理系统:
- 核心供电电压可编程调节的内置 LDO
- 电源电压监控、监测及掉电检测
- UCS 统一时钟系统:
- 频率稳定的 FLL 控制回路
- 内部超低功耗低频振荡器 (VLO)
- 内部调整低频参考振荡器 (REFO)
- 低频晶振 (XT1)
- 高频晶振 (XT2)
- 具有 5 个捕获/比较寄存器的 16 位定时器 TA0, Timer\_A;
- 具有 3 个捕获/比较寄存器的 16 位定时器 TA1, Timer\_A;
- 具有 3 个捕获/比较寄存器的 16 位定时器 TA2, Timer\_A;
- 具有 7 个捕获/比较映射寄存器的 16 位定时器 TB0, Timer\_B;
- 两个通用串行通信接口:
- USCI\_A0 和 USCI\_A1, 每个支持增强 UART、IrDA、同步 SPI
- USCI\_B0 和 USCI\_B1, 每个支持 I<sup>2</sup>C、同步 SPI
- 全速 USB:
- 集成 USB 收发器 (PHY)
- 集成 3.3V/1.8V USB 电源系统
- 集成 USB 锁相环时钟发生器 (PLL)
- 8 输入、8 输出端点
- 具有内部基准电压, 采样和保持及 4 种转换模式的 12 位 ADC;
- 比较器 (Comp\_B);
- 支持 32 位运算的硬件乘法器 (MPY32);
- 串行系统编程, 无须添加外部编程电压;
- 三通道内部 DMA;
- 具有实时时钟功能的基本定时器 (RTC)。

### 3.2.2 MSP430F5529 单片机结构

MSP430F5529 单片机的结构如图 3.2.1 所示。

### 3.2.3 MSP430F5529 单片机外部引脚介绍

MSP430F5529 单片机具有 80 个引脚, 采用 LQFP 封装, 其引脚分布如图 3.2.2 所示。

由于 MSP430 单片机片内资源丰富, 需要众多引脚, 受芯片引脚数限制, 因此很多引脚具有复用功能。MSP430F5529 引脚说明如表 3.2.1 所示。

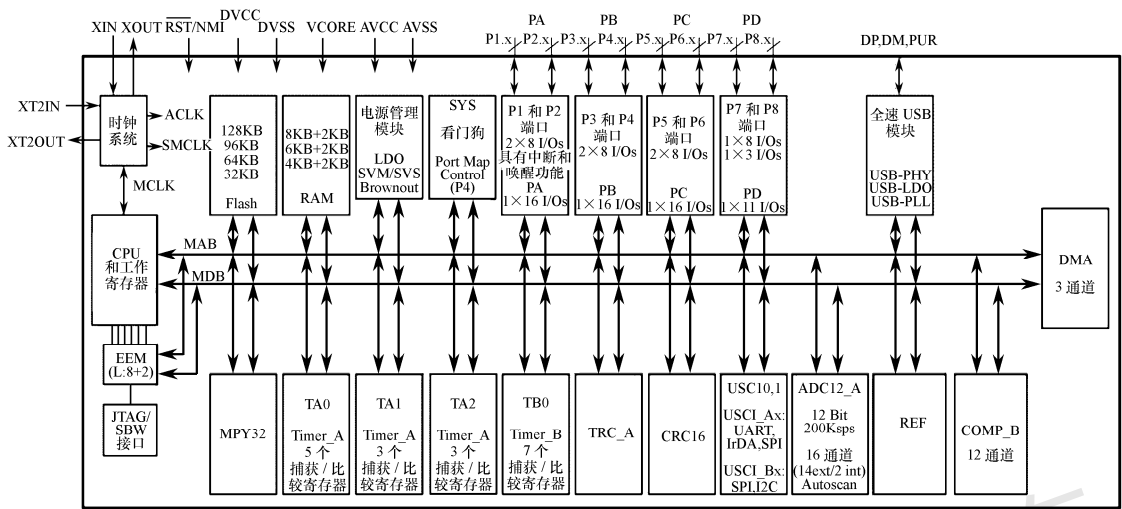


图 3.2.1 MSP430F5529 单片机结构框图

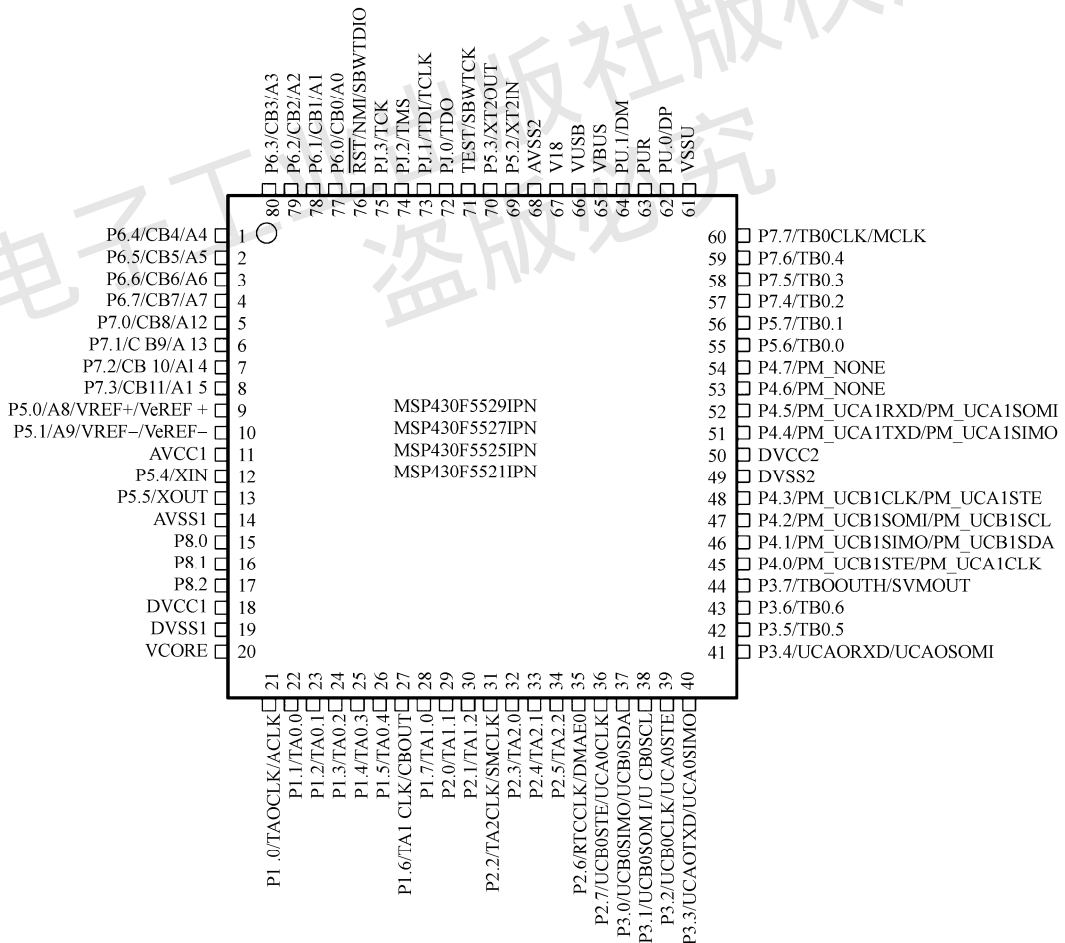


图 3.2.2 MSP430F5529 单片机引脚图

表 3.2.1 MSP430F5529 单片机引脚说明

引脚		I/O	描述
名称	序号		
P6.4/CB4/A4	1	I/O	通用数字 I/O 口/比较器 B 输入通道 CB4/ADC 输入通道 A4
P6.5/CB5/A5	2	I/O	通用数字 I/O 口/比较器 B 输入通道 CB5/ADC 输入通道 A5
P6.6/CB6/A6	3	I/O	通用数字 I/O 口/比较器 B 输入通道 CB6/ADC 输入通道 A6
P6.7/CB7/A7	4	I/O	通用数字 I/O 口/比较器 B 输入通道 CB7/ADC 输入通道 A7
P7.0/CB8/A12	5	I/O	通用数字 I/O 口/比较器 B 输入通道 CB8/ADC 输入通道 A12
P7.1/CB9/A13	6	I/O	通用数字 I/O 口/比较器 B 输入通道 CB9/ADC 输入通道 A13
P7.2/CB10/A14	7	I/O	通用数字 I/O 口/比较器 B 输入通道 CB10/ADC 输入通道 A14
P7.3/CB11/A15	8	I/O	通用数字 I/O 口/比较器 B 输入通道 CB11/ADC 输入通道 A15
P5.0/A8/VREF+/VeREF+	9	I/O	通用数字 I/O 口/ADC 输入通道 A8/ADC 内部正参考电压输出引脚, ADC 外部正参考电压输入引脚
P5.1/A9/VREF-/VeREF-	10	I/O	通用数字 I/O 口/ADC 输入通道 A9/ADC 内部负参考电压输出引脚, ADC 外部负参考电压输入引脚
AVCC1	11		模拟电源正输入端
P5.4/XIN	12	I/O	通用数字 I/O 口/晶体振荡器 XT1 的输入口
P5.5/XOUT	13	I/O	通用数字 I/O 口/晶体振荡器 XT1 的输出口
AVSS1	14		模拟电源负输入端
P8.0	15	I/O	通用数字 I/O 口
P8.1	16	I/O	通用数字 I/O 口
P8.2	17	I/O	通用数字 I/O 口
DVCC1	18		数字电源
DVSS1	19		数字电源地
VCORE	20		核心电压输出
P1.0/TA0CLK/ACLK	21	I/O	具有端口中断的通用数字 I/O 口/TA0 时钟信号输入/ACLK 时钟输出
P1.1/TA0.0	22	I/O	具有端口中断的通用数字 I/O 口/TA0 CCR0, 捕获: CCI0A 输入, 比较: OUT0 输出/BSL 发送输出
P1.2/TA0.1	23	I/O	具有端口中断的通用数字 I/O 口/TA0 CCR1, 捕获: CCI1A 输入, 比较: OUT1 输出/BSL 接收输入
P1.3/TA0.2	24	I/O	具有端口中断的通用数字 I/O 口/TA0 CCR2, 捕获: CCI2A 输入, 比较: OUT2 输出
P1.4/TA0.3	25	I/O	具有端口中断的通用数字 I/O 口/TA0 CCR3, 捕获: CCI3A 输入, 比较: OUT3 输出
P1.5/TA0.4	26	I/O	具有端口中断的通用数字 I/O 口/TA0 CCR4, 捕获: CCI4A 输入, 比较: OUT4 输出
P1.6/TA1CLK/CBOUT	27	I/O	具有端口中断的通用数字 I/O 口/TA1 时钟信号输入 TA1CLK/比较器 B 输出 CBOUT
P1.7/TA1.0	28	I/O	具有端口中断的通用数字 I/O 口/TA1 CCR0, 捕获: CCI0A 输入, 比较: OUT0 输出
P2.0/TA1.1	29	I/O	具有端口中断的通用数字 I/O 口/TA1 CCR1, 捕获: CCI1A 输入, 比较: OUT1 输出

续表

引脚		I/O	描述
名称	序号		
P2.1/TA1.2	30	I/O	具有端口中断的通用数字 I/O 口/TA1 CCR2, 捕获: CCI2A 输入, 比较: OUT2 输出
P2.2/TA2CLK/SMCLK	31	I/O	具有端口中断的通用数字 I/O 口/TA2 时钟信号输入/SMCLK 时钟输出
P2.3/TA2.0	32	I/O	具有端口中断的通用数字 I/O 口/TA2 CCR0, 捕获: CCI0A 输入, 比较: OUT0 输出
P2.4/TA2.1	33	I/O	具有端口中断的通用数字 I/O 口/TA2 CCR1, 捕获: CCI1A 输入, 比较: OUT1 输出
P2.5/TA2.2	34	I/O	具有端口中断的通用数字 I/O 口/TA2 CCR2, 捕获: CCI2A 输入, 比较: OUT2 输出
P2.6/RTCCLK/DMAE0	35	I/O	具有端口中断的通用数字 I/O 口/RTC 输出时钟/DMA 外部触发输入
P2.7/UCB0STE/UCA0CLK	36	I/O	具有端口中断的通用数字 I/O 口/从机传输使能-USCI_B0 SPI 模式/时钟信号输入-USCI_A0 SPI 从机模式/时钟信号输出-USCI_A0 SPI 主机模式
P3.0/UCB0SIMO/UCB0SDA	37	I/O	通用数字 I/O 口/从入主出-USCI_B0 SPI 模式/I <sup>2</sup> C 数据-USCI_B0 I <sup>2</sup> C 模式
P3.1/UCB0SOMI/UCB0SCL	38	I/O	通用数字 I/O 口/从出主入-USCI_B0 SPI 模式/I <sup>2</sup> C 时钟-USCI_B0 I <sup>2</sup> C 模式
P3.2/UCB0CLK/UCA0STE	39	I/O	通用数字 I/O 口/时钟信号输入-USCI_B0 SPI 从机模式/时钟信号输出-USCI_B0 SPI 主机模式/从机传输使能-USCI_A0 SPI 模式
P3.3/UCA0TXD/UCA0SIMO	40	I/O	通用数字 I/O 口/USCI_A0 在 UART 模式下的传输数据输出/USCI_A0 在 SPI 模式下的从机输入、主机输出
P3.4/UCA0RXD/UCA0SOMI	41	I/O	通用数字 I/O 口/USCI_A0 在 UART 模式下的接收数据输入/USCI_A0 在 SPI 模式下的从机输出、主机输入
P3.5/TB0.5	42	I/O	通用数字 I/O 口/TB0 CCR5 捕获: CCI5A 输入, 比较: OUT5 输出
P3.6/TB0.6	43	I/O	通用数字 I/O 口/TB0 CCR6 捕获: CCI6A 输入, 比较: OUT6 输出
P3.7/TB0OUTH/SVMOUT	44	I/O	通用数字 I/O 口/转换所有 PWM 数字输出端到高阻抗-Timer_B TB0 到 TB6/SVS 比较器输出
P4.0/PM_UCB1STE/ PM_UCA1CLK	45	I/O	具有可重置端口映射辅助功能的通用数字 I/O 口/默认映射: USCI_B1 在 SPI 模式下的从机发送使能/默认映射: USCI_A1 在 SPI 从机模式下的时钟信号输入/默认映射: USCI_A1 在 SPI 主机模式下的时钟信号输出
P4.1/PM_UCB1SIMO/PM_U CB1SDA	46	I/O	具有可重置端口映射辅助功能的通用数字 I/O 口/默认映射: 从入主出-USCI_B1 SPI 模式/默认映射: I <sup>2</sup> C 数据-USCI_B1 I <sup>2</sup> C 模式
P4.2/PM_UCB1SOMI/PM_U CB1SCL	47	I/O	具有可重置端口映射辅助功能的通用数字 I/O 口/默认映射: 从出主入-USCI_B1 SPI 模式/默认映射: I <sup>2</sup> C 时钟-USCI_B1 I <sup>2</sup> C 模式
P4.3/PM_UCB1CLK/PM_UC A1STE	48	I/O	具有可重置端口映射辅助功能的通用数字 I/O 口/默认映射: 时钟信号输入-USCI_B1 SPI 从机模式/默认映射: 时钟信号输出-USCI_B1 SPI 主机模式/默认映射: 从机传输使能-USCI_A1 SPI 模式
DVSS2	49		数字电源地
DVCC2	50		数字电源
P4.4/PM_UCA1TXD/PM_U CA1SIMO	51	I/O	具有可重置端口映射辅助功能的通用数字 I/O 口/默认映射: 发送数据输出-USCI_A1 UART 模式/默认映射: 从入主出-USCI_A1 SPI 模式
P4.5/PM_UCA1RXD/PM_U CA1SOMI	52	I/O	具有可重置端口映射辅助功能的通用数字 I/O 口/默认映射: 接收数据输入-USCI_A1 UART 模式/默认映射: 从出主入-USCI_A1 SPI 模式
P4.6/PM_NONE	53	I/O	具有可重置端口映射辅助功能的通用数字 I/O 口/默认映射: 不具有辅助功能

续表

引脚		I/O	描述
名称	序号		
P4.7/PM_NONE	54	I/O	具有可重置端口映射辅助功能的通用数字 I/O 口/默认映射: 不具有辅助功能
P5.6/TB0.0	55	I/O	通用 I/O 口/ TB0 CCR0 捕获: CCI0A 输入, 比较: OUT0 输出
P5.7/TB0.1	56	I/O	通用 I/O 口/ TB0 CCR1 捕获: CCI1A 输入, 比较: OUT1 输出
P7.4/TB0.2	57	I/O	通用 I/O 口/ TB0 CCR2 捕获: CCI2A 输入, 比较: OUT2 输出
P7.5/TB0.3	58	I/O	通用 I/O 口/ TB0 CCR3 捕获: CCI3A 输入, 比较: OUT3 输出
P7.6/TB0.4	59	I/O	通用 I/O 口/ TB0 CCR4 捕获: CCI4A 输入, 比较: OUT4 输出
P7.7/TB0CLK/MCLK	60	I/O	通用 I/O 口/TB0 时钟信号输入/MCLK 输出
VSSU	61		USB 模块 PHY (收发器) 电源地
PU.0/DP	62	I/O	由 USB 模块控制寄存器控制的通用 I/O 口/USB 差分数据传输线 DP
PUR	63	I/O	USB 模块上拉电阻引脚
PU.1/DM	64	I/O	由 USB 模块控制寄存器控制的通用 I/O 口/USB 差分数据传输线 DM
VBUS	65		USB 模块 LDO (低压差线性稳压器) 输入
VUSB	66		USB 模块 LDO (低压差线性稳压器) 输出
V18	67		USB 模块稳压电源 (仅限内部使用)
AVSS2	68		模拟电源地
P5.2/XT2IN	69	I/O	通用数字 I/O 口/晶体振荡器 XT2 的输入口
P5.3/XT2OUT	70	I/O	通用数字 I/O 口/晶体振荡器 XT2 的输出口
TEST/SBWTK	71	I	在四线 JTAG 操作下的测试引脚/SBW 操作时钟信号输入
PJ.0/TDO	72	I/O	通用数字 I/O 口/JTAG 测试数据输出端口
PJ.1/TDI/TCLK	73	I/O	通用数字 I/O 口/JTAG 测试数据输入/JTAG 测试时钟输入
PJ.2/TMS	74	I/O	通用数字 I/O 口/JTAG 测试模式选择
PJ.3/TCK	75	I/O	通用数字 I/O 口/JTAG 测试时钟
RST/NMI/SBWDIO	76	I/O	复位信号 (低电平有效) /非屏蔽中断输入/SBW 操作数据传输
P6.0/CB0/A0	77	I/O	通用数字 I/O 口/比较器输入通道 CB0/ ADC 输入通道 A0
P6.1/CB1/A1	78	I/O	通用数字 I/O 口/比较器输入通道 CB1/ ADC 输入通道 A1
P6.2/CB2/A2	79	I/O	通用数字 I/O 口/比较器输入通道 CB2/ ADC 输入通道 A2
P6.3/CB3/A3	80	I/O	通用数字 I/O 口/比较器输入通道 CB3/ ADC 输入通道 A3

### 3.3 MSP430F5xx/6xx 系列单片机的中央处理器

#### 3.3.1 CPU 的结构及其主要特性

CPU 是单片机的核心部件, 其性能直接关系到单片机的处理能力。MSP430F5xx/6xx 系列单片机的 CPU 采用 16 位精简指令系统 RISC, 集成了多个 20 位的寄存器 (除状态寄存器为 16 位外, 其余寄存器均为 20 位) 和常数发生器。RISC (精简指令集) 是和 CISC (复杂指令集)


相对的一种 CPU 架构，它把较长的指令分拆成若干条长度相同的单一指令，可使 CPU 速度更快、效率更高，设计和开发也更简单。外围模块通过数据、地址和控制总线与 CPU 相连，CPU 可以很方便地通过采用对存储器的指令对片上外设进行控制。

与以往系列的 MSP430 单片机不同，MSP430F5xx/6xx 系列单片机采用了 MSP430 扩展型的 CPU (CPUX)，寻址总线从 16 位扩展到 20 位，最大寻址可达 1MB。其中，小于 64KB 的空间可以用 16 位地址去访问，大于 64KB 的空间则需要用 20 位地址去访问。这与传统的 16 位地址总线的单片机在使用中存在一定的差别。

MSP430F5xx/6xx 系列单片机 CPU 的主要特征如下：

- 精简指令集 RISC 正交架构；
- 具有丰富的寄存器资源，包括 PC（程序计数器）、SR（状态寄存器）、SP（堆栈指针）、CG2（常数发生器）和通用寄存器；
- 单周期寄存器操作；
- 20 位地址总线；
- 16 位数据总线；
- 直接的存储器到存储器访问；
- 字节、字和 20 位操作方式。

MSP430 单片机内部由一个支持 16 位或者 20 位算术逻辑运算的 ALU（算术逻辑单元）、16 个寄存器和一个指令控制单元构成，如图 3.3.1 所示。算术逻辑单元是计算机对数据进行加工处理的部件。它的主要功能是对二进制数码进行加、减、乘、除等算术运算和与、或、非等基本逻辑运算，实现逻辑判断。16 个寄存器中有 4 个为特殊用途寄存器：PC（程序计数器）、SR（状态寄存器）、SP（堆栈指针）和 CG2（常数发生器），其中状态寄存器为 16 位，其他的寄存器为 20 位。通过程序计数器进行控制程序流程，而由程序状态寄存器反映程序执行的现场状态。

 **知识点：**精简指令集（RISC）和复杂指令集（CISC）的区别：RISC 和 CISC 是当前 CPU 的两种架构，它们的区别在于不同的 CPU 设计理念和方法。RISC 架构的设计目的是利用最简洁的机器语言完成所需的计算任务，数据处理指令往往很少，复杂指令利用子函数完成；而 CISC 架构的设计目的是利用最少的机器语言完成所需的计算任务，每个任务可能都有一条单独的指令与之对应，指令系统庞大，指令功能复杂。在此我们以生活中泡茶为例进行说明，如果我们想泡 50 杯茶，采用复杂指令集架构完成，需要以下指令：去泡茶、茶泡好了……去泡茶、茶泡好了，如此循环 50 次。如果采用精简指令集架构完成，则应需要以下指令：去泡茶、拿 50 个杯子、放 50 份茶叶、倒 50 次开水、茶泡好了。可见，精简指令集架构的数据并行处理能力更强。

### 3.3.2 CPU 的寄存器资源

寄存器是 CPU 的重要组成部分，是有限存储容量的高速存储部件，它们可用来暂存指令、数据和地址。寄存器位于内存空间中的最顶端。寄存器操作是系统操作最快速的途径，可以缩短指令执行的时间，能够在一个周期之内完成寄存器与寄存器之间的操作。

在 MSP430F5xx/6xx 系列单片机的 CPU 中，R4~R15 为具有通用功能的寄存器，用来保存参加运算的数据及运算的中间结果，也可用来存放地址。R0~R3 为具有特殊功能的寄存器，MSP430F5xx/6xx 系列单片机的寄存器资源简要说明如表 3.3.1 所示。



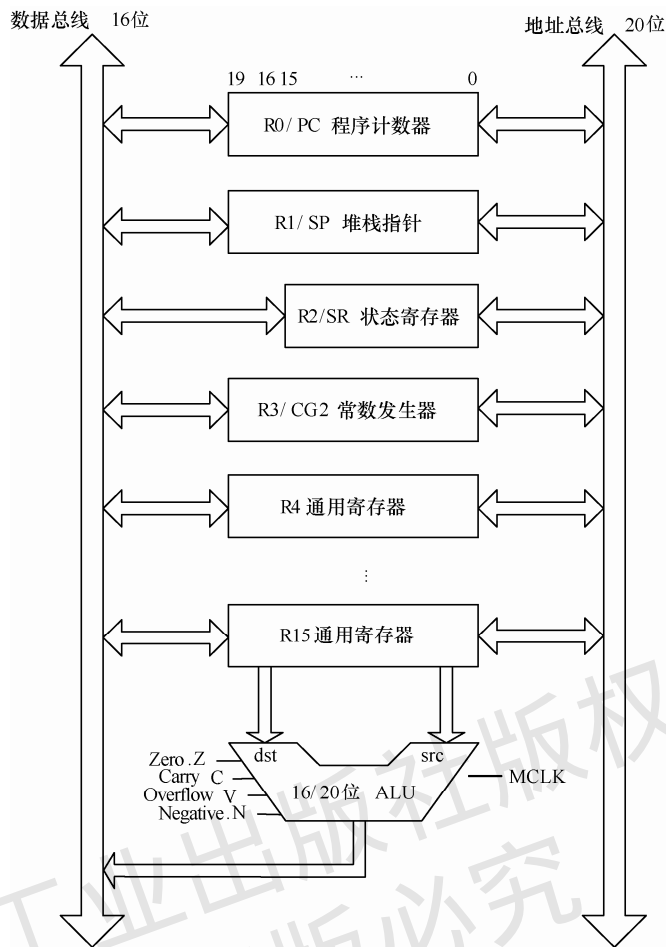


图 3.3.1 MSP430F5xx/6xx 系列单片机 CPU 结构图

表 3.3.1 MSP430F5xx/6xx 系列单片机 CPU 的寄存器资源说明

寄存器简写	功能
R0 (20 位)	程序计数器 PC, 指示下一条将要执行的指令地址
R1 (20 位)	堆栈指针 SP, 指向堆栈栈顶
R2 (16 位)	状态寄存器 SR
R3 (20 位)	常数发生器 CG2
R4 (20 位)	通用寄存器
...	...
R15 (20 位)	通用寄存器

### 1. 程序计数器 PC

程序计数器是 MSP430 单片机 CPU 中最核心的寄存器,其作用是存放下一条要执行指令的地址。程序中的所有指令都存放在存储器的某一区域,每一条指令都有自己的存放地址,需要执行那条指令时,就将那条指令的地址送到地址总线。MSP430 单片机的指令根据其操作数的多少,其指令长度分别为 2、4、6 和 8 字节,程序计数器的内容总是偶数,指向偶字节地址。可以像访问其他寄存器一样,用所有指令和所有的寻址方式去访问程序计数器,但是,必须以字为单位去访问,否则,会清除高位字节。程序计数器 PC 变化的轨迹决定程序的流程,程序

计数器 PC 的宽度决定了程序存储器可以直接寻址的范围。在 MSP430F5xx/6xx 系列单片机中，程序计数器是一个 20 位的计数器，最多可以直接寻址 1MB 的存储空间。

由于程序一般是顺序执行的，因此，当程序计数器中的地址送到地址总线后，程序计数器的内容自动加 1，从而指向下一条要执行的指令地址。但是，当执行条件或无条件转移指令、调用指令或相应中断时，程序计数器 PC 将被置入新的数值，程序的流向发生变化。程序计数器的结构如图 3.3.2 所示。

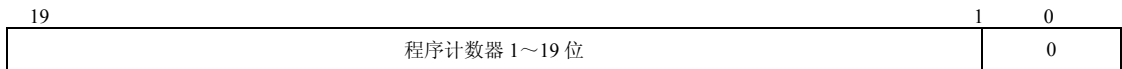


图 3.3.2 程序计数器结构图

举例如下：

```

MOV.W #LABEL, PC      ;跳转到地址LABEL (低于64KB) 开始执行
MOVA  #LABEL, PC      ;跳转到地址LABEL (高于64KB) 开始执行
MOV.W LABEL, PC       ;程序开始执行的地址为LABEL所在内存中的数 (低于64KB)
MOV.W @R14, PC        ;程序开始执行的地址为寄存器R14中的数 (低于4KB)
ADDA  #4, PC          ;跳过两个字 (高于64KB)
    
```

## 2. 堆栈指针 SP

堆栈是一种具有“后进先出”（Last In First Out, LIFO）特殊访问属性的存储结构。它在 RAM 中开辟一个存储区域，数据一个一个按顺序存入（也就是“压入”）这个区域中。有一个地址指针总指向最后一个压入堆栈的数据所在的数据单元，存放这个地址指针的寄存器就称为堆栈指针 SP。在系统调用子程序或进入中断服务程序时，堆栈能够保护程序计数器 PC。首先将 PC 压入堆栈，然后，将子程序的入口地址或者中断向量地址送程序计数器，执行子程序或中断服务程序。子程序或者中断服务程序执行完毕，遇到返回指令时，将堆栈保存的执行子程序或中断服务程序前的程序计数器数值恢复到程序计数器中，程序流程又返回到原来的地方继续执行。此外，堆栈可以在函数调用期间保存寄存器变量、局部变量和参数等。堆栈指针的结构如图 3.3.3 所示。

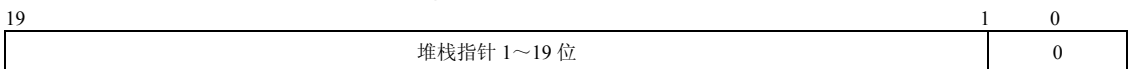


图 3.3.3 堆栈指针结构图

堆栈指针 SP 总是指向堆栈的顶部。系统在将数据压入堆栈时，总是先将堆栈指针 SP 的值减 2，然后，再将数据送到 SP 所指的 RAM 单元。将数据从堆栈中弹出的过程正好与压入过程相反，先将数据从 SP 所指示的内存单元取出，再将 SP 的值加 2。堆栈操作示意图如图 3.3.4 所示。

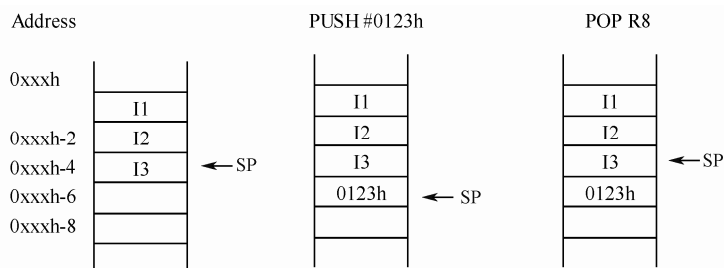


图 3.3.4 堆栈操作示意图

举例如下：

```
MOV.W    2(SP),R6    ;将RAM单元I2中的数据放到R6寄存器中
MOV.W    R7,0(SP)    ;将R7寄存器中的数据放到栈顶所在的单元(I3)中
PUSH     #0123h      ;将SP的值加2，再将#0123h放到SP所指向的RAM单元中
POP      R8           ;将SP所指向单元中的数(#0123h)放到R8寄存器中，再将SP的值减2
```

### 3. 状态寄存器 SR

状态寄存器记录程序执行过程中的现场情况，在程序设计中有着相当重要的作用。MSP430 单片机的状态寄存器为 16 位，其中只用到前 9 位，其结构如图 3.3.5 所示。

15~9	8	7	6	5	4	3	2	1	0
保留	V	SCG1	SCG0	OscOff	CPUOff	GIE	N	Z	C

图 3.3.5 状态寄存器结构图

状态寄存器中各位的含义，如表 3.3.2 所示。

表 3.3.2 状态寄存器说明

位置	名称	描述
0	C	进位标志位。当运算结果产生进位时，C 置位，否则 C 复位
1	Z	零标志位。当运算结果为零时，Z 置位，否则 Z 复位
2	N	负标志位。当运算结果为负时，N 置位，否则 N 复位
3	GIE	中断使能控制位： GIE 置位，CPU 可响应可屏蔽中断 GIE 复位，CPU 不响应可屏蔽中断
4	CPUOff	CPU 控制标志位。置位 CPUOff 可使 CPU 进入关闭模式，可用所有允许的中断将 CPU 唤醒
5	OscOff	晶振控制标志位。置位 OscOff 可使晶体振荡器处于停止状态，同时，CPUOff 也需置位。 可用外部中断或不可屏蔽中断唤醒 CPU
6	SCG0	SCG0 时钟控制标志位： SCG0 置位，关闭 FLL 倍频环 SCG0 复位，开启 FLL 倍频环
7	SCG1	SCG1 时钟控制标志位： SCG1 置位，关闭 DCO 数字时钟发生器 SCG1 复位，开启 DCO 数字时钟发生器
8	V	溢出标志位。当运算结果超出有符号数范围时，V 置位。 溢出情况如下： 正数+正数=负数    正数-负数=负数 负数+负数=正数    负数-正数=正数
9~15		保留未用

状态寄存器只能用寄存器方式进行访问，每个状态可以单独也可以与其他位一起被置位或复位，该特点可用于子程序中的状态转移。

### 4. 常数发生器 CG2

6 个常用的常数可以用常数发生器产生，而不必占用一个 16 位的程序代码空间。利用 CPU 的 27 条内核指令配合常数发生器可以生成一些简单高效的模拟指令，这样可提高代码执行效率。常数发生器所用常数的数值由寻址模式标志位 As 来定义，由硬件自动地产生数字：-1、0、1、2、4、8，如表 3.3.3 所示。

表 3.3.3 常数发生器 CG2 的值

寄存器	As	常数	描述
R2	00	—	寄存器模式
R2	01	(0)	绝对寻址模式
R2	10	00004h	+4 位处理
R2	11	00008h	+8 位处理
R3	00	00000h	0 字处理
R3	01	00001h	+1
R3	10	00002h	+2 位处理
R3	11	FFh,FFFFh,FFFFFFh	-1 字处理

使用常数发生器有以下优点：

- 不需要特殊的指令；
- 对 6 个常用的常数不需要额外的代码字；
- 不用访问数据存储器，缩短指令周期。

例如，单操作数指令：

```
CLR dst ;将 dst 单元清零
```

这不是内核指令，而是一条模拟指令，汇编器将 As=00, R3=0 用 MOV R3,dst 来模拟。

### 5. 通用寄存器 R4~R15

MSP430 具有 12 个通用寄存器 R4~R15，通用寄存器能够处理 8 位、16 位和 20 位的数据。任何一个 8 位字节的数据写到通用寄存器中，都会清除第 9 位到第 20 位的数据。任何一个 16 位字的数据写到通用寄存器中，都会清除第 17 位到第 20 位的数据。其中，唯一例外的是 SXT 指令，SXT 指令需用到完整的 20 位通用寄存器。

通用寄存器可以进行算术逻辑运算，保存参加运算的数据以及运算的中间结果，也可用来存放地址。

举例如下：

```
MOV    #1234H,R15 ;执行后 R15 的内容为 1234H
MOV.B  #23H,R15   ;执行后 R15 的内容为 0023H
ADD.B  #34H,R15   ;执行后 R15 的内容为 0057H
```

## 3.4 MSP430 单片机的存储器

说到存储器，就不得不说目前比较流行的两种存储结构：即冯·诺依曼结构和哈佛结构。

1945 年，冯·诺依曼首先提出了“存储程序”的概念，即冯·诺依曼结构（Von Neumann）的处理器使用同一个存储器，经由同一个总线传输。冯·诺依曼结构（也称普林斯顿结构）是一种将程序（指令）存储器和数据存储器合在一起的存储器结构。冯·诺依曼结构的微处理器，其程序和数据公用一个存储空间，程序（指令）存储地址和数据存储地址指向同一个存储器的不同物理位置，采用单一的地址及数据总线，程序指令和数据的宽度相同，处理器执行指令时，先从存储器中取出指令进行解码，再取操作数执行运算，即使单条指令也要耗费几个甚至几十个周期。在高速运算时，在传输通道上会出现瓶颈效应。存储器结构示意图如图 3.4.1 所示。

哈佛（Harvard）结构是一种将程序（指令）存储和数据存储分开的存储器结构。哈佛结构

是一种并行体系结构，它的主要特点是将程序和数据存储在不同的存储空间中，即程序存储器和数据存储器是两个相互独立的存储器，每个存储器独立编址、独立访问。与两个存储器相对应的是系统中的 4 套总线：程序的数据总线与地址总线，数据的数据总线与地址总线。这种分离的程序总线 and 数据总线可允许在一个机器周期内同时获取指令字（来自程序存储器）和操作数（来自数据存储器），从而提高了执行速度，使数据的吞吐率提高了 1 倍。又由于程序和数据存储器在两个分开的物理空间中，因此，取指和执行能完全重叠，其存储结构示意图如图 3.4.2 所示。

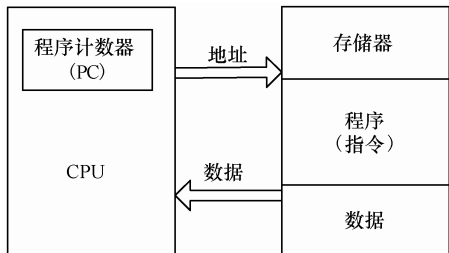


图 3.4.1 冯·诺依曼存储器结构示意图

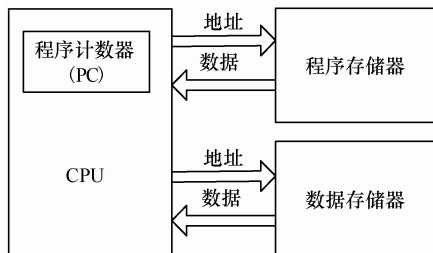


图 3.4.2 哈佛存储器结构示意图

MSP430 的单片机的存储空间采用冯·诺依曼结构，物理上完全分离的存储区域，如 Flash、RAM、外围模块、特殊功能存储器 SFR 等，被安排在同一存储器内，这样就可以使用同一组地址、数据总线、相同的指令对它们进行字节或字形式访问。

冯·诺依曼结构和 MSP430 单片机 CPU 采用精简指令集的形式相互协调，对外围模块的访问不需要单独的指令，为软件的开发和调试提供便利。

### 3.4.1 MSP430 单片机存储空间结构

本节以 MSP430F5529 单片机为例介绍 MSP430 单片机的存储空间结构。MSP430F5529 单片机具有 128KB 程序存储器、(8+2)KB RAM 存储器(当 USB 模块禁止时，获得额外的 2KB RAM) 及相应的外围模块寄存器，其存储空间分配情况如图 3.4.3 所示。

MSP430 不同系列单片机的存储空间的分布有很多相同之处：

- ① 存储空间结构顺序相同，MSP430 不同系列单片机存储空间结构相同，其内部各个模块顺序也相同；
- ② 中断向量表具有相同的存储空间地址上限，为 0FFFFh；
- ③ 当两段存储器存储地址不能相连时，中间为空白区域；
- ④ 特殊功能寄存器永远在存储空间的底部。

由于器件所属型号不同，存储空间的分布也存在一些差异：

- ① 不同型号器件的程序存储器、RAM、信息存储器等大小不同；

② 中断向量的具体内容因器件不同而不同；

③ 不同型号器件的外围模块地址范围内的具体内容不同；

④ 较低型号的 MSP430 单片机特殊功能寄存器地址从 00000h 开始，较高型号的 MSP430 单片机存储器底层开辟出一段保留区，以供存储器拓展。

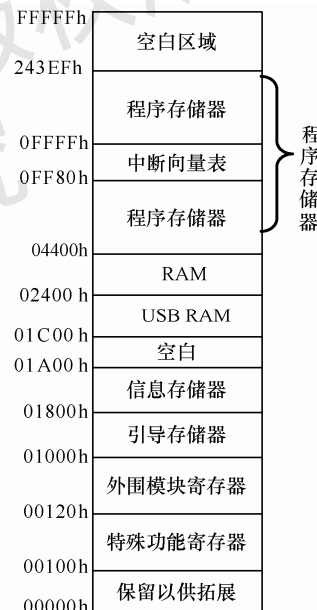



图 3.4.3 MSP430F5529 单片机存储空间分配情况

 注意：若读者用到了其他型号的 MSP430 单片机，可根据本节所讲述的 MSP430F5529 单片机的存储结构并结合相关手册进行理解。

### 3.4.2 程序存储器

MSP430F5529 单片机的程序存储器具有 4 个存储体，每个 32KB，共 128KB，所在存储空间地址段为 04400h~243FFh。程序存储器可分为两种情况：中断向量表和用户程序代码段。

中断向量表的存储空间为 0FF80h~0FFFFh，中断向量表内含有相应中断服务程序的 16 位入口地址。当 MSP430 单片机片上模块的中断请求被响应时，MSP430 单片机首先保护断点，之后从中断向量表中查表得到相应中断服务程序的入口地址，然后执行相应的中断服务程序。具体中断向量表的内容及中断的处理过程可参考本书第 4 章，在此不再赘述。

用户程序代码段一般用来存放程序、常数或表格。MSP430 单片机的存储结构允许存放大的数据表，并且可以用所有的字和字节访问这些表。这一点为提高编程的灵活性和节省存储空间带来了好处。表处理可带来快速清晰的编程风格，特别对于传感器应用，为了数据线性化和补偿，将传感器数据存入表中做表处理，是一种很好的方法。

### 3.4.3 RAM 存储器

MSP430F5529 单片机的 RAM 存储器具有 4 个扇区，每个 2KB，共 8KB，所在存储空间地址段为 02400h~0C3FFh。RAM 存储器一般用于堆栈和变量，如存放经常变化的数据：采集到的数据、输入的变量、运算的中间结果等。

堆栈是具有先进后出特殊操作的一段数据存储单元，可以在子程序调用、中断处理或者函数调用过程中保护程序指针、参数、寄存器，但在程序执行的过程中，要防止产生由于堆栈的溢出而导致系统复位的现象，例如中断的不断嵌套而导致堆栈溢出等。

MSP430F5529 单片机的 USB 通信模块具有 2KB 的 RAM 缓冲区。当 USB 通信模块禁用时，这 2KB 的 RAM 缓冲区也可作为系统的 RAM 存储器使用。

### 3.4.4 信息存储器

MSP430F5529 单片机的信息存储器 (Information Memory) 具有 4 段，每段 128 字节，共 512 字节，所在存储空间地址段为 01800h~019FFh。信息存储器类型为 Flash 类型，非 RAM 类型，掉电后数据不会丢失。该段区域内数据可通过 Flash 控制器进行擦除、写入或读取操作。信息存储器可用于存储掉电后需要保存的重要数据，等系统再次上电时，可通过读取信息存储器的内容以获得系统掉电之前保存的重要数据，使系统按照之前的状态继续运行。

### 3.4.5 引导存储器

MSP430F5529 单片机的引导存储器 (Bootstrap Loader Memory) 具有 4 段，每段 512 字节，共 2KB，所在存储空间地址段为 01000~017FFh。引导存储器类型也为 Flash 类型，BSL 允许用户利用所定义的密码通过各种通信接口 (USB 或 UART) 访问内存空间，可以实现程序代码的读/写操作，利用引导存储器只需几根线就可以修改、运行内部的程序，为系统软件的升级提供了又一种方便的手段。

### 3.4.6 外围模块寄存器

MSP430F5529 单片机的外围模块寄存器所在存储空间地址段为 00120h~00FFFh，都可以

通过软件进行访问和控制。MSP430 单片机可以像访问普通 RAM 单元一样对这些寄存器进行操作。这些寄存器也分为字节结构和字结构。不同系列 MSP430 单片机的外围模块寄存器数量不同，具体请参考具体芯片的数据手册。MSP430F5529 的外围模块寄存器地址分配如表 3.4.1 所示，各外围模块寄存器内容请参考后面介绍片上外设各章节内容。

表 3.4.1 MSP430F5529 外围模块寄存器地址分配列表

地址	说明	地址	说明
0120h~013Fh	电源管理模块	03C0h~03FFh	TB0
0140h~014Fh	Flash 控制器	0400h~049Fh	TA2
0150h~0157h	CRC 16 模块	04A0h~04BFh	实时时钟模块
0158h~015Bh	RAM 控制器	04C0h~04FFh	32 位硬件乘法器
015Ch~015Fh	看门狗模块	0500h~050Fh	DMA 控制寄存器
0160h~017Fh	UCS 统一时钟模块	0510h~051Fh	DMA 通道 0
0180h~01AFh	SYS 系统模块	0520h~052Fh	DMA 通道 1
01B0h~01BFh	参考模块	0530h~05BFh	DMA 通道 2
01C0h~01DFh	端口映射控制寄存器	05C0h~05DFh	USCI_A0 模块
01E0h~01FFh	P4 映射端口	05E0h~05FFh	USCI_B0 模块
0200h~021Fh	端口 P1/P2	0600h~061Fh	USCI_A1 模块
0220h~023Fh	端口 P3/P4	0620h~06FFh	USCI_B1 模块
0240h~025Fh	端口 P5/P6	0700h~08BFh	ADC12 模块
0260h~031Fh	端口 P7/P8	08C0h~08FFh	比较器 B 模块
0320h~033Fh	端口 PJ	0900h~091Fh	USB 配置寄存器
0340h~037Fh	TA0	0920h~093Fh	USB 控制寄存器
0380h~03BFh	TA1		

### 3.4.7 特殊功能寄存器

MSP430F5529 单片机的特殊功能寄存器所在的存储空间地址段为 00100h~00120h。不同系列的 MSP430 单片机特殊功能寄存器数量不同，MSP430F5529 单片机特殊功能寄存器如表 3.4.2 所示。

表 3.4.2 MSP430F5529 特殊功能寄存器列表（基址为 00100h）

寄存器	缩写	读/写类型	访问方式	偏移地址	初始状态
中断使能寄存器	SFRIE1	读/写	字访问	00h	0000h
	SFRIE1_L(IE1)	读/写	字节访问	00h	00h
	SFRIE1_H(IE2)	读/写	字节访问	01h	00h
中断标志寄存器	SFRIFG1	读/写	字访问	02h	0082h
	SFRIFG1_L	读/写	字节访问	02h	82h
	SFRIFG1_H	读/写	字节访问	03h	00h
复位引脚控制寄存器	SFRRPCR	读/写	字访问	04h	0000h
	SFRRPCR_L	读/写	字节访问	04h	00h
	SFRRPCR_H	读/写	字节访问	05h	00h

下面对各特殊功能寄存器的内容进行介绍，具有下划线的配置为初始状态或复位后的默认配置。

### 1. 中断使能寄存器(SFRIE1)

15	14	13	12	11	10	9	8
保留							
7	6	5	4	3	2	1	0
JMBOUTIE	JMBIEIE	ACCVIE	NMIIE	VMAIE	保留	OFIE	WDTIE

- JMBOUTIE: 第 7 位, JTAG 控制输出中断使能控制位。
- JMBIEIE: 第 6 位, JTAG 控制输入中断使能控制位。
- ACCVIE: 第 5 位, Flash 控制器非法访问中断使能控制位。
- NMIIE: 第 4 位, NMI 引脚中断使能控制位。
- VMAIE: 第 3 位, 空白内存访问中断使能控制位。
- OFIE: 第 1 位, 晶振失效中断使能控制位。
- WDTIE: 第 0 位, 看门狗中断使能控制位。

以上控制位置位表示使能中断, 清零表示禁止中断。

### 2. 中断标志寄存器(SFRIFG1)

15	14	13	12	11	10	9	8
保留							
7	6	5	4	3	2	1	0
JMBOUTIFG	JMBINIFG	保留	NMIIFG	VMAIFG	保留	OFIFG	WDTIFG

- JMBOUTIFG: 第 7 位, JTAG 控制输出中断标志位。
- JMBINIFG: 第 6 位, JTAG 控制输入中断标志位。
- NMIIFG: 第 4 位, NMI (不可屏蔽中断) 引脚中断标志位。
- VMAIFG: 第 3 位, 空白内存访问中断标志位。
- OFIFG: 第 1 位, 晶振失效中断标志位。
- WDTIFG: 第 0 位, 看门狗中断标志位。

以上标志位置位表示有中断被挂起, 清零表示没有中断产生。

### 3. 复位引脚控制寄存器(SFRPCR)

15	14	13	12	11	10	9	8
保留							
7	6	5	4	3	2	1	0
保留			SYRSTRE	SYRSTUP	SYSNMIIES	SYSNMI	

- SYRSTRE: 第 3 位, 复位引脚内部电阻使能控制位。

0: 禁止 RST/NMI 引脚的上拉/下拉电阻;

1: 允许 RST/NMI 引脚的上拉/下拉电阻。

- SYRSTUP: 第 2 位, 复位引脚内部电阻上拉/下拉控制位

0: 选择下拉; 1: 选择上拉。

● SYSNMIIES: 第 1 位, NMI 边沿触发选择控制位。当 SYSNMI=1 时, 通过该位选择不可屏蔽中断触发边沿, 修改该位值会触发不可屏蔽中断。但是, 在 SYSNMI=0 时, 修改该位值不会触发不可屏蔽中断。



0: 在上升沿触发不可屏蔽中断;      1: 在下降沿触发不可屏蔽中断。

● **SYSNMI**: 第 0 位, RST/NMI 引脚功能选择控制位。

0: 该引脚选择复位 RST 功能;      1: 该引脚选择不可屏蔽中断 NMI 功能。

## 本章小结

本章以 MSP430F5xx/6xx 系列单片机为例, 简单介绍 MSP430 单片机的结构和特性, 重点介绍 MSP430 单片机的 CPU 和存储器。

MSP430 单片机的结构主要包含 CPU、存储器、片上外设、时钟系统、仿真系统及连接它们的数据总线和地址总线。

MSP430 单片机的 CPU 采用 16 位精简指令系统 RISC, 内部集成有程序计数器、堆栈指针、状态寄存器、常数发生器和通用寄存器等。与以往的 MSP430 系列单片机不同, MSP430F5xx/6xx 系列单片机采用了 MSP430 扩展型的 CPU (CPUX), 寻址总线从 16 位扩展到 20 位, 最大寻址可达 1MB。这与传统的 16 位地址总线的 MCU 在使用中存在一定的差别, 请读者注意区分。

MSP430 单片机的存储器采用冯·诺依曼结构, 物理上完全分离的存储区域, 如 Flash、RAM、外围模块、特殊功能存储器 SFR 等, 被安排在同一存储器的不同区间内, 这样就可以使用同一组地址、数据总线、相同的指令对它们进行字节或字形式访问。

## 思考题与习题 3

- 3.1 MSP430 单片机的结构主要包含哪些部件?
- 3.2 列举冯·诺依曼结构和哈佛结构的联系及区别。
- 3.3 MSP430F5529 单片机具有哪些特性?
- 3.4 根据 MSP430F5529 单片机的结构框图, 详细列出它所具有的片上外设。
- 3.5 了解 MSP430F5529 单片机各引脚功能, 并注意其引脚的命名规则。
- 3.6 MSP430F5xx/6xx 系列单片机采用了扩展型的 CPU (CPUX), 其与之前系列单片机的 CPU 有哪些区别?
- 3.7 MSP430 单片机的中央处理器由哪些单元组成? 各单元又具有什么功能?
- 3.8 精简指令集和复杂指令集具有哪些区别? 为什么 MSP430 单片机采用精简指令集系统?
- 3.9 MSP430F5xx/6xx 系列单片机 CPU 具有哪些寄存器资源? 各寄存器又具有什么功能?
- 3.10 简述 MSP430F5529 单片机存储空间分布情况, 并思考不同系列 MSP430 单片机存储空间分布的相同和不同之处。