

第 1 章

数字电子技术基础

➔ 1.1 数字电子技术课程简介

1.1.1 基本概念

电子技术是根据电子学的原理,运用电子元器件设计和制造具有某种特定功能的电路以解决实际问题的科学,其主要研究电信号的产生、传送、接收和处理。数字电子技术和数字信号处理主要研究各种逻辑门电路、集成器件的功能及其应用、组合逻辑门电路和时序电路的分析和设计、集成芯片各引脚功能、555 定时器等。随着计算机科学与技术突飞猛进地发展,用数字电路进行信号处理的优势也更加突出。为了充分发挥和利用数字电路在信号处理上的强大功能,我们可以先将模拟信号按比例转换成数字信号,然后送到数字电路进行处理,最后将处理结果根据需要转换为相应的模拟信号输出。自 20 世纪 70 年代初开始,这种用数字电路处理模拟信号的所谓“数字化”浪潮已经席卷了电子技术几乎所有的应用领域。

1.1.2 课程内容

课程内容包括如下。

- (1) 数字逻辑基础: 主要介绍二进制代码、基本的逻辑运算法则以及逻辑函数的化简。
- (2) 逻辑门电路: 主要介绍二极管与三极管的开关特性, 以及常用基本逻辑门电路 (TTL 逻辑门电路和 CMOS 逻辑门电路)。
- (3) 组合逻辑电路的分析和设计: 主要介绍组合逻辑电路的分析和设计方法及步骤。
- (4) 常用组合逻辑功能器件: 主要介绍常用的组合逻辑功能器件, 包括编码器、译码器、数据选择器和加法器等。
- (5) 触发器: 主要研究 RS 触发器、JK 触发器、D 触发器、T 触发器的逻辑功能和特性方程。
- (6) 时序逻辑电路的分析和设计: 同步时序逻辑电路和异步时序逻辑电路的分析方法, 以及同步时序逻辑电路的设计方法。
- (7) 常用时序逻辑功能器件: 各种计数器和移位寄存器的逻辑功能和应用。
- (8) 脉冲波形的产生与变换: 应用 555 定时器构成施密特触发器、单稳态触发器和

多谐振荡器等。

(9) 数 / 模与模 / 数转换器: 数 / 模 (D/A) 转换器和模 / 数 (A/D) 转换器的转换原理, 常见 D/A 转换器和 A/D 转换器的工作原理与特点。

1.1.3 课程特点

数字电子技术是一门专业技术基础课程, 它是学习微机原理、接口技术等专业课程的基础, 既有丰富的理论体系, 又有很强的实践性。

本课程的重点是数字电路的基本概念、基本原理、分析方法、设计方法和实验调试方法。只要掌握了基本的原理和方法, 我们就可以对给出的任何一种数字电路进行分析; 也可以根据提出的任何一种逻辑功能, 设计出相应的逻辑电路。对于各类的数字集成电路器件, 重点是掌握它们的外部特性, 包括逻辑功能和输入 / 输出的电气特性。另外, 通过实验的训练, 加深对理论知识的理解和掌握, 同时更重要的是学习和掌握电子技术实验的研究方法, 将理论和实际有机地结合, 学会用实验的方法分析和解决实际问题。

→ 1.2 数字电路简介

在电子技术中, 传递、加工和处理数字信号电子电路, 称为数字电路。它主要是研究输出与输入信号之间的逻辑关系, 其分析的主要工具是逻辑代数, 所以数字电路又被称为逻辑电路。

数字集成电路 (Integrated Circuit) 是相对分立元器件而言的, 简称 IC。它是一种微型电子器件或部件, 把一个电路中所需的各种电路元器件 (如晶体管、电阻、电容和电感等) 在电学上加以互连, 并采用一定的工艺, 制作在一小块或几小块半导体晶片或其他介质基片上, 然后封装在一个管壳内, 成为能够完成某种电路功能的微型结构。其中所有元器件在结构上已组成一个整体, 这样, 整个电路的体积大大缩小, 且引出线和焊接点的数目也大为减少, 从而使电子元器件向着小型化、微型化、低功耗和高可靠性方面迈进了一大步。

1.2.1 数字电路的发展及特点

1. 数字电路的发展

数字电路的发展与模拟电路一样经历了由电子管、半导体分立元器件到集成电路等几个时代, 但其发展速度比模拟电路更快。从 20 世纪 60 年代开始, 数字集成器件以双极型工艺制成了小规模逻辑器件, 随后发展到中规模逻辑器件。在 20 世纪 70 年代末, 随着微处理器的出现, 数字集成电路的性能发生了质的飞跃。

逻辑门是数字电路中一种重要的逻辑单元电路。TTL 逻辑门电路问世较早, 其工艺经过不断改进, 至今仍为主要的逻辑器件之一。随着 CMOS 工艺的发展, TTL 的主导地位受到了动摇, 有被 CMOS 器件所取代的趋势。

近年来,可编程逻辑器件 PLD 特别是现场可编程门阵列 FPGA 器件的飞速进步,使数字电子技术开创了新局面,不仅规模大,而且将硬件与软件相结合,使器件的功能更加完善,使用更灵活。

2. 数字电路的特点

与模拟电路相比,数字电路具有以下特点:

(1) 数字电路的基本工作信号是用 1 和 0 表示的二进制数字信号,反映在电路以上就是高电平和低电平,其电平范围比较宽,这样就提高了电路工作的可靠性。同时,数字信号也不易受到噪声信号的干扰,所以其工作可靠性很高,抗干扰能力强。

(2) 由于数字电路允许电路参数有较大的离散型,这样将大大简化电路的结构,降低了集成化的要求,同时也大大降低了成本,所以其电路结构简单,便于集成化,并且成本低。

(3) 数字电路处理的输入/输出信号单一,电路的通用性强,同时便于保密。

(4) 数字电路具有“逻辑思维”能力。数字电路能对输入的数字信号进行各种算术运算和逻辑运算、逻辑判断,故又称为数字逻辑电路;同时,也有助于计算机编程。

1.2.2 数字集成电路的分类

数字电路可分为分立元器件电路和数字集成电路两大类。目前,分立元器件电路基本上已经被数字集成电路所取代。数字集成电路按照不同的分类规则又可以分为几类。

1. 按使用半导体类型分类

按照使用的半导体类型,可分为双极型电路和单极型电路。使用双极型晶体管作为基本器件的数字集成电路,称为双极型数字集成电路,一般为 TTL、ECL 等集成电路;使用单极型晶体管作为基本器件的数字集成电路,称为单极型数字集成电路,如 NMOS、PMOS、CMOS 等集成电路。

2. 按电路结构分类

组合逻辑电路是指电路的输出信号只与当时的输入信号有关,而与电路原来的状态无关。例如常用的基本逻辑门电路、译码器、编码器、数据选择器、加法器等。

时序逻辑电路是指电路的输出信号不仅与当时的输入信号有关,而且还与电路原来的状态有关。例如各种触发器集成电路、计数器、移位寄存器等。

3. 按集成电路规模分类

按集成电路的集成度分,也就是按每块集成电路芯片中包含的元器件数目分类,可分为 SSI、MSI、LSI、VLSI。

小规模集成电路 (Small Scale IC, SSI) 是指每片包含 10~100 个元器件,一般为一些逻辑单元电路,比如逻辑门电路或者集成触发器等;

中规模集成电路 (Medium Scale IC, MSI) 是指每片包含 100~1000 个元器件,一般为一些逻辑部件,比如计数器、译码器、数据选择器等;

大规模集成电路 (Large Scale IC, LSI) 是指每片包含 1000~100000 个元器件,一

一般为数字逻辑系统，包括中央控制器、存储器和各种接口电路等；

超大规模集成电路（Very Large Scale IC, VLSI）是指每片包含 10 万个以上元器件，主要是高集成度的数字逻辑系统，如各种型号的单片机，即在一块硅片上集成一个完整的微型计算机电路。

另外，目前还有一些更大的集成电路，例如，特大规模集成电路 ULSI（Ultra Large Scale IC）和巨大规模集成电路 GSI（Gigantic Scale IC）。

➔ 1.3 数字集成电路的识别

1.3.1 数字集成电路的型号命名法（GB 3430—89）

集成电路的型号命名一般由七部分组成，下面以 CT74LS160CJ 为例，分析各部分含义。

其中，C 表示产地，中国制造；T 表示器件类型为 TTL 集成电路；74 表示器件所属的系列为 74 系列（民用，军用为 54 系列）；LS 为低功耗肖特基系列；160 为器件的逻辑功能，代表十进制计数器（例如 138 为 3 线—8 线译码器）；C 是工作温度，范围为 $0^{\circ}\text{C}\sim 70^{\circ}\text{C}$ ；J 是封装类型，代表黑瓷双列直插式封装。

1.3.2 数字集成电路的技术分类

目前，已经成熟的数字电路技术如下。

1. TTL 逻辑（晶体管—晶体管逻辑）

TTL：中速 TTL 或者标准 TTL；

STTL：肖特基 TTL；

LSTTL：低功耗肖特基 TTL；

ALSTTL：先进低功耗肖特基 TTL。

2. CMOS 逻辑（互补金属—氧化物—半导体逻辑）

PMOS：P 沟道型 MOS 集成电路；

NMOS：N 沟道型 MOS 集成电路；

CMOS：互补型 MOS 集成电路，又包括 MOS（标准的 CMOS4000 系列）、HCMOS（高速 CMOS 系列）、HCT（与 TTL 兼容的 HCMOS 系列）等。

3. ECL 逻辑（发射极耦合逻辑）

PECL：Positive ECL，就是 V_{EE} 接地时， V_{CC} 接正电压；

NECL：Negative ECL，就是 V_{CC} 接地时， V_{EE} 接负电压，一般狭义的 ECL 指的就是 NECL。

PECL 和 NECL 并不是指两种不同的 ECL 器件，而是同一个 ECL 器件在不同电压供应下的表现。

1.4 数字集成电路的使用规则

1.4.1 CMOS 电路的使用规则

CMOS 电路为单极型集成电路，根据其电路特点，在使用中应注意以下几点。

1. 电源电压的处理

CMOS 电路的电源电压和极性是随着电路的类型而变的，如 PMOS 电路一般使用 -20 V ，NMOS 电路一般使用 $+5\text{ V}$ ，CMOS 电路都使用正电源，其电压标准分为 $+5\text{ V}$ 、 $+10\text{ V}$ 、 $+15\text{ V}$ 三种，在使用手册中都有说明。

2. 电路的安全问题

MOS 管的输入阻抗极高，因此 CMOS 电路在使用中对于多余不用的输入引脚是不允许悬空的。因为输入端的悬空会因静电感应或因外界干扰影响电路的正常工作，严重时甚至会造成电路击穿。

处理方法是，对于 CMOS 与门、与非门的多余输入端应接到高电平或是电源 V_{DD} 上；对于或门、或非门的多余输入端应接地或接低电平。同样的原因，在 CMOS 门电路的存放或是运送过程中，应将其用铝箔包好并放入屏蔽盒中。在焊接时应使用功率小于 20 W 的烙铁并使烙铁有良好的接地保护。在测试过程中也应是仪表外壳接地良好。

3. 电路使用中的电平匹配

当 CMOS 门电路和其他电路混合使用时，要注意并解决电平匹配和驱动能力问题。当 TTL 电路驱动 CMOS 电路时，TTL 电路的输出高电平在电源电压为 5 V 时， $V_{\text{OH}}=2.4\text{ V}$ 。而 CMOS 门电路的最小输入高电平在电源电压为 5 V 时， $V_{\text{OH}}=7.0\text{ V}$ 。因此必须将 TTL 电路的输出高电平提高到 CMOS 电路所要求的数值上，才能使电路正常工作。提高的方法可用电平转换电路或者采用能把电平提升的 CMOS 接口电路。当然对驱动能力，由于 TTL 电路的驱动能力比 CMOS 大，所以可不考虑。

当 CMOS 电路驱动 TTL 电路时，由于 CMOS 电路输出电流较小，驱动 TTL 电路有时会有困难，所以除了要解决电平转换外，还要解决 CMOS 电路的驱动能力。具体方法可用带缓冲驱动的 CMOS 电路或在电路的输出端增加晶体管驱动级。

同理，在不同类型的 CMOS 电路之间相互连接使用时，以及 CMOS 电路与晶体管、显示器等连接时，也可根据上述原则分不同情况进行具体处理。

1.4.2 TTL 集成电路的使用规则

TTL 集成电路遵循如下使用规则。

1. 接插集成块

接插集成块时，要认清定位标记，不得插反。

2. 电源电压

电源电压使用范围为+4.5 V~+5.5 V, 实验中要求使用 $V_{CC}=+5$ V。电源极性绝对不允许接错。

3. 闲置输入端处理方法

(1) 悬空, 相当于正逻辑“1”, 对于一般小规模集成电路的数据输入端, 实验时允许悬空处理, 但易受外界干扰, 导致电路的逻辑功能不正常。因此, 对于接有长线的输入端, 中规模以上的集成电路和使用集成电路较多的复杂电路, 所有控制输入端必须按逻辑要求接入电路, 不允许悬空。

(2) 直接接电源电压 V_{CC} (也可以串入一只 $1\sim 10$ k Ω 的固定电阻) 或接至某一固定电压 ($+2.4$ V $\leq V\leq 4.5$ V) 的电源上, 或与输入端为接地的多余与非门的输出端相接。

(3) 若前级驱动能力允许, 可以与使用的输入端并联。

4. 输入端接地规则

输入端通过电阻接地, 电阻值的大小将直接影响电路所处的状态。当 $R < R_{OFF}$ 时, 输入端相当于逻辑“0”; 当 $R > R_{ON}$ 时, 输入端相当于逻辑“1”。对于不同系列的器件, 要求的阻值不同。对于 CT74S 系列, R_{OFF} 约为 700 Ω , R_{ON} 约为 2.1 k Ω 。

5. 输出端使用规则

输出端不允许并联使用, 集电极开路门 (OC 门) 和三态输出门 (TSL 门) 除外, 否则不仅会使电路逻辑功能混乱, 并会导致器件损坏。

6. 输出端接电源规则

输出端不允许直接接地或直接接+5 V 电源, 否则将损坏器件。有时为了使后级电路获得较高的输出电平, 允许输出端通过电阻 R 接至 V_{CC} , 一般取 $R=3\sim 5.1$ k Ω 。

➔ 1.5 数字逻辑电路的测试方法

1.5.1 组合逻辑电路的测试方法

组合逻辑电路测试的目的是验证其逻辑功能是否符合设计要求, 也就是验证其输出与输入的关系是否与真值表相符。

1. 静态测试

静态测试是在电路静止状态下测试输出与输入的关系。将输入端分别接到逻辑电平开关上, 用电平显示灯分别显示各输入和输出端的状态。按真值表将输入信号一组一组地依次送入被测电路, 测出相应的输出状态, 与真值表相比较, 借以判断此组合逻辑电路静态工作是否正常。

2. 动态测试

动态测试是指用数字信号发生器产生一系列特定的脉冲信号，将这些信号接入组合逻辑电路的各输入端，用示波器或逻辑分析仪观测各输出端的信号，并与输入波形对比，画出时序波形图，从而分析输入与输出之间的逻辑关系。这种方法自动化程度高，并可分析电路的动态特性，但需要专用的仪器，故只在要求较高的场合或在一些仿真软件中使用。

1.5.2 时序逻辑电路的测试方法

时序逻辑电路的测试目的是验证其状态的转换是否与状态图或时序图相符合。可用电平显示灯、数码管或示波器等观察输出状态的变化。常用的测试方法有两种。一种是单拍工作方式：以单脉冲源作为时钟脉冲，逐拍进行观测，来判断输出状态的转换是否与状态图相符。另一种是连续工作方式：以连续脉冲源作为时钟脉冲，用示波器观察波形，来判断输出波形是否与时序图相符。

➔ 1.6 数字电路实验的分析方法

由于数字电路实验的主要研究对象是电路的输出与输入之间的逻辑关系，因而数字逻辑电路分析的目的是确定已知电路的逻辑功能，所采用的分析工具是逻辑代数，表达电路的功能主要用真值表、功能表、逻辑表达式、卡诺图及波形图等。数字逻辑电路分析的一般步骤如下：

(1) 由逻辑图写出各输出端的逻辑表达式，并化简。

对于组合逻辑电路来说，写出各输出端的逻辑表达式，再用代数法或卡诺图法化简即可；而对于时序逻辑电路来说，则应写出电路的驱动方程、状态方程和输出方程。

(2) 根据简化的逻辑表达式列出真值表或状态转换表。

同样，对于组合逻辑电路来说，直接列出真值表即可；而对于时序逻辑电路，则应进一步分析其时钟接法是同步还是异步，然后假定一个初态，分析在时钟信号和输入信号的作用下，电路的状态转换情况，最后得出状态转换表。

(3) 对真值表、状态转换表或逻辑表达式进行分析总结，确定电路的逻辑功能。

这一步要求我们有分析归纳的能力，对抽象的真值表、状态转换表进行分析和归纳，总结出电路的具体逻辑功能。

对于比较简单的组合逻辑电路，有时不必进行以上全部步骤，而是由逻辑图直接得出真值表，从而概括出电路的逻辑功能。或者用画波形图的方法，根据输入信号，逐级画出输出波形，最后根据波形图概括出电路的逻辑功能。对于比较简单的时序逻辑电路，有时同样可以直接由逻辑图假定一个初态，分析电路的次态，再以这个次态为新的初态，分析出新的次态，如此逐一分析，最后得出完整的状态转换表，并总结其逻辑功能。

1.7 数字逻辑电路的设计方法

1.7.1 组合逻辑电路设计的一般方法

组合逻辑电路的设计与组合逻辑电路的分析相反,其目的是用尽可能简化的电路来实现给定的逻辑功能。设计步骤如图 1-1 所示,具体包含以下几步。

(1) 了解、分析设计要求。一般逻辑问题叙述有这样几种可能情况,一是用逻辑函数式直接表示,二是将设计要求用文字说明。在后一种情况下,设计要求中常常不是直接将一切情况完全讲清,而是尽可能说明一些重要条件。这就要求设计者去领会、理解一切可能的情况,从而推出那些未明确规定的条件是属于一般意义,还是无关最小项。

(2) 用真值表表示设计要求。对问题进行分析之后,可根据设计要求进行逻辑抽象,约定哪种情况用“0”表示,哪种情况用“1”表示,由此列出相应的真值表。列真值表时必须注意一切可能发生的情况。此外,设计问题有时需要几个输出量,而对于一切可能的输入条件,各种输出变量必有一给定值,对此真值表应予以全面表达。

(3) 根据真值表画出卡诺图或写出逻辑表达式,用卡诺图或代数法进行化简,求出最简的逻辑表达式。

(4) 按照设计要求用标准器件(门电路、MSI 组合电路)或 PLD 可编程器件实现简化后的逻辑函数,画出逻辑电路图。



图 1-1 组合逻辑电路设计的一般步骤

值得注意的是,最简的逻辑表达式不一定得到最简的电路,这里所说的“最简的电路”是指电路所用的器件数量最少,器件的种类最少,而且器件之间的连线也最少。因为在一个逻辑电路中,往往包含多个不同类型的门电路,而在 IC 芯片中所包含的门电路的类型和数量却是固定的。在这种情况下,需要对电路进行转化设计,用 IC 芯片中剩余的门经过适当连接,实现其他逻辑门的功能,或者直接对逻辑表达式进行变形,根据所用门电路的类型变成与非—与非式、或非—或非式等形式,再根据变形后的逻辑表达式确定逻辑电路。

在组合逻辑电路中从信号输入到稳定输出需要一定的时间。由于从输入到输出的过程中,不同通路上门的级数不同,或者门电路传输延迟时间的差异,则信号从输入经不同通路传输到输出级的时间不同。这可能会使逻辑电路产生错误输出,出现不应有的尖峰脉冲,通常把这种现象称为竞争—冒险。这是组合逻辑电路工作状态转换过程中,经常会出现的一种现象。如果负载电路对尖峰脉冲不敏感(例如,负载为光电器件),就

不必考虑尖峰脉冲的消除问题。如果负载电路是对尖峰脉冲敏感的电路（例如，触发器、计数器等），则必须采取措施防止和消除由于竞争—冒险而产生的尖峰脉冲。

常用的消除竞争—冒险现象的方法有接入滤波电容、引入选通脉冲、修改逻辑设计以增加冗余项等。接入滤波电容的方法是指在输出端并接一个几十至几百皮法的电容，利用电容的高通特性把尖峰脉冲削弱。这种方法简单易行，但缺点是增加了输出电压波形的上升时间和下降时间，使波形变坏。

在电路中引入选通脉冲 P ，设法使 P 的有效电平出现在电路到达稳定状态以后，输出端就不会出现尖峰脉冲。这种方法也比较简单，但必须设法得到一个与输入信号同步的选通脉冲，对这个脉冲的宽度和作用的时间均有严格要求。

修改逻辑设计的方法，是增加冗余项来消除竞争—冒险，这种方法适用范围很有限，若能运用得当，有时可以收到令人满意的效果。

1.7.2 时序逻辑电路设计的一般方法

如前所述，由于时序逻辑电路结构上包含组合电路和存储单元，输出与输入之间还常接有反馈，工作方式上有同步和异步之分，所以时序逻辑电路的设计就不像组合逻辑电路那样简单明了。但只要掌握了一定的方法步骤，再加上适当的训练，学会时序逻辑电路的设计也不是什么难事。下面以 SSI 同步时序逻辑电路的设计为例介绍时序逻辑电路设计的原则和步骤。

一般说来，SSI 时序逻辑电路的设计原则是，所用的触发器和逻辑门电路的数目应为最少，而且触发器和逻辑门电路的输入端数目也应为最少，所设计出的逻辑电路应力求最简，并尽量使电路能够自启动。

其设计过程如图 1-2 所示。

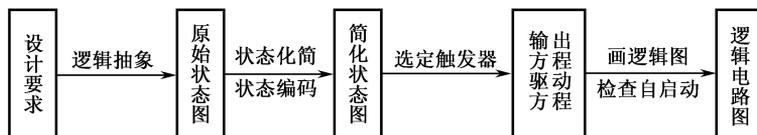


图 1-2 时序逻辑电路的设计过程

设计步骤解释如下：

(1) 逻辑抽象。首先，分析给定的逻辑问题，确定输入变量、输出变量以及电路的状态数。然后，定义输入、输出逻辑状态的含义，并按照题意列出原始状态转换图或状态转换表，即把给定的逻辑问题抽象为一个时序逻辑函数来描述。

(2) 状态化简及编码。状态化简的目的就在于将等价状态尽可能合并，以得出最简的状态转换图。时序逻辑电路的状态是用触发器状态的不同组合来表示的。因此，首先要根据化简后的状态数确定触发器的数目 n ，而 n 个触发器共有 $2n$ 种状态组合，所以为了获得 M 个状态组合，必须取 $2n-1 < M \leq 2n$ 。每组触发器的状态组合都是一组二值代码，称为状态编码。为便于记忆和识别，一般选用的状态编码都遵循一定的规律。

(3) 选定触发器的类型并求出状态方程。不同逻辑功能的触发器驱动方式不同, 所以用不同类型触发器设计出的电路也不一样。因此, 在设计具体电路前必须根据需要选定触发器的类型, 然后根据选定触发器的特性方程和化简后的状态图或状态表求得电路的输出方程和各触发器的驱动方程。

(4) 根据驱动方程和输出方程画出逻辑电路图。

(5) 检查设计的电路能否自启动, 所谓自启动即当电路因为某种原因, 例如干扰而进入某一无效状态时, 能自动由无效状态返回到有效状态。如果不能自启动, 则应修改逻辑设计, 使其能自启动。其实, 在进行状态化简及编码时, 若能无效循环考虑进去, 直接使其能够进入有效循环, 这样设计出的电路就一定能自启动。

电子工业出版社版权所有
盗版必究