

# 单元 3 触发器的认知

## 学习目的

要知道：RS 触发器、JK 触发器、D 触发器的电路结构、工作原理和触发方式。

要掌握：RS 触发器、JK 触发器、D 触发器、T 触发器和 T' 触发器的逻辑功能。

会测试：RS 触发器、JK 触发器、D 触发器、T 触发器和 T' 触发器逻辑功能。

会写出：RS 触发器、JK 触发器、D 触发器、T 触发器和 T' 触发器的特性方程。

会转换：各种不同功能的触发器之间的相互转换。



## 学习性工作任务

各种复杂的数字电路不但需要对二值信号进行算术运算和逻辑运算，还经常需要将这些信号和运算结果保存起来。为此，这些数字电路需要使用具有记忆功能的基本逻辑单元。能够存储 1 位二值信号的基本单元电路统称为触发器。

触发器具有两个基本特点：

(1) 具有两个能自行保持的稳定状态，它们用来表示逻辑状态的 0 和 1，或二进制数的 0 和 1。

(2) 根据不同的输入信号可以置成 1 或 0 状态。

触发器的种类很多，大致可按以下几种方式进行分类：

(1) 根据触发器是否有时钟脉冲输入端，可将触发器分为基本触发器和钟控触发器等；

(2) 根据其逻辑功能的不同，可将触发器分为 RS 触发器、D 触发器、JK 触发器、T 触发器和 T' 触发器等；

(3) 根据电路结构的不同，可将触发器分为基本触发器、同步触发器、主从触发器和维持阻塞触发器等；

(4) 根据触发方式的不同，可将触发器分为电平触发器和边沿触发器等。

触发器的逻辑功能可用功能表（特性表）、特性方程、状态图（状态转换图）和时序图（时序波形图）来描述。

### 任务 3.1 熟悉基本 RS 触发器

基本 RS 触发器（又称 RS 锁存器）是各种触发器电路中结构形式最简单的一种，而且它是许多电路结构复杂的触发器的一个组成部分。

### 3.1.1 或非门组成的基本 RS 触发器

#### 1. 电路结构

图 3-1 (a) 是由两个或非门的输入端和输出端交叉连接组成的基本 RS 触发器的逻辑电路, 图 3-1 (b) 为其逻辑符号。R 和 S 是两个信号输入端, 通常处于低电平状态, 有信号输入时为高电平状态。Q 和  $\bar{Q}$  是两个互补的信号输出端。把输出信号  $Q=0$ 、 $\bar{Q}=1$  的状态叫作 0 状态 (简称 0 态); 把输出信号  $Q=1$ 、 $\bar{Q}=0$  的状态叫作 1 状态 (简称 1 态)。可见, 触发器的状态指的是 Q 端的状态。

#### 2. 工作原理

(1) 当输入信号  $R=S=0$  时, 电路维持原来的状态不变。如果电路处于输出信号  $Q=0$ 、 $\bar{Q}=1$  的状态, 由图 3-1 (a) 中的电路可知, 由于信号  $\bar{Q}=1$  反馈到  $G_1$  的输入端, 所以  $Q=0$ 。同时, 信号  $Q=0$  又反馈到  $G_2$  的输入端, 这使得  $G_2$  的两个输入端的信号均为 0, 则输出信号为 1, 即  $\bar{Q}=1$ 。因此, 电路能够稳定地保持在 0 态。

如果电路处于  $Q=1$ 、 $\bar{Q}=0$  的状态, 同理, 由于  $Q=1$  反馈到  $G_2$  的输入端, 其输出信号  $\bar{Q}=0$ 。同时,  $\bar{Q}=0$  又反馈到  $G_1$  的输入端, 则  $G_1$  的两个输入信号均为 0, 输出信号为 1, 即  $Q=1$ 。因此, 电路也能够稳定地保持在 1 态。

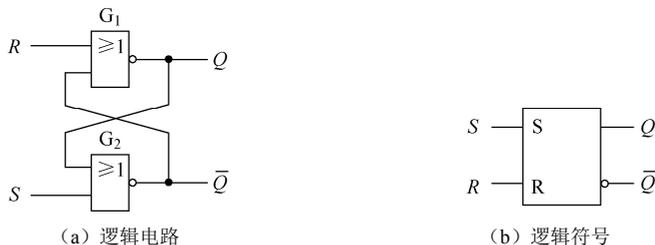


图 3-1 或非门组成的基本 RS 触发器

(2) 当输入信号  $S=1$ 、 $R=0$  时, 输出信号  $Q=1$ 、 $\bar{Q}=0$ , 即电路处于 1 态。由于  $S=1$ ,  $G_2$  的输出信号  $\bar{Q}=0$ , 同时  $\bar{Q}=0$  又反馈到  $G_1$  的输入端, 则  $G_1$  的两个输入信号均为 0, 则  $Q=1$ 。  $Q=1$  又反馈到  $G_2$  的输入端, 此时若  $S=0$  ( $S=1$  的状态消失), 则  $\bar{Q}=0$ , 这样又进一步确保  $Q=1$ , 即电路始终保持 1 态。

由于在 S 端输入了正脉冲信号, 触发器能够并且也只能置成 1 态, 所以 S 端称为置 1 端, 或置位端。

(3) 当输入信号  $S=0$ 、 $R=1$  时, 输出信号  $Q=0$ 、 $\bar{Q}=1$ , 即电路处于 0 态。由于  $R=1$ ,  $G_1$  的输出信号  $Q=0$ , 同时  $Q=0$  又反馈到  $G_2$  的输入端, 则  $G_2$  的两个输入信号均为 0, 并且  $\bar{Q}=1$ 。  $\bar{Q}=1$  又反馈到  $G_1$  的输入端, 此时即使 R 端的正脉冲消失, 由于  $\bar{Q}=1$  取代了  $R=1$  的作用, 所以电路仍能保持 0 态。

因为在 R 端输入了正脉冲信号, 触发器能够并且也只能置成 0 态, 所以 R 端称为置 0 端或复位端。

(4) 当输入信号  $S=1$ 、 $R=1$  时, 该状态在逻辑上无意义。由或非门的逻辑功能可知, 当  $S=1$ 、 $R=1$  时, 信号输出端  $Q$  和  $\bar{Q}$  的信号将同时为 0。对于触发器来说, 这种状态在逻辑上是无意义的, 因为它既不是 0 态 ( $Q=0$ 、 $\bar{Q}=1$ ), 又不是 1 态 ( $Q=1$ 、 $\bar{Q}=0$ )。所以, 该电路不允许出现  $S=1$ 、 $R=1$  的情况。

事实上, 当输入信号  $S=1$ 、 $R=1$  时, 触发器的输出信号  $Q=0$ 、 $\bar{Q}=0$ , 如果输入信号  $S$ 、 $R$  同时消失 (同时从  $1 \rightarrow 0$ ), 那么两个门的 4 个输入信号全为 0, 其输出信号都有变为 1 的趋势。触发器的状态往往由于两个或非门在特性上的差异具有随机性, 这就使得触发器的  $Q$  端和  $\bar{Q}$  端的状态无法确定。这种情况称为“不定”。因此, 禁止输入信号  $S$ 、 $R$  同时为 1 是使用 RS 触发器时应遵守的约束条件, 即  $R \cdot S=0$  为它的约束条件。

但是, 当  $S=1$ 、 $R=1$  时, 如果  $R$  先从  $1 \rightarrow 0$ ,  $S$  仍为 1, 那么触发器的状态可以确定为 1 态; 如果  $S$  先从  $1 \rightarrow 0$ ,  $R$  仍为 1, 则触发器的状态可以确定为 0 态。以上说明, 如果  $R$  端、 $S$  端的信号不是同时消失的, 那么触发器的状态仍然是可以确定的。

### 3. 特性表

人们对触发器的逻辑关系的描述方法与组合电路一样, 都为真值表, 但二者又有不同之处。组合电路的状态完全由输入信号决定, 因此在列真值表时, 只需要考虑输出信号与输入信号之间的关系。对于触发器来说, 它在接收信号之前总是处于某一个稳定状态, 可能是 0 态, 也可能是 1 态, 因此触发器的新的状态 (也称为次态, 用  $Q^{n+1}$  表示) 不仅与输入信号  $R$ 、 $S$  有关, 而且与触发器原来的状态 (称为现态或初态, 用  $Q^n$  表示) 有关, 所以, 应当将  $Q^n$  也当作一个变量 (称为状态变量) 列入真值表。这个含有状态变量  $Q^n$  的真值表称为触发器的特性表。在基本 RS 触发器中,  $Q^n$  指的是输入信号输入之前的触发器的状态, 而  $Q^{n+1}$  指的是输入信号输入之后的触发器的状态。

根据对基本 RS 触发器工作原理的分析, 可以列出由或非门组成的基本 RS 触发器的特性表, 如表 3-1 所示。

表 3-1 由或非门组成的基本 RS 触发器的特性表

$S$	$R$	$Q^n$	$Q^{n+1}$	说 明
0	0	0	0	当 $S=0$ 、 $R=0$ 时, 触发器保持原态
0	0	1	1	
0	1	0	0	当 $S=0$ 、 $R=1$ 时, 无论初态如何, 触发器置 0 态
0	1	1	0	
1	0	0	1	当 $S=1$ 、 $R=0$ 时, 无论初态如何, 触发器置 1 态
1	0	1	1	
1	1	0	不定	当 $S=1$ 、 $R=1$ 时, $Q=0$ , $\bar{Q}=0$ , 而当 $R$ 、 $S$ 同时由 $1 \rightarrow 0$ 时, 触发器状态不定
1	1	1	不定	

特性表完整又清晰地描述了在输入信号  $R$  和  $S$  的作用下, 触发器的  $Q^n$  和  $Q^{n+1}$  之间的转换关系, 即基本 RS 触发器的逻辑功能。

**[例 3-1]** 参考图 3-1 (a) 中的电路, 试根据图 3-2 (a) 所示输入信号  $R$ 、 $S$  的波形, 画出输出信号  $Q$ 、 $\bar{Q}$  的波形 (设初始状态  $Q^n=0$ ,  $\bar{Q}^n=1$ )。

解：根据输入信号  $R$ 、 $S$  的变化，用虚线将波形划分为几个区段，然后根据  $R$ 、 $S$  及  $Q^n$ （虚线左边  $Q$  的状态）画出输出信号的波形，如图 3-2 (b) 所示。

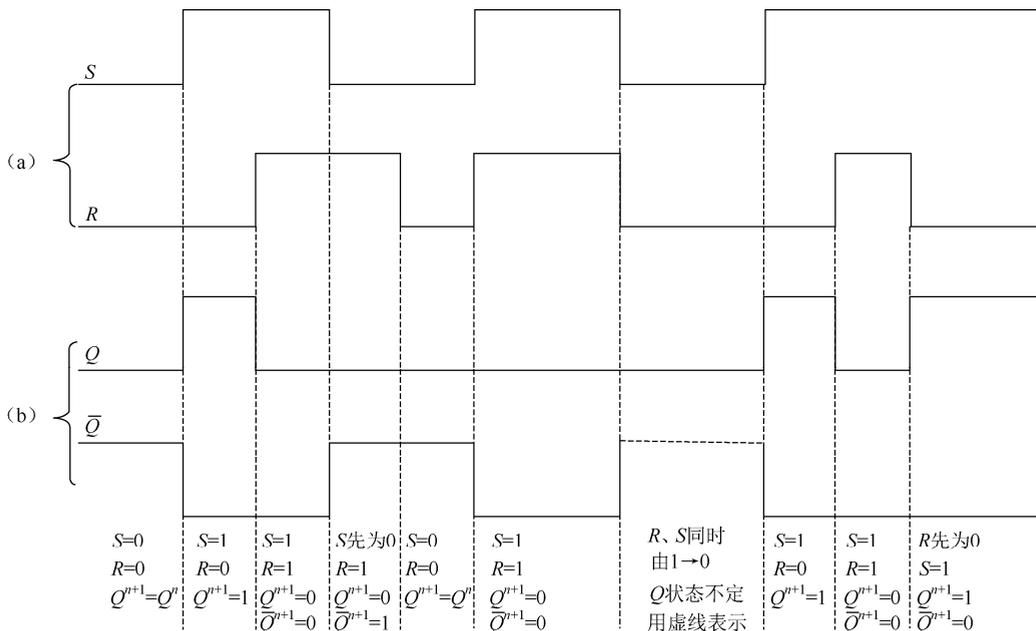


图 3-2 例 3-1 的波形图

### 3.1.2 与非门组成的基本 RS 触发器

#### 1. 电路结构

图 3-3 (a) 中的电路是由两个与非门交叉连接而成的基本 RS 触发器。 $\bar{S}$  端、 $\bar{R}$  端是它的两个信号输入端。字母  $R$ 、 $S$  上的反号表示低电平有效，即平时  $\bar{S}$  端、 $\bar{R}$  端的信号均为高电平，有信号输入时  $\bar{S}$  端、 $\bar{R}$  端为低电平状态。 $Q$  端和  $\bar{Q}$  端为触发器的两个输出端。图 3-3 (b) 为逻辑符号， $\bar{S}$  端、 $\bar{R}$  端的圆圈也表示低电平有效。

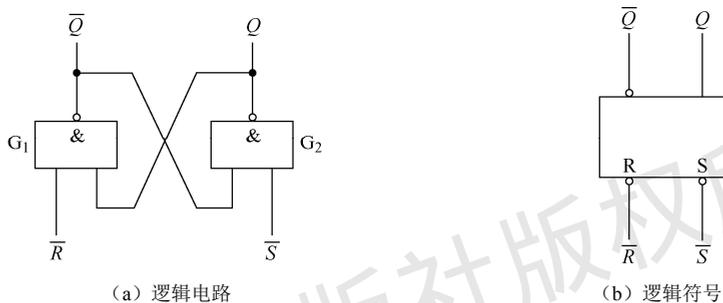


图 3-3 与非门组成的基本 RS 触发器

#### 2. 工作原理

对于由与非门组成的基本 RS 触发器的工作原理，人们必须根据与非门的逻辑特性来对其进行分析。

当输入信号  $\bar{S}=1$ 、 $\bar{R}=1$ ，即  $\bar{S}$  端、 $\bar{R}$  端的信号均为高电平时，触发器保持原状态，也就是说触发器会将原有的状态存储起来，即触发器具有记忆功能。

当输入信号  $\bar{S}=0$ 、 $\bar{R}=1$ ，即在  $\bar{S}$  端输入负脉冲时，不论原本  $Q$  端为何状态，触发器都置 1。

当输入信号  $\bar{S}=1$ 、 $\bar{R}=0$ ，即在  $\bar{R}$  端输入负脉冲时，不论原本  $Q$  端为何状态，触发器都置 0。

当输入信号  $\bar{S}=0$ 、 $\bar{R}=0$ ，即在  $\bar{S}$  端、 $\bar{R}$  端同时输入负脉冲时，两个与非门的输出  $Q$  端和  $\bar{Q}$  端的信号全为 1，而当两个输入端的负脉冲同时消失时，由于与非门的延迟时间的差异，触发器的输出状态是 1 态还是 0 态难以确定，即状态不定，所以应当避免这种情况。

根据上述逻辑关系，可以列出由与非门组成的基本 RS 触发器的特性表，如表 3-2 所示。

表 3-2 由与非门组成的基本 RS 触发器的特性表

$\bar{S}$	$\bar{R}$	$Q^n$	$Q^{n+1}$	说 明
0	0	0	不定	当 $\bar{S}=0$ 、 $\bar{R}=0$ 时， $Q=1$ ， $\bar{Q}=1$ ，而当 $\bar{S}$ 、 $\bar{R}$ 同时由 0→1 时，触发器状态不定
0	0	1	不定	
0	1	0	1	当 $\bar{S}=0$ 、 $\bar{R}=1$ 时，无论初态如何，触发器置 1 态
0	1	1	1	
1	0	0	0	当 $\bar{S}=1$ 、 $\bar{R}=0$ 时，无论初态如何，触发器置 0 态
1	0	1	0	
1	1	0	0	当 $\bar{S}=1$ 、 $\bar{R}=1$ 时，触发器状态保持不变
1	1	1	1	

其实，表 3-2 与表 3-1 是等值的，只不过表 3-2 中的输入变量是以反变量形式（即  $\bar{S}$ 、 $\bar{R}$ ）出现的，当输入变量以原变量形式（ $R$ 、 $S$ ）出现时，列出特性表，则不难发现，表 3-2 和表 3-1 在逻辑上是等值的，即由与非门组成的基本 RS 触发器和由或非门组成的基本 RS 触发器具有相同的特性表。

### 3.1.3 应用举例

虽然在实际应用中直接用到基本 RS 触发器的场合不多，但它是各种功能触发器的基本单元，所以其逻辑功能极为重要。图 3-4（a）是利用基本 RS 触发器组成的防止波形抖动的开关电路。

在利用机械开关产生控制信号时，由于机械开关的抖动，输出电压的波形经常会产生许多毛刺。使用基本 RS 触发器可以消除上述现象。例如，当开关  $S_1$  被按下时， $\bar{S}$  端的电压波形会出现负脉冲和许多毛刺，但由于在基本 RS 触发器的  $\bar{S}$  端第一次出现的低电平信号经正反馈作用会使  $Q$  端迅速置 1，所以之后出现的其他的毛刺对触发器的输出状态是没有影响的。所以，只要将  $S_1$  按动一下，就可以在  $Q$  端得到一个正跳变脉冲信号（ $Q=1$ ），如图 3-4（b）所示。同理，将  $S_2$  按动一下，可以在  $\bar{Q}$  端产生一个正跳变脉冲信号（ $Q=0$ ）。这种电路可用于单脉冲发生器，在数字系统调测时，可通过它得到稳定的逻辑 0 或逻辑 1 电平输出信号。

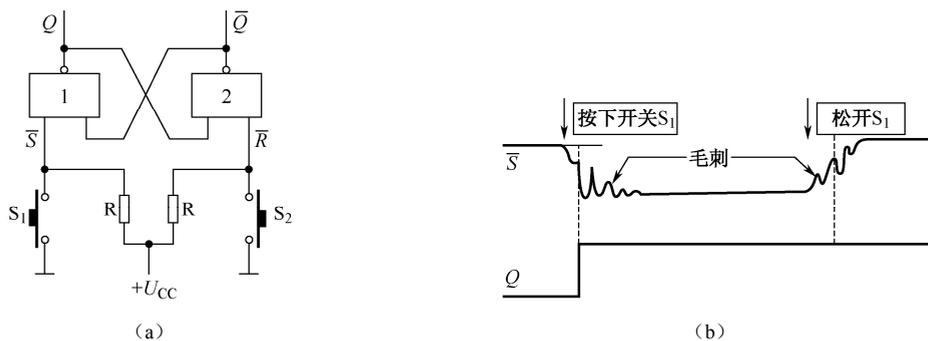


图 3-4 基本 RS 触发器的应用实例

### 任务 3.2 时钟触发器的分析

在数字系统中，为协调各部分的动作，常常要求某些触发器在同一时刻动作。为此，人们在数字系统中引入同步信号，使这些触发器只有在同步信号到达时才根据输入信号改变状态。通常这个同步信号称为时钟脉冲或时钟信号，简称时钟，用 CP 表示。

这种受时钟信号控制的触发器统称时钟触发器，以区别于像基本 RS 触发器那样的直接置位触发器、复位触发器。

#### 3.2.1 同步 RS 触发器

##### 1. 电路组成

同步 RS 触发器由一个基本 RS 触发器和两个控制门组成，如图 3-5 所示。其中， $G_1$ 、 $G_2$  组成基本 RS 触发器， $G_3$ 、 $G_4$  为控制门，CP 是时钟脉冲即输入控制信号。Q 端和  $\bar{Q}$  端是输出端。图 3-5 (b) 为逻辑符号。

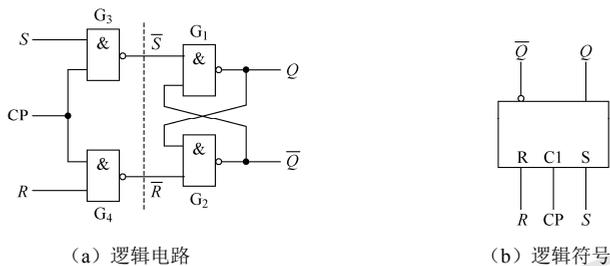


图 3-5 同步 RS 触发器

##### 2. 工作原理

当时钟脉冲  $CP=0$  时， $G_3$ 、 $G_4$  均被封锁。因此，不论 R 端、S 端的状态如何， $G_3$ 、 $G_4$  的输出信号均为 1，即  $\bar{R}=1$ 、 $\bar{S}=1$ ，触发器状态保持不变。所以，当  $CP=0$  时，即使输入信号 R、S 发生变化，触发器仍将保持原状态。

当  $CP=1$  即同步时钟脉冲上升沿来到时， $G_3$ 、 $G_4$  打开，输入信号 R、S 通过  $G_3$ 、 $G_4$ ，使基本 RS 触发器翻转，其输出端的状态仍由 R、S 和  $Q^n$  来决定。

若  $R=1$ 、 $S=0$ ，并且  $CP=1$ ，则  $G_3$  的输出信号为 1， $G_4$  的输出信号为 0，即  $\bar{R}=0$ 、 $\bar{S}=1$ ，根据基本 RS 触发器的逻辑功能，这时， $Q=0$ 、 $\bar{Q}=1$ ，即同步 RS 触发器置为 0 态。此后，若时钟脉冲消失，即  $CP=0$ ， $G_3$ 、 $G_4$  又被封锁，则  $\bar{R}=\bar{S}=1$ ，同步 RS 触发器仍能保持翻转后的 0 态。

若  $R=0$ 、 $S=1$ ，并且  $CP=1$ ，则  $\bar{R}=1$ 、 $\bar{S}=0$ ，同步 RS 触发器置为 1 态。当时钟脉冲消失后，触发器也能保持 1 态。

若  $R=0$ 、 $S=0$ ，则  $\bar{R}=1$ 、 $\bar{S}=1$ ，同步 RS 触发器的状态会保持下去。

若  $R=1$ 、 $S=1$ ，并且  $CP=1$ ，则  $\bar{R}=0$ 、 $\bar{S}=0$ ，同步 RS 触发器的输出信号均为高电平，即  $Q=1$ 、 $\bar{Q}=1$ 。同时，当信号  $R$ 、 $S$  同时由 1 变为 0 时，或者当信号  $CP$  由 1 变为 0（ $CP$  消失）时，触发器的状态都将为不定，因此应避免这种情况的发生。

### 3. 特性表

同步 RS 触发器的特性表如表 3-3 所示。

表 3-3 同步 RS 触发器的特性表

CP	S	R	$Q^n$	$Q^{n+1}$
0	×	×	0	0
0	×	×	1	1
1	0	0	0	0
1	0	0	1	1
1	0	1	0	0
1	0	1	1	0
1	1	0	0	1
1	1	0	1	1
1	1	1	0	不定
1	1	1	1	不定

时钟触发器的逻辑功能的表示方法除真值表（特性表）、逻辑符号、时序图（时序波形图）以外，还有特性方程、状态图（状态转换图）等表示方法。

### 4. 特性方程

反映触发器的次态输出  $Q^{n+1}$  与现态  $Q^n$  及输入信号  $R$ 、 $S$  之间的关系的逻辑表达式叫作特性方程。

图 3-6 所示为同步 RS 触发器的次态  $Q^{n+1}$  的卡诺图，由该图可得同步 RS 触发器的特性方程。

$$\begin{cases} Q^{n+1} = S + \bar{R}Q^n \\ RS = 0(\text{约束条件}) \end{cases} \quad (3-1)$$

### 5. 状态转换图

为了以更加形象的方式直观地描述触发器的逻辑功能，可以采用状态转换图。图 3-7 为同步 RS 触发器的状态转换图。状态转换图中的圆圈内的数字表示触发器的状态，箭头表

示时钟脉冲到来时的触发器状态的转换方向，箭头线旁边标注的是实现相应转换时的输入信号的取值。×号表示任意值。

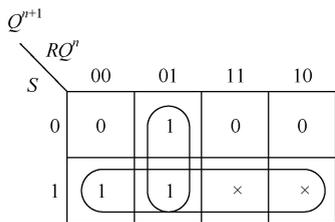


图 3-6 同步 RS 触发器的次态  $Q^{n+1}$  的卡诺图

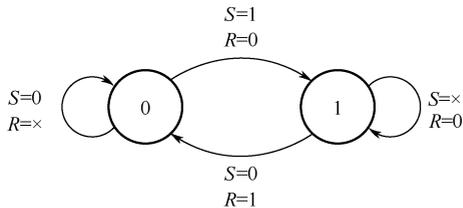


图 3-7 同步 RS 触发器的状态转换图

在  $CP=1$  的全部时间里，由于同步 RS 触发器的输入信号  $S$ 、 $R$  的变化会引起触发器输出端状态的变化，所以，若输入信号多次发生变化，则触发器的状态也会多次发生翻转。有时，同步 RS 触发器的输入端会有一些干扰信号，它们会使输入信号的波形出现一些不应有的干扰脉冲，同步 RS 触发器的输出也会随着干扰脉冲发生翻转（变化），这就降低了电路的抗干扰能力。还有一种情况，即使没有干扰信号，若电路本身要求在一个时钟脉冲作用下，触发器的状态只能翻转一次，则同步 RS 触发器的使用也会受到限制。

**[例 3-2]** 已知同步 RS 触发器的逻辑电路和输入信号波形如图 3-8 所示，试画出 Q 端、 $\bar{Q}$  端的电压波形。设触发器的初始状态为  $Q=0$ 。

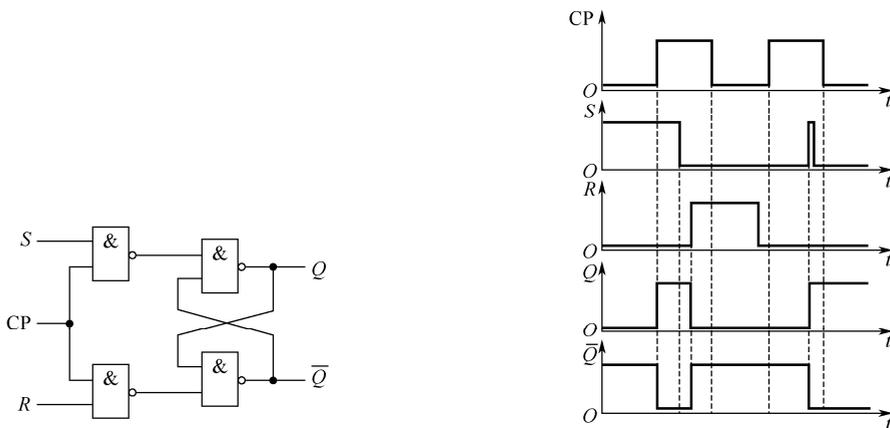


图 3-8 例 3-2 的逻辑电路和输入信号波形

**解：**由给定的输入电压波形可知，在第一个 CP 高电平期间先有  $S=1$ 、 $R=0$ ，输出信号为  $Q=1$ 、 $\bar{Q}=0$ ；随后输入信号变成了  $S=R=0$ ，因而输出状态保持不变；最后输入信号又变为  $S=0$ 、 $R=1$ ，输出信号为  $Q=0$ 、 $\bar{Q}=1$ ，故当 CP 回到低电平以后，触发器停留在  $Q=0$ 、 $\bar{Q}=1$  的状态。

在第二个 CP 高电平期间，若  $S=R=0$ ，则触发器的输出状态应保持不变。但由于在此期间 S 端出现了一个干扰脉冲，所以触发器被置为  $Q=1$  的状态。

### 3.2.2 同步 D 触发器

为了克服同步 RS 触发器的 R 端、S 端之间仍然存在约束的状态，可将同步 RS 触发器

接成 D 触发器的形式，即构成同步 D 触发器（或 D 锁存器）。图 3-9 为同步 D 触发器的逻辑电路及逻辑符号。

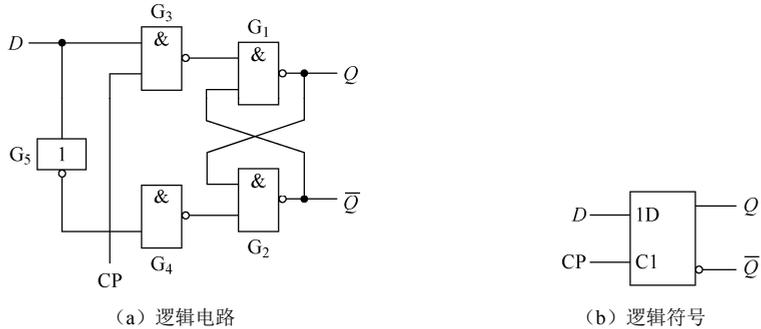


图 3-9 同步 D 触发器的逻辑电路及逻辑符号

在同步 D 触发器中，D 端接 RS 触发器的 S 端，同时 D 端经非门接 R 端，这样就可避免当 CP=1 时，信号 R、S 同时为高电平信号的情况。令  $D=S=\bar{R}$ ，代入 RS 触发器特性方程中可得 D 触发器的特性方程为

$$Q^{n+1} = D \tag{3-2}$$

同步 D 触发器的特性表见表 3-4，其状态转换图如图 3-10 所示。

表 3-4 同步 D 触发器的特性表

CP	D	$Q^n$	$Q^{n+1}$
0	×	0	0
0	×	1	1
1	0	0	0
1	0	1	0
1	1	0	1
1	1	1	1

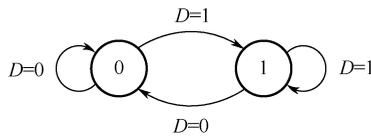


图 3-10 同步 D 触发器的状态转换图

由特性表和特性方程可看出，D 触发器的次态总是与输入端 D 保持一致，即  $Q^{n+1}$  仅取决于输入信号 D，而与  $Q^n$  无关。因为 D 触发器被广泛应用于数据存储，所以它也称为数据触发器。

### 3.2.3 同步 JK 触发器

同步 JK 触发器有两个输入控制端 J 和 K，它可从 RS 触发器演变而来。将 RS 触发器的输出端交叉引回到输入端，使  $S=J\bar{Q}^n$ 、 $R=KQ^n$ ，便可得到同步 JK 触发器，如图 3-11 所示。

将  $S=J\bar{Q}^n$ 、 $R=KQ^n$  代入同步 RS 触发器特性方程中，可得 JK 触发器特性方程为

$$Q^{n+1} = J\bar{Q}^n + \bar{K}Q^n \quad (3-3)$$

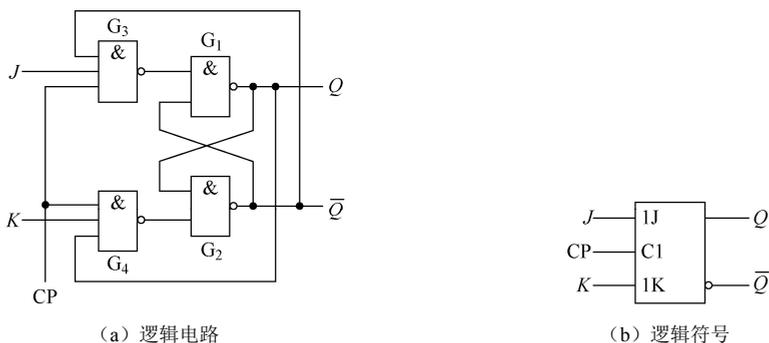


图 3-11 同步 JK 触发器

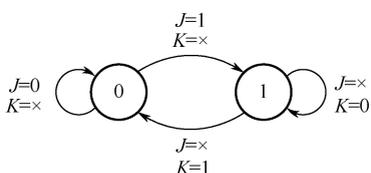


图 3-12 同步 JK 触发器的状态转换图

由于 Q 端和  $\bar{Q}$  端总是互补的，所以图 3-11 (a) 中 G<sub>3</sub>、G<sub>4</sub> 门的输出信号不存在同时为 0 的情况，这也就消去了不定状态。

同步 JK 触发器的特性表如表 3-5 所示，其状态转换图如图 3-12 所示。由特性表可看出，同步 JK 触发器有 4 个功能：当  $J=K=0$  时， $Q^{n+1}=Q^n$ ，该触发器具有保持功能；当  $J=0、K=1$  时， $Q^{n+1}=0$ ，该触发器具有置 0 功能；当  $J=1、K=0$  时， $Q^{n+1}=1$ ，该触发器具有置 1 功能；当  $J=1、K=1$  时， $Q^{n+1}=\bar{Q}^n$ ，该触发器具有翻转功能。

表 3-5 同步 JK 触发器的特性表

CP	J	K	$Q^n$	$Q^{n+1}$
0	×	×	0	0
0	×	×	1	1
1	0	0	0	0
1	0	0	1	1
1	0	1	0	0
1	0	1	1	0
1	1	0	0	1
1	1	0	1	1
1	1	1	0	1
1	1	1	1	0

### 任务 3.3 边沿触发器的认知

为了克服同步触发器的缺点，并对电路做一步改进，人们研究出了各种类型的触发器。目前应用较多和性能较好的是边沿触发器，其特点是次态仅取决于时钟脉冲 CP 的上升沿或下降沿到达前瞬间的输入信号状态，而在此之前或之后的一段时间内，输入信号状态的变化对输出信号状态不产生影响，因此边沿触发器具有工作可靠性高、抗干扰能力强的优点。

边沿触发器可分为 TTL 型触发器和 CMOS 型触发器，还可分为正边沿（上升沿）触发

器、负边沿（下降沿）触发器和正负边沿触发器。

### 3.3.1 边沿 JK 触发器

#### 1. 电路组成

负边沿 JK 触发器的逻辑电路和逻辑符号如图 3-13 所示。

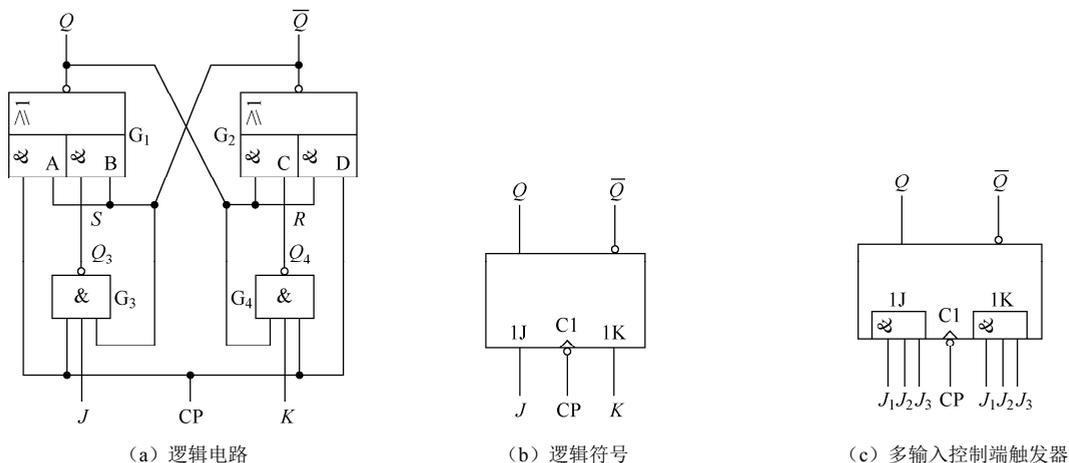


图 3-13 负边沿 JK 触发器

#### 2. 功能分析

当负边沿 JK 触发器电路工作时，其与或非门  $G_3$ 、 $G_4$  的平均延迟时间  $t_{pd1}$  应比由与或非门组成的基本触发器的平均延迟时间  $t_{pd2}$  要长，以起到延迟触发作用。

(1) 在  $CP=1$  期间，与或非门的输出信号  $Q^{n+1} = \overline{\overline{Q^n} + S Q^n} = Q^n$ 、 $\overline{Q^{n+1}} = \overline{Q^n + Q^n R} = \overline{Q^n}$  ( $R=Q_4$ ,  $S=Q_3$ )，所以触发器的状态保持不变。此时与非门的输出信号为  $Q_4 = K Q^n$ ， $Q_3 = J Q^n$ 。

(2) 当 CP 下降沿到来时， $CP=0$ ，由于  $t_{pd1} > t_{pd2}$ ，所以与或非门中的与门 A、D 的输出结果为 0，与或非门变为基本 RS 触发器，并且  $Q^{n+1} = S + \overline{R} Q^n = J Q^n + \overline{K} Q^n$ 。

(3) 在  $CP=0$  期间，与非门  $G_3$ 、 $G_4$  的输出结果为  $Q_4=Q_3=1$ ，此时触发器的次态  $Q^{n+1}$  将保持不变。

(4) 当 CP 上升沿到来时， $CP=1$ ，与或非门恢复正常， $Q^{n+1} = Q^n$ 、 $\overline{Q^{n+1}} = \overline{Q^n}$  保持不变。

由上述分析可知，此触发器在 CP 下降沿时刻按特征方程式  $Q^{n+1} = J Q^n + \overline{K} Q^n$  进行状态转换，故此触发器称为负边沿触发器。负边沿触发器的特性表、状态转换图与同步 JK 触发器相同，只是二者的逻辑符号和时序图不同，如图 3-13 (b) 所示。这种触发器功能强、性能好、应用极为广泛。为了给用户提供方便，有些集成触发器有 3 个与关系输入控制端，如图 3-13 (c) 所示。

#### 3. 集成 JK 触发器

74LS112 为双下降沿 JK 触发器，其引脚排列及逻辑符号如图 3-14 所示。其中， $\overline{CP}$  端为

时钟输入端，为下降沿触发；J 端、K 端为数据输入端；Q 端、 $\bar{Q}$  端为互补输出端； $\bar{R}_D$  端为直接复位端，为低电平有效； $\bar{S}_D$  端为直接置位端，为低电平有效。 $\bar{R}_D$  端和  $\bar{S}_D$  端可用来设置初始状态。一般集成触发器都具有直接复位和置位端，有的具有异步复位和置位功能，有的具有同步复位和置位功能。所谓异步的含义是触发器在复位和置位时不受时钟脉冲 CP 控制（反之称为同步）。

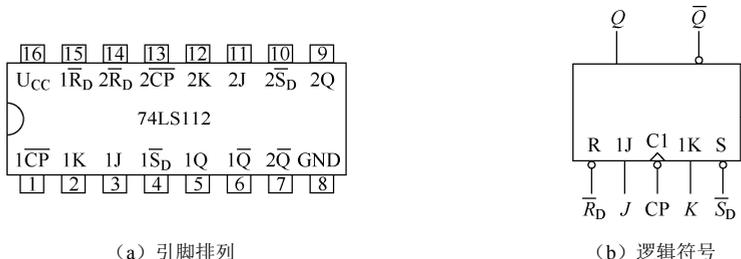


图 3-14 74LS112 的引脚排列及逻辑符号

此外，也有在 CP 上升沿时刻使输出状态翻转的 CMOS 电路边沿 JK 触发器，如 CC4027 等，这种触发器的逻辑符号的 CP 处没有小圆圈。

**[例 3-3]** 负边沿 JK 触发器的输入信号 CP、J、K 的波形如图 3-15 所示，图中输入端 J 存在窄干扰脉冲，试画出输出信号 Q 的波形，设初态  $Q=0$ ，且  $\bar{R}_D=\bar{S}_D=1$ 。

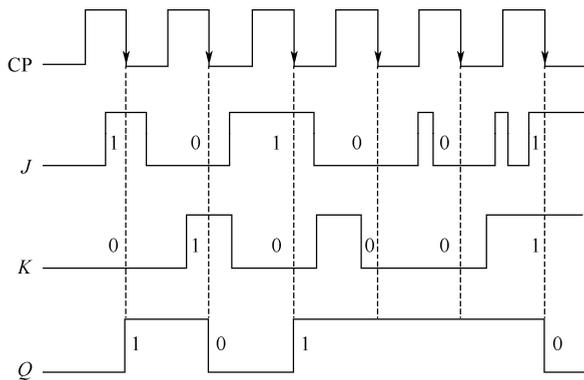


图 3-15 例 3-3 的波形图

**解：**根据每一个 CP 下降沿到来之前的瞬间的信号 J、K 的逻辑状态，就可以确定在每个 CP 下降沿到达后的次态  $Q^{n+1}$  的波形。

首先画出每个 CP 下降沿到达的瞬间的时标虚线，然后从初态  $Q=0$  开始，根据信号 JK 的状态按照逻辑规律逐个画出  $Q^{n+1}$  的波形，如图 3-15 所示。

### 3.3.2 边沿 D 触发器

#### 1. 电路组成

边沿 D 触发器也叫作维持阻塞 D 触发器，其电路如图 3-16 所示。

电子工业出版社版权所有 盗版必究

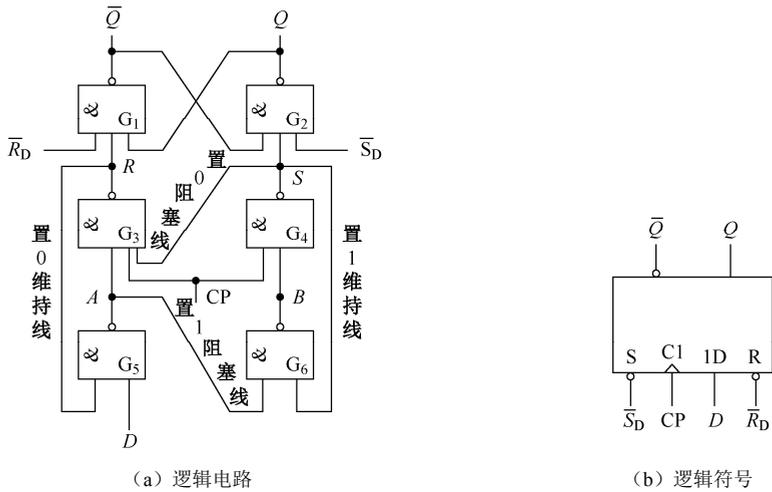


图 3-16 维持阻塞 D 触发器

## 2. 功能分析

在 CP 上升沿 (CP ↑) 到来之前, CP=0, R=1, S=1,  $Q^{n+1}=Q^n$ , 该触发器的状态保持不变。

(1) 设  $D=1$ , 则  $A=\overline{RD}=0$ ,  $B=\overline{AS}=1$ 。

① CP 上升沿到来时, CP=1,  $S=\overline{B \cdot CP}=0$ ,  $R=\overline{S \cdot A \cdot CP}=1$ , 根据基本 RS 触发器的功能可知,  $Q^{n+1}=1=D$ 。

② 在 CP=1 期间,  $Q^{n+1}=1$ 、 $S=0$ , 置 1 维持线起作用以确保  $S=0$  不变, 同时, 置 0 阻塞线起作用, 使  $R=1$ , 阻止了  $Q^{n+1}$  向 0 转换。虽然输入信号  $D$  在此期间变化会使信号  $A$  因  $A=D$  跟着变化, 但  $S=0$ , 这既维持了  $Q^{n+1}=1$  不变, 也阻塞了触发器空翻, 使触发器保持 1 不变。

③ 当 CP 下降沿 (CP ↓) 到来时, CP=0, R=1, S=1,  $Q^{n+1}$  保持不变。

(2) 设  $D=0$ , 则  $A=\overline{D}=1$ ,  $B=0$ 。

① 当 CP 上升沿到来时, CP=1, 则  $S=\overline{B \cdot CP}=1$ ,  $R=\overline{S \cdot A \cdot CP}=0$ ,  $Q^{n+1}=0=D$ 。

② 在 CP=1 期间, 因  $Q^{n+1}=0$ 、 $R=0$ , 置 0 维持线起作用, 可确保  $R=0$  不变, 并且信号  $D$  变化信号  $A$  不变。置 1 阻塞线阻止了空翻, 使触发器的输出信号保持为 0。

③ 当 CP 下降沿到来时, CP=0, R=1, S=1,  $Q^{n+1}$  保持不变。

由上述分析可知, 维持阻塞 D 触发器在 CP 上升沿触发翻转, 而且其特征方程式为  $Q^{n+1}=D$ , 它通过维持线、阻塞线有效地克服了空翻现象, 但要注意输入信号  $D$  一定是在 CP 上升沿到来之前设定好的, 如果信号  $D$  与 CP 同时变化,  $D$  变化的值将不能存入输出信号  $Q$  内, 如图 3-17 中第 3 个时钟脉冲所示。

## 3. 集成 D 触发器

74LS74 为双上升沿 D 触发器, 其引脚排列如图 3-18 所示。其中, CP 端为时钟输入端; D 端为数据输入端; Q 端、 $\overline{Q}$  端为互补输出端;  $\overline{R}_D$  端为直接复位端, 为低电平有效;  $\overline{S}_D$  端为直接置位端, 为低电平有效;  $\overline{R}_D$  端和  $\overline{S}_D$  端用来设置初始状态。

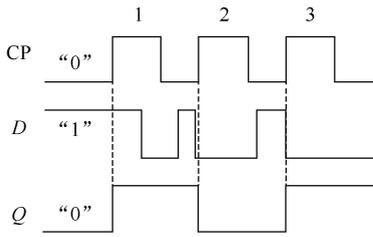


图 3-17 维持阻塞 D 触发器的波形

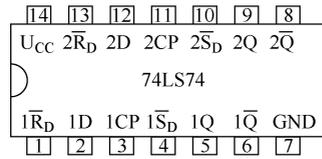


图 3-18 74LS74 引脚排列

### 3.3.3 T 触发器和 T'触发器

在某些应用场合中，需要用到这样一种逻辑功能的触发器：当其控制信号  $T=1$  时，每来一个 CP 信号，它的状态就翻转一次；而当  $T=0$  时，CP 信号到达后，它的状态保持不变。具备这种逻辑功能的触发器叫作 T 触发器。它的特性表如表 3-6 所示。

表 3-6 T 触发器的特性表

$T$	$Q^n$	$Q^{n+1}$
0	0	0
0	1	1
1	0	1
1	1	0

根据特性表写出 T 触发器的特性方程为

$$Q^{n+1} = T\overline{Q^n} + \overline{T}Q^n \quad (3-4)$$

T 触发器的状态转换图如图 3-19 所示。

事实上，只要将 JK 触发器的两个输入端连在一起作为 T 端，就可以构成 T 触发器。正因为如此，在触发器的定型产品中通常没有专门的 T 触发器。

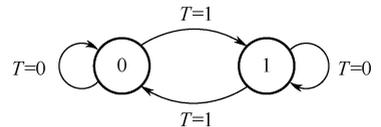


图 3-19 T 触发器的状态转换图

当 T 触发器的控制端保持为高电平状态时（信号  $T$  恒等于 1），则式（3-4）变为

$$Q^{n+1} = \overline{Q^n}$$

即在每次 CP 信号作用后，触发器的状态必然翻转成与初态相反的状态。具有这种功能的触发器叫作 T' 触发器。其实 T' 触发器只不过是一种处于特定工作状态下的 T 触发器而已，如图 3-20 所示。

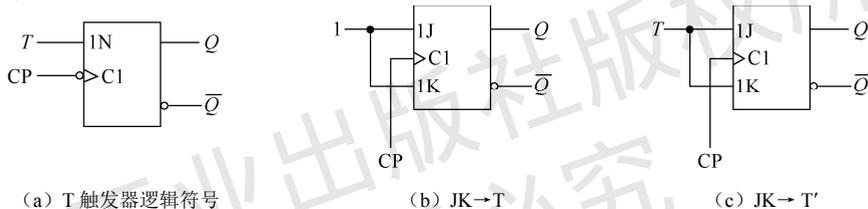


图 3-20 T 触发器和 T' 触发器

### 任务 3.4 触发器的转换

由于现在市售的集成触发器多为 JK 触发器和 D 触发器，而在数字电路中，往往要用到 RS、JK、T、D 等几种类型的触发器，所以学会不同类型的触发器之间的相互转换是十分必要的。

所谓转换，就是把一种已有的触发器接入转换逻辑电路，使之成为具有另一种逻辑功能的触发器。不难理解，触发器的转换实际上就是设计一个满足变换要求的组合逻辑电路的过程。下面通过实例介绍转换方法。

**[例 3-4]** 试将 JK 触发器转换为 D 触发器。

**解：**首先，写出反映已有触发器（JK 触发器）逻辑功能的特性方程

$$Q^{n+1} = J\overline{Q}^n + \overline{K} Q^n \quad (3-5)$$

然后，写出待求触发器的特性方程，它反映了设计者对待求触发器的功能的要求。待求触发器为 D 触发器，故可写出其特性方程

$$Q^{n+1} = D \quad (3-6)$$

最后，求出转换逻辑即 JK 触发器的驱动方程。为了便于比较，将式（3-6）变换为与式（3-5）相似的形式，即

$$Q^{n+1} = D = D(\overline{Q}^n + Q^n) = D\overline{Q}^n + DQ^n \quad (3-7)$$

将式（3-7）与式（3-5）比较后，可求得 J、K 的驱动方程为

$$\begin{cases} J = D \\ K = \overline{D} \end{cases}$$

根据求出的转换逻辑即已有的 JK 触发器的驱动方程，便可画出如图 3-21 所示的待求触发器的逻辑电路。

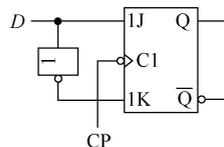


图 3-21 JK→D 触发器逻辑电路

**[例 3-5]** 试将 D 触发器转换为 JK 触发器。

**解：**写出已有触发器（D 触发器）的特性方程

$$Q^{n+1} = D$$

写出待求触发器 JK 触发器的特性方程

$$Q^{n+1} = J\overline{Q}^n + \overline{K} Q^n$$

比较上述两个特性方程，可得

$$D = J\overline{Q}^n + \overline{K} Q^n = \overline{\overline{J\overline{Q}^n + \overline{K} Q^n}}$$

画出逻辑电路，如图 3-22 所示。

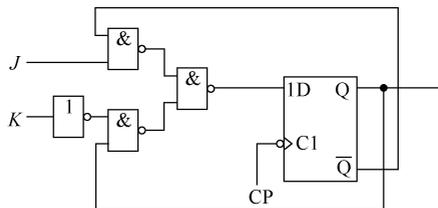


图 3-22 D→JK 触发器逻辑电路

**[例 3-6]** 试将 D 触发器转换为 T 触发器和 T' 触发器。

**解：**写出已有触发器（D 触发器）的特性方程

$$Q^{n+1} = D$$

写出待求触发器 T 触发器的特性方程

$$Q^{n+1} = T\overline{Q}^n + \overline{T} Q^n$$

电子工业出版社 版权所有 盗版必究

比较上述两个特性方程，可得

$$D = T \overline{Q^n} + \overline{T} Q^n = T \oplus Q^n$$

画出逻辑电路，如图 3-23 (a) 所示。

T' 触发器的特性方程为  $Q^{n+1} = \overline{Q^n}$ ，所以只要令  $D = \overline{Q^n}$ ，即可得到 T' 触发器。其转换逻辑电路如图 3-23 (b) 所示。

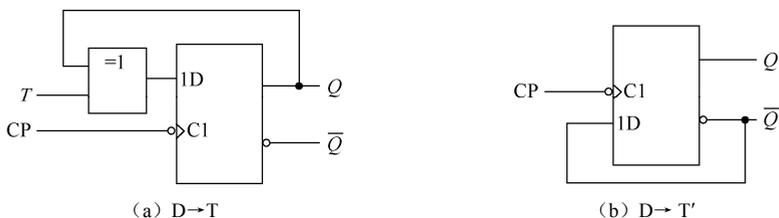


图 3-23 D 触发器转换为 T、T' 触发器逻辑电路



## 技能性实训

### 实训 1 触发器的功能测试

#### 1. 实训目的

- (1) 掌握基本 RS 触发器、JK 触发器、D 触发器和 T 触发器的逻辑功能及测试方法。
- (2) 掌握集成触发器 74LS112 及 74LS74 的使用方法。
- (3) 进一步理解触发器之间的相互转换的方法。

#### 2. 实训器材

+5V 直流电源 1 台；双踪示波器 1 台；连续脉冲源 1 个；单次脉冲源 2 个；逻辑电平开关 6 个；逻辑电平显示器 6 个；集成门电路芯片 74LS112(或 CC4027)、74LS00(或 CC4011)、74LS74 (或 CC4013) 各 1 片；面包板 1 块；导线若干。

#### 3. 实训内容及步骤

##### 1) 测试基本 RS 触发器的逻辑功能

按图 3-24，用 2 个与非门组成基本 RS 触发器，输入端  $\overline{R}$ 、 $\overline{S}$  接逻辑电平开关的输出端，输出端  $Q$ 、 $\overline{Q}$  接逻辑电平显示器输入端，按表 3-7 的要求测试，并记录测试结果。

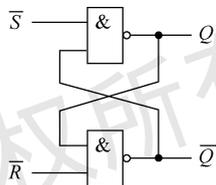


图 3-24 基本 RS 触发器的测试电路

表 3-7 测试要求及结果

$\overline{R}$	$\overline{S}$	$Q^n$	$Q^{n+1}$
0	0	0	
0	0	1	

续表

$\bar{R}$	$\bar{S}$	$Q^n$	$Q^{n+1}$
0	1	0	
0	1	1	
1	0	0	
1	0	1	
1	1	0	
1	1	1	

## 2) 测试双 JK 触发器 74LS112 逻辑功能

(1) 测试  $\bar{R}_D$  端、 $\bar{S}_D$  端的复位、置位功能。从 74LS112 中任取 1 个 JK 触发器，将  $\bar{R}_D$  端、 $\bar{S}_D$  端、J 端、K 端接逻辑电平开关输出端，将 CP 端与接单次脉冲源相接，将 Q 端、 $\bar{Q}$  端接至逻辑电平显示器输入端。改变  $\bar{R}_D$  端、 $\bar{S}_D$  端（J 端、K 端、CP 端处于任意状态）的状态，并在  $\bar{R}_D=0$ （ $\bar{S}_D=1$ ）或  $\bar{S}_D=0$ （ $\bar{R}_D=1$ ）作用期间任意改变 J 端、K 端及 CP 端的状态，观察 Q 端、 $\bar{Q}$  端的状态。

(2) 测试 JK 触发器的逻辑功能。按表 3-8 的要求改变 J 端、K 端、CP 端的状态，观察 Q 端、 $\bar{Q}$  端的状态变化，并观察触发器的状态的更新是否发生在 CP 下降沿到达的时刻（CP 由 1→0），将其记录下来。

表 3-8 测试要求及结果

J	K	CP	$Q^{n+1}$	
			$Q^{n=0}$	$Q^{n=1}$
0	0	0→1		
		1→0		
0	1	0→1		
		1→0		
1	0	0→1		
		1→0		
1	1	0→1		
		1→0		

(3) 将 JK 触发器的 J 端、K 端连在一起，构成 T 触发器。在 CP 端输入 1kHz 的连续脉冲，分别令  $T=0$  和  $T=1$ ，并使触发器具有不同的初态，即  $Q^n$  分别为 0 和 1，用双踪示波器观察 CP 端、Q 端、 $\bar{Q}$  端波形，并对其进行描绘。

## 3) 测试双 D 触发器 74LS74 的逻辑功能

(1) 测试  $\bar{R}_D$  端、 $\bar{S}_D$  端的复位、置位功能。测试方法同实训内容 2) 项及 1) 项，自拟表格记录。

(2) 测试 D 触发器的逻辑功能。按表 3-9 中的要求进行测试，并观察触发器的状态的更新是否发生在 CP 上升沿到达的时刻（CP 由 0→1），将其记录下来。

(3) 将 D 触发器的  $\bar{Q}$  端与 D 端相连接，构成 T' 触发器。在 CP 端输入 1kHz 的连续脉冲，用双踪示波器观察 CP 端、Q 端的波形，并对其进行描绘。

## 4) 实现电路并测试

将 D 触发器转换为 JK 触发器时，用电路实现该转换，并对转换后的触发器进行功能测试。

表 3-9 测试要求及结果

D	CP	$Q^{n+1}$	
		$Q^{n=0}$	$Q^{n=1}$
0	0→1		
	1→0		
1	0→1		
	1→0		

#### 4. 实训报告

- (1) 列表整理各类触发器的逻辑功能。
- (2) 总结观察到的波形，说明触发器的触发方式。

### 实训 2 智力竞赛抢答器的设计、安装与调试

#### 1. 实训目的

- (1) 进一步掌握触发器的作用及其逻辑功能，培养对简单电路的设计能力，初步掌握设计电路的基本方法。
- (2) 熟悉触发器的功能测试方法及应用。
- (3) 掌握集成触发器的识别、功能及测试方法。
- (4) 掌握简单电路的装配方法，进一步熟练使用各种仪器仪表。
- (5) 进一步提高分析问题和解决问题的能力。

#### 2. 实训器材

+5V 直流电源 1 台；数字万用表 1 只；集成门电路芯片双 D 触发器 74LS74(或 74LS112)、双 4 输入与非门 74LS20、四 2 输入与非门 CD4011 各 2 片；1kΩ 电阻 5 个；LED 4 个；点动按钮 5 个；面包板（万能板）1 块；电阻和导线若干。

#### 3. 实训内容及要求

用触发器设计一个 4 人智力竞赛抢答器，本设计有多种设计方案，建议采用具有异步置位端、异步复位端的集成 D（或 JK）触发器制作 4 人智力竞赛抢答器。具体要求如下：

- (1) 每个参赛者控制一个按钮，通过按动按钮发出抢答信号。
- (2) 竞赛主持人另有一个按钮，该按钮用于将电路复位。
- (3) 竞赛开始后，先按动按钮者将对应的一个 LED 点亮，此后其他 3 人再按动按钮对电路不起作用。

#### 4. 注意事项

- (1) 在安装过程中要细心，应防止导线绝缘层被损伤，不能让线头、螺钉、垫圈等异物落入安装电路中，以免造成短路或漏电。
- (2) 电路的线路布置应整齐、美观、牢固。水平导线应尽量紧贴底板，竖直方向的导线

可沿边框四角敷设，导线转弯时的弯曲半径不要过小。

(3) 在连线时应避免导线过长，避免导线从集成元器件的上方跨越，避免导线多次重叠交错，以利于布线、更换元器件，以及检查并排除故障。

(4) 在完成电路安装后，应仔细检查电路连接，确认电路连接无误后再接通电源。

(5) 在调试过程中要做好绝缘保护，避免人体与带电部位直接接触。调试结束后，必须关断电源。

## 5. 考评内容及评分标准

智力竞赛抢答器的设计、安装与调试的考评内容及评分标准如表 3-10 所示。

表 3-10 智力竞赛抢答器的设计、安装与调试的考评内容及评分标准

步骤	考评内容	评分标准	标准分	扣分及原因	得分
1	画出电路图，并分析其工作原理	(1) 各元器件符号正确； (2) 各元器件连接正确； (3) 原理分析准确 (错一处扣 5 分，扣完为止；教师辅导、学生自查)	20		
2	根据相关参数，对元器件质量进行判别	元器件质量和分类判断正确 (错一处扣 5 分，扣完为止；学生自查、教师检查)	20		
3	根据电路图搭接电路，利用直观法或使用数字万用表分析电路的连接是否正确	(1) 电路的连接符合工艺标准； (2) 布局规范，走线美观； (3) 无断路（脱焊）、短路等错误 (错一处扣 5 分，扣完为止；同学互查、老师检查)	20		
4	确认电路连接无误后，进行通电测试	(1) 操作过程正确； (2) 电路工作状态正常 (错一处扣 5 分，扣完为止；教师指导、同学互查)	25		
5	注意安全、规范操作，小组分工，保证质量，完成时间为 90min	(1) 小组成员有明确分工； (2) 在规定时间内完成该项目； (3) 各项操作规范、安全 (成员无分工扣 5 分，超时扣 10 分；教师指导、同学互查)	15		
教师根据学生对智力竞赛抢答器相关的理论知识和技能知识的掌握情况进行综合评定，并指出存在的问题，给出具体改进方案			100		



## 知识拓展

### 触摸式照明灯电路

触摸式照明灯电路如图 3-25 所示。当人用手触摸薄膜按钮 S 一下时，灯 L 打开，若再按一下 S，则 L 即熄灭。其工作原理如下：

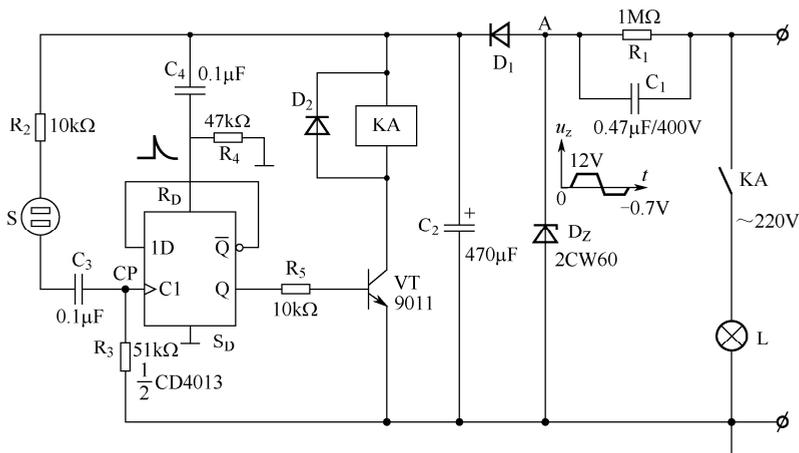


图 3-25 触摸式照明灯电路

电源采用电容降压，在电源正半周时，A 点电压被稳压管  $D_z$  钳位于 12V，而在电源负半周时，A 为 -0.7V。电容  $C_1$  的容抗在 50Hz 的频率下为  $X_{C1} \approx 6.8k\Omega$ 。由于稳压管动态电阻远小于容抗  $X_{C1}$ ，所以可认为流过电容的电流  $i_{C1} \approx 32mA$ ，A 点电压在电源正半周时流经  $D_1$  和电容  $C_2$  进行滤波后，提供了接近 12V 的直流电源。

当接通电源时，由阻容  $R_4$ 、 $C_4$  组成的微分电路产生的尖脉冲信号作用于 D 触发器的  $R_D$  端来进行清零，则  $Q=0$ 。而 D 触发器构成 T' 触发器，因此当手按下按钮 S 时，由  $C_3$ 、 $R_3$  组成的微分电路产生尖脉冲触发信号 CP，使  $Q=1$ ，该端口的输出电流经三极管 VT 放大后，使继电器得电，并使触点 KA 闭合、L 点亮。若再按一下 S，又产生 CP 信号，使  $Q=0$ 、VT 截止、KA 失电、L 熄灭。其中  $D_2$  用于当 VT 截止时继电器线圈泄放自感电动势，并使 VT 免受过高的感应电动势的影响。电阻  $R_1$  用于当电源切断时泄放电容  $C_1$  上的电荷。

在使用电路时应注意，稳压管  $D_z$  不能断路，同时整个电路应有安全隔离防护措施。



## 自我检测题

### 一、填空题

- 3.1 触发器常用的分析方法主要有\_\_\_\_\_、\_\_\_\_\_和\_\_\_\_\_。
- 3.2 基本 RS 触发器具有\_\_\_\_\_条件，出现\_\_\_\_\_状态，会影响它的应用。
- 3.3 RS 触发器的特征方程为\_\_\_\_\_，其约束条件为\_\_\_\_\_。
- 3.4 触发器按逻辑功能可分为\_\_\_\_\_触发器、\_\_\_\_\_触发器、\_\_\_\_\_触发器、\_\_\_\_\_触发器和\_\_\_\_\_触发器。
- 3.5 JK 触发器与 RS 触发器的显著区别是无\_\_\_\_\_状态。
- 3.6 在 JK 触发器中，当  $JK=11$  时， $Q^{n+1} =$ \_\_\_\_\_；当  $JK=00$  时， $Q^{n+1} =$ \_\_\_\_\_。
- 3.7 JK 触发器的特征方程是\_\_\_\_\_。
- 3.8 D 触发器的特征方程是\_\_\_\_\_。
- 3.9 T 触发器的特征方程是\_\_\_\_\_。
- 3.10 T' 触发器的特征方程是\_\_\_\_\_。

- 3.11 D 触发器的 D 端与\_\_\_\_\_连接可构成 T' 触发器。  
 3.12 JK 触发器的 JK 端接\_\_\_\_\_可构成 T' 触发器。  
 3.13 触发器构成\_\_\_\_\_触发器时, 对 CP 脉冲具有二分频功能。

## 二、选择题

- 3.14 不属于触发器特点的是 ( )。  
 (a) 有两个稳定状态  
 (b) 可以由一种稳定状态转换到另一种稳定状态  
 (c) 具有记忆功能  
 (d) 有不定输出状态
- 3.15 由与非门组成的基本 RS 触发器的输入状态不允许出现 ( )。  
 (a)  $\bar{R} \bar{S}=00$  (b)  $\bar{R} \bar{S}=01$  (c)  $\bar{R} \bar{S}=10$  (d)  $\bar{R} \bar{S}=11$
- 3.16 由或非门组成的基本 RS 触发器的输入状态不允许出现 ( )。  
 (a)  $RS=00$  (b)  $RS=01$  (c)  $RS=10$  (d)  $RS=11$
- 3.17 欲使 JK 触发器按  $Q^{n+1}=1$  工作, 可使 JK 触发器的输入信号为 ( )。  
 (a)  $J=K=1$  (b)  $J=1, K=0$   
 (c)  $J=K=0$  (d)  $J=0, K=1$
- 3.18 为实现将 JK 触发器转换为 D 触发器, 应使 ( )。  
 (a)  $J=D, K=\bar{D}$  (b)  $J=\bar{D}, K=D$   
 (c)  $J=K=D$  (d)  $J=K=\bar{D}$
- 3.19 对于 JK 触发器, 若  $J=K$ , 则可完成 ( ) 触发器的逻辑功能。  
 (a) RS (b) D (c) T (d) T'
- 3.20 欲使 D 触发器按  $Q^{n+1}=\bar{Q}^n$  工作, 应使输入端 D 端接 ( )。  
 (a) 0 (b) 1 (c) Q (d)  $\bar{Q}$



## 思考题与习题

- 3.21 画出如图 3-26 (a) 所示的由与非门组成的基本 RS 触发器的输出信号  $Q$ 、 $\bar{Q}$  的波形, 输入端信号  $\bar{S}$ 、 $\bar{R}$  的波形如图 3-26 (b) 所示。

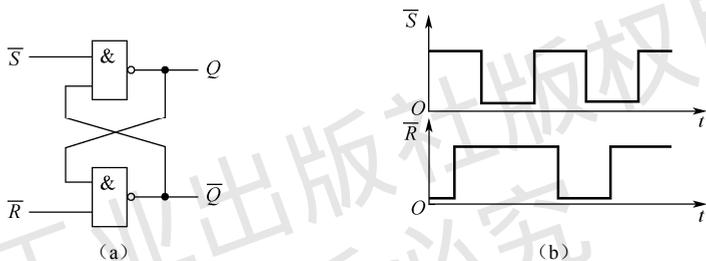


图 3-26 3.21 题图

3.22 画出如图 3-27 (a) 所示的由或非门组成的基本 RS 触发器的输出信号  $Q$  端、 $\bar{Q}$  的波形，输入信号  $S$ 、 $R$  的波形如图 3-27 (b) 所示。

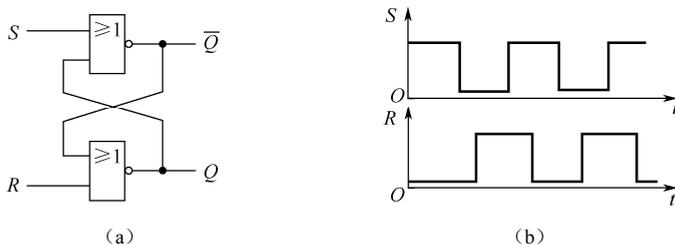


图 3-27 3.22 题图

3.23 在如图 3-28 (a) 所示电路中，若 CP 端、S 端、R 端的电压波形如图 3-28 (b) 所示，试画出  $Q$  端和  $\bar{Q}$  端与之对应的电压波形。假定触发器的初始状态为  $Q=0$ 。

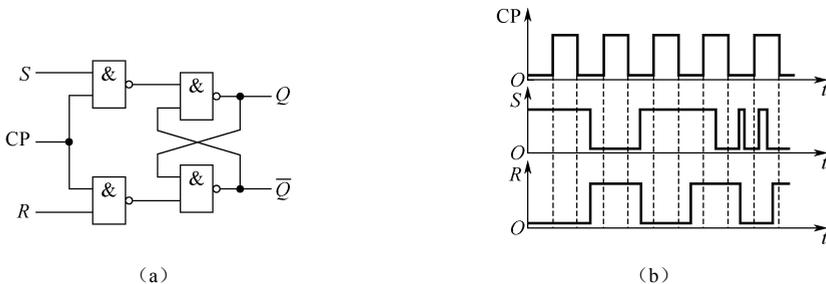


图 3-28 3.23 题图

3.24 设一边沿 JK 触发器的初始状态为 0，信号 CP、 $J$ 、 $K$  如图 3-29 所示，试画出触发器的  $Q$  端的电压波形。

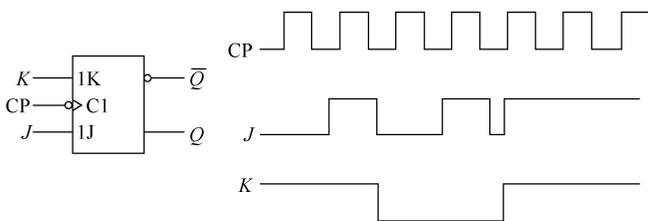


图 3-29 3.24 题图

3.25 已知维持阻塞 D 触发器的 D 端和 CP 端的电压波形如图 3-30 所示，试画出  $Q$  端和  $\bar{Q}$  端的电压波形。假设触发器的初始状态为  $Q=0$ 。

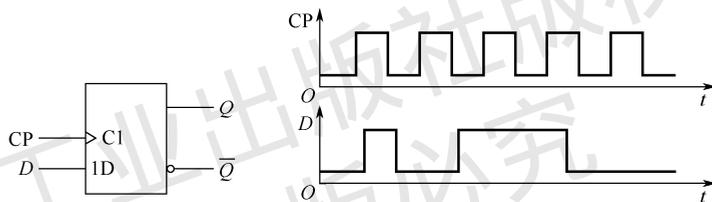


图 3-30 3.25 题图

3.26 将如图 3-31 所示的波形信号作用在负边沿触发器上，试画出触发器的 Q 端的工作波形。设初始状态为  $Q=0$ 。

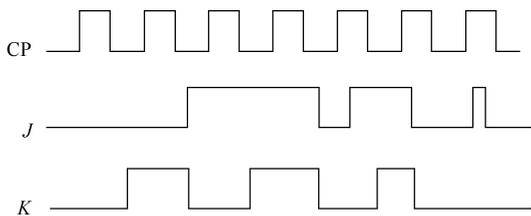


图 3-31 3.26 题图

3.27 已知维持阻塞 D 触发器的各输入端的电压波形如图 3-32 所示，试画出 Q 端、 $\bar{Q}$  端对应的电压波形。

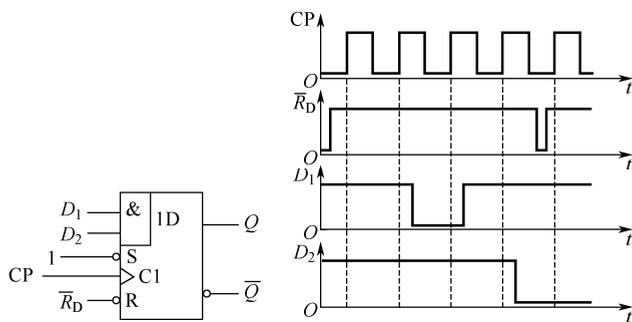


图 3-32 3.27 题图

3.28 已知 CMOS 电路边沿 JK 触发器的各输入端的电压波形如图 3-33 所示，试画出 Q 端、 $\bar{Q}$  端对应的电压波形。

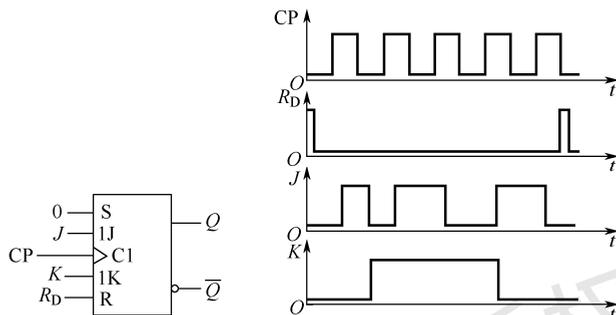


图 3-33 3.28 题图

3.29 设图 3-34 中各 TTL 型触发器的初始状态皆为 0，试画出在 CP 信号作用下各触发器的输出端  $Q_1 \sim Q_{12}$  的电压波形。

电子工业出版社版权所有  
盗版必究

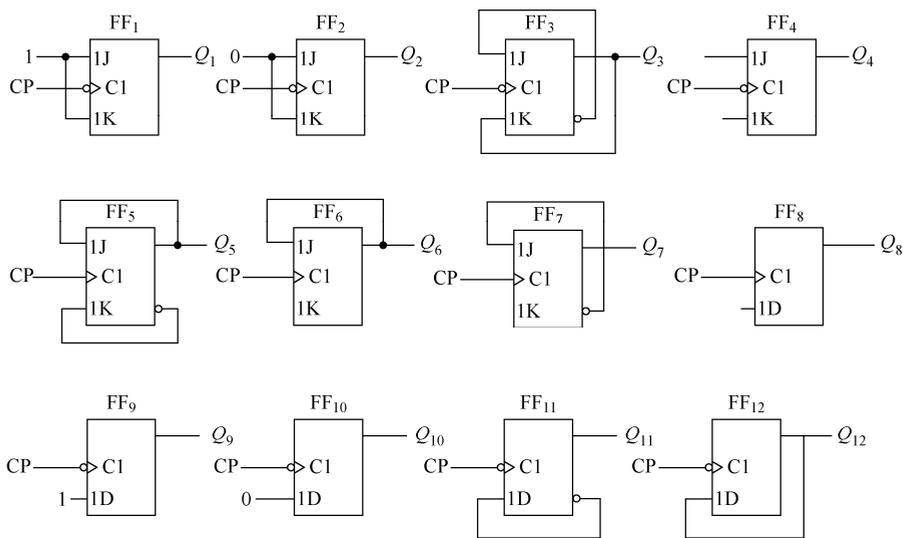


图 3-34 3.29 题图

3.30 试画出如图 3-35 所示的电路在一系列 CP 信号作用下时输出端  $Q_1$ 、 $Q_2$ 、 $Q_3$  的输出电压的波形。触发器均为边沿触发结构，初态为  $Q=0$ 。

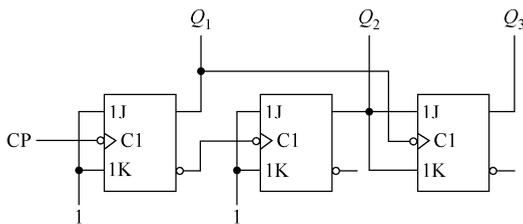


图 3-35 3.30 题图

3.31 试画出如图 3-36 所示的电路在图中所示的信号 CP、 $\bar{R}_D$  作用下时输出端  $Q_1$ 、 $Q_2$ 、 $Q_3$  的输出电压波形，并说明输出信号  $Q_1$ 、 $Q_2$ 、 $Q_3$  的频率与信号 CP 的频率之间的关系。

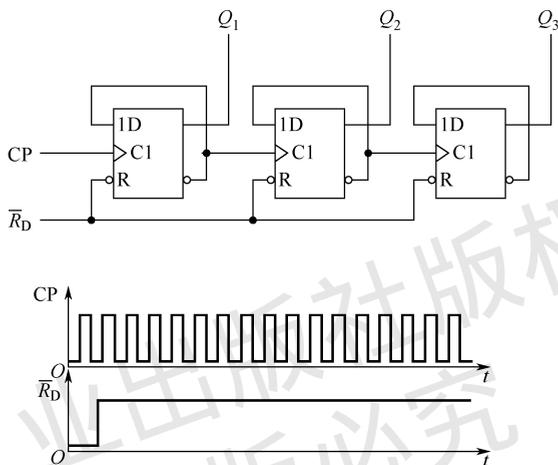


图 3-36 3.21 题图

电子工业出版社版权所有  
盗版必究