

第3章 组合逻辑电路

3.1 本章教学基本要求

按照逻辑功能的不同特点，通常把数字电路分成两大类，即组合逻辑电路和时序逻辑电路。这两类电路在逻辑功能和电路结构上存在着本质区别。通过本章的学习，读者应熟练掌握基于SSI(门电路)的组合逻辑电路的一般分析和设计方法，以及编码器、译码器、数据选择器、数值比较器、加法器等几种常用中规模组合逻辑器件的功能和主要用途，能以给定的MSI(中规模组合逻辑器件)设计其他功能的组合逻辑电路。本章的教学内容与要求如表3.1所示。

表 3.1 第3章教学内容与要求

教 学 内 容		教 学 要 求			重 点 与 难 点
		熟 练 掌 握	正 确 理 解	一 般 了 解	
组合逻辑电路的概念和功能特点			√		重点： 组合逻辑电路的分析和设计方法； 中规模组合逻辑器件(译码器、数据选择器、加法器等)的逻辑功能及应用 难点： 如何从逻辑问题的描述中进行逻辑抽象，建立真值表； MSI的扩展端的作用及正确使用
基于SSI的组合逻辑电路的分析		√	√		
基于SSI的组合逻辑电路的设计		√	√		
常用中规模组合逻辑器件	编码器		√		
	译码器	√			
	数据选择器	√			
	数值比较器		√		
	加法器		√		
中规模组合逻辑器件的应用		√	√		
竞争-冒险	产生原因		√		
	发现方法		√		
	消除方法		√		
组合逻辑电路的VHDL描述				√	

3.2 本章主要知识点

3.2.1 组合逻辑电路的概念和功能特点

所谓组合逻辑电路，是指任何时刻逻辑电路的输出状态只取决于输入信号的组合，而与电路原有的状态无关。组合逻辑电路具有如下特点：

- 1) 电路中不存在输出端到输入端的反馈通道。
- 2) 电路中不包含存储信号的记忆元件，一般由各种门电路组成。

3.2.2 基于SSI的组合逻辑电路的分析

所谓组合逻辑电路的分析方法，就是通过分析得到给定电路的逻辑功能。其大致步骤如下：

(1) 基本分析方法

1) 根据给定的逻辑电路,从输入到输出逐级写出逻辑表达式,最后推得输出关于输入变量的逻辑表达式。

2) 列出输出函数关于输入变量的真值表。

3) 分析真值表或最简函数表达式,进行逻辑功能描述。

(2) 灵活分析法

组合逻辑电路中往往带有模式控制、使能控制及扩展端等变量,使得电路总的输入变量较多,若按基本分析步骤分析,则写表达式和列真值表都十分困难。通常,使能输入变量可决定电路是处于工作模式还是非工作模式,模式控制变量选择电路实现何种逻辑功能。带有一个模式控制变量的电路可以实现两种逻辑功能,带有两个模式控制变量的电路可以实现四种逻辑功能,以此类推。因此,可通过对变量归类,把使能和模式控制变量作为输入、把电路对其他变量作用的结果作为输出,列出压缩真值表即功能表,这样既简单又明了(此内容可参见例 3.2)。

3.2.3 基于 SSI 的组合逻辑电路的设计

通常,组合逻辑电路的设计就是根据给出的实际逻辑问题,得出实现这一逻辑关系的最简单逻辑电路。对于以小规模集成电路(SSI)为组件的设计,最简标准是使用的门最少,且门的输入端数最少。

(1) 一般设计方法

通常,以 SSI 为组件设计组合逻辑电路的步骤如下:

1) 进行逻辑抽象,列出描述实际逻辑问题的真值表。这一步是基础,也是关键。一般来说,可从以下几点着手:

① 弄清在给定的逻辑问题中,什么是输入变量,什么是输出变量或逻辑函数。

② 弄清输入变量与输出变量间的因果关系。

③ 给输入、输出变量赋值,并根据给定的因果系列出真值表。

2) 根据真值表写出表达式,用逻辑代数化简法(或者根据真值表画出卡诺图,用卡诺图化简法),得到最简与-或式。

3) 将最简与-或式变换成满足给定要求的形式(视以什么门为组件而定)。

4) 画出逻辑电路图。

(2) 灵活设计方法

对于输入变量数较多的组合电路,用上述一般设计法设计时,过程烦琐,工作量大,甚至可能由于真值表太大而无法手工完成。灵活设计法是利用逻辑问题的某些特性(如重复性、阶段性、多模独立性等),把复杂命题分解成多个简单命题分别设计,再把各部分设计按关联关系组合起来完成整个命题功能的设计方法。灵活设计法没有固定规律可循,全靠设计者的综合能力和设计经验,若运用得当,则可收到“事半功倍”的效果(此内容可参见例 3.5)。

3.2.4 常用中规模组合逻辑器件(MSI)

(1) 常用中规模组合逻辑器件(MSI)的基本功能

1) 编码器:将具有特定含义的信息编成相应二进制代码输出,常用的有二进制编码器、二十进制编码器和优先编码器。

优先编码器：按优先级，把 2^n 个输入信号中的一个转换成相应的 n 位二进制代码。

2) 译码器：将赋予特定含义的一组代码的原意“翻译”出来，常用的有二进制译码器、二-十进制(BCD)译码器和显示译码器。

对于输出低电平有效的变量译码器(包括二进制译码器和二-十进制译码器)，有 $\bar{Y}_i = M_i = \bar{m}_i$ ，在计算机系统中常用来对不同外设进行选通控制。

显示译码器：把输入的 8421 码转换成十进制字符的七段数码管显示信号。按数码管结构分为共阴型和共阳型两类，有多种 MSI 产品。

3) 数据选择器：给定 n 个地址输入变量的一组取值，从 2^n 路输入数据中选中一路数据输出，即 $Y = \sum_{i=0}^{2^n-1} m_i D_i$ 。按选择变量数和数据位数的不同，有多种 MSI 产品。

4) 数据分配器：根据地址码的要求，将一路数据分配到指定输出通道上。

5) 数值比较器：对两组输入二进制数进行大小比较，给出大于、等于、小于的比较结果。常用的 MSI 比较器有 1、2、4、8 位多种，大多带有级联输入端。

6) 加法器：实现两组输入二进制数相加。MSI 产品有 1、2、4 位加法器，大多带有进位输入和进位输出端，4 位加法器还有逐位进位和超前进位之分。

MSI 模块大多带有使能输入端，当使能输入有效时实现上述功能，当使能输入无效时输出固定无效电平。

(2) 模块功能扩展

1) 译码器、优先编码器和数据选择器都可以用多个相同模块组合扩展输入、输出端数，方法是利用使能端使各模块轮流工作。

2) 数值比较器和加法器可级联扩展。

3.2.5 中规模组合逻辑器件(MSI)的应用

MSI 的应用主要体现在以 MSI 为组件设计更复杂功能或其他功能的组合逻辑电路方面，设计电路最简的标准是所用集成芯片个数最少、品种最少以及相互连线最少。

(1) 一般设计方法

用 MSI 设计组合逻辑电路的大致步骤如下：

1) 逻辑抽象，列出真值表。

2) 写出逻辑表达式。

3) 将得到的逻辑式与已知 MSI 器件的逻辑函数式对照比较，结果有以下可能：

① 与某种 MSI 的输出函数形式上完全相同，这时就用这种 MSI 直接实现。如用“2”选 1MUX”实现 $n+1$ 变量以下的逻辑函数即属于这种情况。

② 输入端数或功能是某种 MSI 输出函数的子集，这时也可用这种 MSI 实现，但需对多余输入端作适当处理。

③ MSI 的函数式是要产生的函数式的一部分，这时可通过扩展的办法或附加少量其他电路来实现所要求的功能。

根据逻辑函数式对照比较的结果，即可确定可以采用的器件和所用器件各输入端应接入的变量或常量(1 或 0)，以及各片之间的连接方式。

4) 按照上面对照比较的结果，画出设计的逻辑电路图。

实用中常常采用译码器、数据选择器实现组合逻辑电路(译码器适于实现多输出组合

逻辑电路, 数据选择器适于实现单输出组合逻辑电路), 加法器也可以实现一些组合逻辑电路。

(2) 基于 MSI 器件的具体设计方法

1) 用译码器实现逻辑函数: 将逻辑函数变换成最小项之和的标准型, 并在译码器输出端连接适当的门做输出级(若译码器输出低电平有效, 采用与非门或与门; 若译码器输出高电平有效, 采用或门)即可实现。

2) 用数据选择器实现逻辑函数: 函数 F 接选择器输出 Y , 选择函数的 n 个变量接数据选择器的 n 个地址输入端, 然后通过函数和数据选择器输出比较, 确定数据选择器数据输入 D_i 的连接。分以下三种情况:

① 用 2^n 选 1 数据选择器实现 n 变量逻辑函数。函数表达式 $F = \sum_{i=0}^{2^n-1} b_i m_i$, 数据选择器输出表达式 $Y = \sum_{i=0}^{2^n-1} m_i D_i$ 。为使 $F = Y$, 则 $D_i = b_i$ 。

② 用 2^n 选 1 数据选择器实现 $n+1$ 变量逻辑函数。设未接到选择输入端的第 $n+1$ 个变量为 X , 则数据选择器输出表达式 $Y = \sum_{i=0}^{2^n-1} m_i D_i$, 函数表达式 $F = \sum_{i=0}^{2^n-1} a_i m_i \bar{X} + \sum_{i=0}^{2^n-1} b_i m_i X = \sum_{i=0}^{2^n-1} m_i (a_i \bar{X} + b_i X)$ 。比较 Y 、 F 的表达式得: $D_i = a_i \bar{X} + b_i X$ 。若 $a_i = b_i$, 则 $D_i = a_i$; 若 $a_i = 0, b_i = 1$, 则 $D_i = X$; 若 $a_i = 1, b_i = 0$, 则 $D_i = \bar{X}$ 。

③ 用 2^n 选 1 数据选择器实现 $n+2$ 以上变量逻辑函数。这种情况下, D_i 是剩余变量的逻辑函数, 需要对 D_i 进行电路设计。一般来说, 接到选择输入端的变量不同, 则函数 D_i 的复杂程度不同。通过在卡诺图上比对 F 和 Y , 可以选出合适的 n 个变量接到数据选择器的选择输入端, 使得仅用少量逻辑门便可实现函数 D_i 。

3) 用 4 位加法器设计典型逻辑电路: 加法器不像译码器和数据选择器那样, 可以实现任何组合逻辑函数。但对一些典型的逻辑设计问题(如算术运算电路、代码转换电路等), 用加法器设计却比用译码器和数据选择器设计简单得多。设计的关键是把逻辑问题转化为一系列的数据加(或减)操作。

3.2.6 竞争-冒险现象

(1) 竞争现象

由于信号通过连线和集成门都有一定的延迟时间, 当有两个或两个以上的信号参差地加到同一门的输入端, 即存在时差, 这种现象称为竞争。

(2) 冒险现象

由于竞争的存在, 在门电路的输出端得到的可能短暂的、不是原设计要求的尖峰信号或毛刺, 这些干扰信号的出现成为冒险现象。

1) 冒险现象的判断

① 将逻辑表达式变换成与或表达式或者或与表达式, 若某个变量是以原变量和反变量的形式出现在逻辑表达式中, 这个表达式的其他变量为某种组合时, 结果形成 $F = A + \bar{A}$ 或者 $F = A \cdot \bar{A}$ 的形式, 则说明有冒险现象存在。

② 将逻辑表达式填入卡诺图, 并画圈进行化简, 若两个圈相切时, 说明有冒险现象存在。

- 2) 消除冒险现象的方法
 - ① 引入选通脉冲，控制输出。
 - ② 修改逻辑设计，增加多余项。
 - ③ 输出加滤波电容，滤去毛刺。

3.3 典型例题和考研试题解析

3.3.1 典型例题解析

【例 3.1】 分析图 3.1 所示组合逻辑电路的功能。

【解题思路】 根据组合逻辑电路的基本分析方法，逐步进行分析。

【解题过程】

(1) 由逻辑图可写出输出函数表达式

$$F_1 = A \oplus B \oplus C$$

$$F_2 = \overline{\overline{(M \oplus A)B + (M \oplus A)C + BC}}$$

$$= (\overline{M}A + M\overline{A})B + (\overline{M}A + M\overline{A})C + BC$$

当 $M=0$ 时， $F_2 = AB + AC + BC$ ；

当 $M=1$ 时， $F_2 = \overline{AB} + \overline{AC} + BC$ 。

(2) 根据输出函数表达式列出真值表如表 3.2 所示。

表 3.2 真值表

M	A	B	C	F_2	F_1
0	0	0	0	0	0
0	0	0	1	0	1
0	0	1	0	0	1
0	0	1	1	1	0
0	1	0	0	0	1
0	1	0	1	1	0
0	1	1	0	1	0
0	1	1	1	1	1

M	A	B	C	F_2	F_1
1	0	0	0	0	0
1	0	0	1	1	1
1	0	1	0	1	1
1	0	1	1	1	0
1	1	0	0	0	1
1	1	0	1	0	0
1	1	1	0	0	0
1	1	1	1	1	1

(3) 观察真值表可知，当 $M=0$ 时，则该电路实现 1 位全加器功能， A 、 B 为加数， C 为低位进位输入， F_1 为和， F_2 为进位输出。当 $M=1$ 时，该电路实现 1 位全减器功能， A 为被减数， B 为减数， C 为低位借位输入， F_1 为差， F_2 为借位输出。所以，该电路为可控 1 位全减器/全加器。

【点评】 在分析组合逻辑电路中，输出函数表达式应写成什么形式以及是否化简，以方便列真值表为准。如本例中，根据 F_1 的表达式 $F_1 = A \oplus B \oplus C$ 很容易列出真值表，不需要化成其他形式；而 F_2 需要化成与-或式，以方便列出真值表。

【例 3.2】 分析图 3.2 所示组合逻辑电路的逻辑功能。

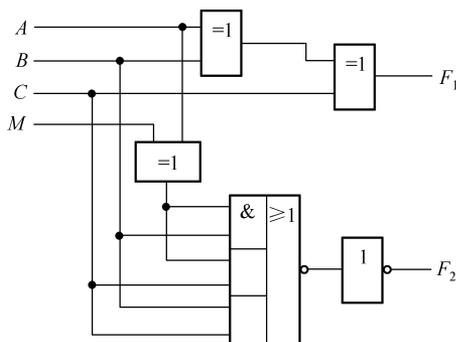


图 3.1 例 3.1 的电路图

【解题思路】 本例输入变量较多，若直接根据逻辑函数表达式列真值表，不仅表格太大，而且也不容易由真值表分析功能。所以，可采用灵活分析法，尝试对变量分类，列出不同变量取值情况下的功能表，进而分析电路功能。

【解题过程】

(1) 由电路图可写出逻辑函数表达式

$$F = \overline{\overline{C_2}XY} \cdot \overline{\overline{Y}C_1\overline{Y}C_0X}$$

$$= (\overline{C_2} + \overline{X} + Y) \cdot (\overline{Y}C_1 + YC_0 + X)$$

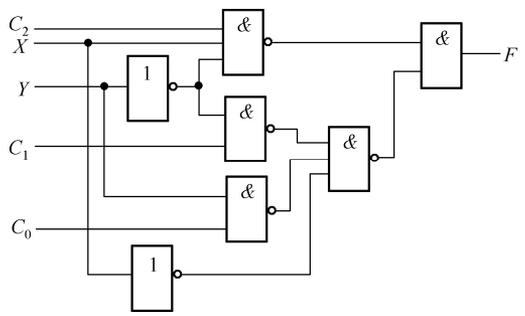


图 3.2 例 3.2 的电路图

(2) 若视 C_2 、 C_1 、 C_0 为模式控制信号， X 、 Y 为输入变量，列出不同模式下的 $F(X, Y)$ 功能表，进而分析电路功能。当然，也可把 X 、 Y 作模式控制信号， C_2 、 C_1 、 C_0 作输入变量，列出功能表。一般来说，需要对这两种情况进行比较分析，才能对电路功能作出全面了解和描述。根据这一思路，按表达式列出的功能表分别如表 3.3 和表 3.4 所示。

表 3.3 例 3.2 的功能表 1

C_2	C_1	C_0	$F(X, Y)$
0	0	0	X
0	0	1	$X+Y$
0	1	0	$X+\overline{Y}$
0	1	1	1
1	0	0	XY
1	0	1	Y
1	1	0	$XY + \overline{X}\overline{Y}$
1	1	1	$\overline{X}+Y$

表 3.4 例 3.2 的功能表 2

X	Y	$F(C_2, C_1, C_0)$
0	0	C_1
0	1	C_0
1	0	$\overline{C_2}$
1	1	1

(3) 由表 3.3 可见，该电路可实现 X 、 Y 的多种逻辑运算，给定 C_2 、 C_1 、 C_0 一组取值，就选定了一种运算。所以，它是一个多功能函数发生器。

由表 3.4 可见，如果把 X 、 Y 作控制变量，则给定 X 、 Y 一组取值，就从 C_2 、 C_1 、 C_0 三路信号中选中一路输出，只不过 C_2 信号的输出为反码，所以该电路实现三选一功能。

【点评】 在对同一组合逻辑电路进行分析时，分析的角度不同，得到的结论可能不同。

【例 3.3】 用或非门实现三变量表决器。

【解题思路】 根据基于 SSI 的组合逻辑电路的一般设计方法和步骤进行，需要注意的是若用或非门实现，需将得到的逻辑函数表达式化简成最简的“或与”式后，再化成“或非-或非”式，最后用相应的门电路实现。

【解题过程】 建立三变量表决器的真值表。依据题意，设 A 、 B 、 C 分别代表参加决议的逻辑变量，逻辑变量取值为 1 表示赞成，取值为 0 表示反对； F 表示表决结果，逻辑函数值为 1 表示决议被通过，逻辑函数值为 0 表示决议被否决。

按照少数服从多数，多数赞成决议通过，可列真值表如表 3.5 所示。

利用卡诺图化简，如图 3.3 所示，将逻辑函数表达式写成最简的或-与式为：

表 3.5 例 3.3 的真值表

A	B	C	F
0	0	0	0
0	0	1	0
0	1	0	0
0	1	1	1
1	0	0	0
1	0	1	1
1	1	0	1
1	1	1	1

$$F = \overline{\overline{AB} + \overline{AC} + \overline{BC}} = (A+B)(A+C)(B+C)$$

经过两次求反得到或非-或非表达式为

$$\begin{aligned} F &= (A+B)(A+C)(B+C) \\ &= \overline{\overline{(A+B)(A+C)(B+C)}} \\ &= \overline{\overline{A+B} + \overline{A+C} + \overline{B+C}} \end{aligned}$$

用或非门组成的逻辑电路如图 3.4 所示。

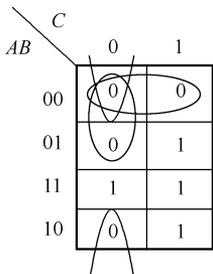


图 3.3 卡诺图化简

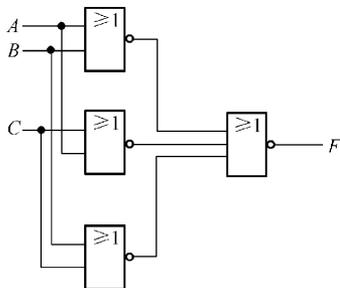


图 3.4 用或非门实现的电路

【点评】 本例属于以小规模集成电路 SSI 为组件的组合逻辑电路的设计。求解此类问题时，关键在于两点：一是对题意进行充分、准确的分析，从而抽象出正确的真值表；二是注意题目中要求以什么门电路为组件，需要将逻辑函数表达式化成相应的形式。若用或非门实现，需将得到的逻辑函数表达式化简成最简的或-与式后，再化成或非-或非式；若要求用与非门实现，需将得到的逻辑函数表达式化简成最简的与-或式后，再化成与非-与非式，最后用相应的门电路实现。

【例 3.4】 试用与非门设计半加器电路。

【解题思路】 根据基于 SSI 的组合逻辑电路的一般设计方法和步骤进行，需将得到的逻辑函数表达式化简成最简的与-或式后，再化成与非-与非式，最后用与非门实现。

【解题过程】 (1) 半加器是指两个 1 位二进制数相加，而不考虑低位进位的运算电路。设 A_i 、 B_i 为两个加数， S_i 为本位和， C_{i+1} 为该位向高位的进位，根据设计要求，可列真值表如表 3.6 所示。

(2) 根据真值表，可得逻辑函数表达式为

$$S_i = \overline{A_i}B_i + A_i\overline{B_i}$$

$$C_i = A_iB_i$$

(3) 化为与非-与非式为

$$S_i = \overline{\overline{A_iB_i} + \overline{A_i\overline{B_i}}} = \overline{\overline{A_i}B_i \cdot A_i\overline{B_i}} \quad (3.1)$$

$$C_i = \overline{\overline{A_iB_i}} \quad (3.2)$$

将式 (3.1) 进一步可以化成如下形式

$$S_i = \overline{\overline{A_iB_iB_i} \cdot \overline{A_iB_iA_i}} \quad (3.3)$$

(4) 根据式 (3.2) 和式 (3.3) 可以画出逻辑电路图如图 3.5 所示。

表 3.6 例 3.4 的真值表

A_i	B_i	S_i	C_{i+1}
0	0	0	0
0	1	1	0
1	0	1	0
1	1	0	1

注意：式(3.3)相比式(3.1)虽非最简，但式(3.3)可利用 C_i 中的 $\overline{A_i B_i}$ 输出，省去了式(3.1)中实现 $\overline{A_i}$ 和 $\overline{B_i}$ 的两个非门，从而使整体电路最简。

【点评】 本例是一个多输出电路，用逻辑门实现时要对表达式作形式变换，尽量划分出公共项，以使总逻辑门数最少。

【例 3.5】 设 A 、 B 、 C 、 D 是四位二进制数，试设计判断电路，判断：

- (1) 它们中没有 1；(2) 它们中有两个 1；(3) 它们中有奇数个 1。

【解题思路】 该电路有 4 个输入端和 3 个输出端 F_1 、 F_2 、 F_3 ，当 4 个输入中没有 1 时， $F_1=1$ ；当它们中间有两个为 1 时， $F_2=1$ ；当它们中间有奇数个 1 时， $F_3=1$ 。应注意，该判断电路并没有包含 4 个输入变量可能组合的全部情况，即当 4 个码元都为 1 时， $F_1=F_2=F_3=0$ 。下面分别用基本设计法和灵活设计法进行设计。

【解法 1】 基本设计法。

- (1) 根据题意列真值表，如表 3.7 所示。

表 3.7 例 3.5 的真值表

A	B	C	D	F_1	F_2	F_3	A	B	C	D	F_1	F_2	F_3
0	0	0	0	1	0	0	1	0	0	0	0	0	1
0	0	0	1	0	0	1	1	0	0	1	0	1	0
0	0	1	0	0	0	1	1	0	1	0	0	1	0
0	0	1	1	0	1	0	1	0	1	1	0	0	1
0	1	0	0	0	0	1	1	1	0	0	0	1	0
0	1	0	1	0	1	0	1	1	0	1	0	0	1
0	1	1	0	0	1	0	1	1	1	0	0	0	1
0	1	1	1	0	0	1	1	1	1	1	0	0	0

- (2) 由真值表写出逻辑函数式，并用代数法进行化简：

$$F_1 = \overline{ABCD} = \overline{A+B+C+D}$$

$$\begin{aligned} F_2 &= \overline{AB}CD + \overline{A}B\overline{C}D + \overline{A}B\overline{C}D + \overline{A}B\overline{C}D + \overline{A}B\overline{C}D + \overline{A}B\overline{C}D \\ &= \overline{AD}(B \oplus C) + \overline{BD}(A \oplus C) + \overline{AB}(C \oplus D) \end{aligned}$$

$$\begin{aligned} F_3 &= \overline{AB}CD + \overline{A}B\overline{C}D \\ &= A \oplus B \oplus C \oplus D \end{aligned}$$

- (3) 画逻辑电路图，如图 3.6(a) 所示。

【解法 2】 灵活设计法。

分析题意，根据逻辑关系很容易写出 F_1 和 F_3 的逻辑表达式，由于 $F_1+F_2+F_3+ABCD=1$ (事件全体)，所以有

$$F_2 = \overline{F_1 + F_3 + ABCD} \quad (3.4)$$

只要用电路实现 F_1 和 F_3 ，则 F_2 可以通过式(3.4)得到，逻辑图如图 3.6(b) 所示。

上面这两种设计方法都可以设计出实现题意要求的判断电路，但是从电路的复杂程度和设计效率来衡量，显然用灵活设计法设计出来的图 3.6(b) 所示电路最佳。

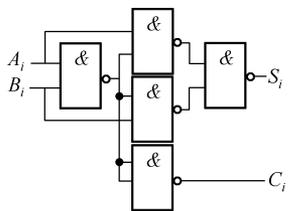


图 3.5 例 3.4 的逻辑电路图

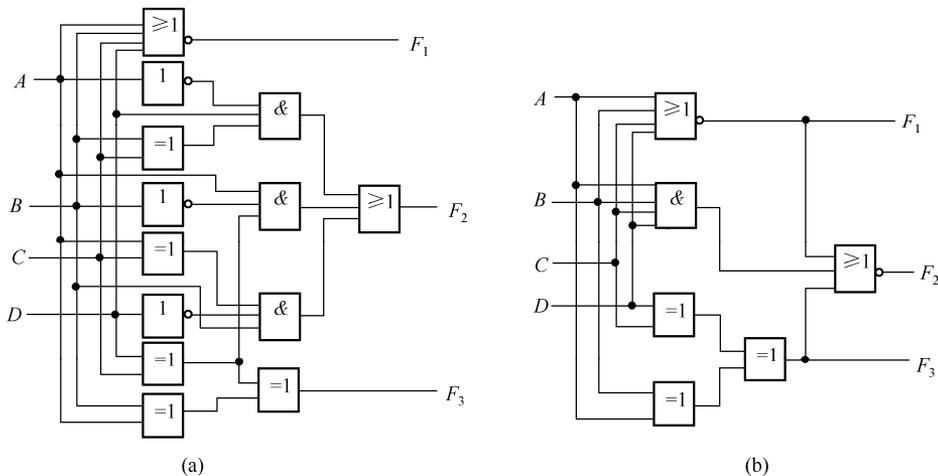


图 3.6 例 3.5 的实现电路

【点评】 依据题意很容易写出 F_1 和 F_3 ，因 F_2 最复杂，故用式 (3.4) 求它，这样设计的电路最佳，在写出式 (3.4) 时，应考虑 4 位码为全 1 的情况没有包含在 $F_1 \sim F_3$ 之中，所以必须加上 $ABCD$ 这一项。由本例可以看出，灵活设计法在简化设计过程和简化电路两方面有明显的优点。

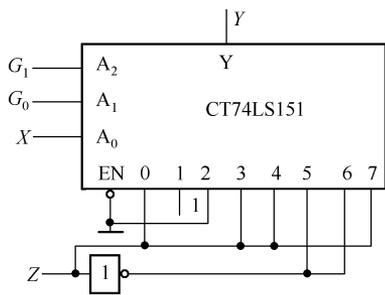


图 3.7 例 3.6 电路图

【例 3.6】 用八选一数据选择器接成的多功能组合逻辑电路如图 3.7 所示， G_1 和 G_0 为功能选择输入信号， X 和 Z 为输入逻辑变量， Y 为输出信号。试分析该电路在不同的选择信号下，可获得哪几种逻辑功能。

【解题思路】 本例所示电路为由组合逻辑功能器件构成的组合逻辑电路，其功能的分析需要根据器件的功能和电路的连接得出。

【解题过程】 图中， G_1 、 G_0 、 X 作为地址输入信号， Z 作为数据变量作用于八选一数据选择器，根据题意及八选一数据选择器的逻辑功能可写出 Y 的表达式：

$$Y = \overline{G_1} \overline{G_0} \overline{X} D_0 + \overline{G_1} \overline{G_0} X D_1 + \overline{G_1} G_0 \overline{X} D_2 + \overline{G_1} G_0 X D_3 + G_1 \overline{G_0} \overline{X} D_4 + G_1 \overline{G_0} X D_5 + G_1 G_0 \overline{X} D_6 + G_1 G_0 X D_7$$

$$= \overline{G_1} \overline{G_0} (\overline{X} D_0 + X D_1) + \overline{G_1} G_0 (\overline{X} D_2 + X D_3) + G_1 \overline{G_0} (\overline{X} D_4 + X D_5) + G_1 G_0 (\overline{X} D_6 + X D_7)$$

在选择输入信号 G_1 、 G_0 的不同取值组合下，输出函数 Y 与 X 、 Z 的函数关系如表 3.8 所示。因此，电路可获得或、与、异或和同或 4 种逻辑功能。

【点评】 分析包含组合逻辑功能器件的电路功能时，应依据器件的功能给出电路的输入和输出的逻辑关系，从而判断逻辑电路的功能。若输入和输出的逻辑关系不易确定时，还要借助功能表来完成。

【例 3.7】 设计一个多功能组合逻辑电路， M_1 、 M_0 为多功能选择输入信号， a 、 b 为逻辑变量， F 为电路的输出，当 $M_1 M_0$ 取不同值时，电路具有不同的逻辑功能如表 3.9 所示。试用八选一数据选择器和最少的与非门实现，规定 M_1 、 M_0 及 a 分别接选择器的 $A_2 A_1 A_0$ ，如图 3.8 所示。

表 3.8 例 3.6 功能表

G_1	G_0	Y	功能
0	0	$\overline{X}Z + X \cdot 1$	$X + Z$
0	1	$\overline{X} \cdot 0 + XZ$	$X \cdot Z$
1	0	$\overline{X}Z + X\overline{Z}$	$X \oplus Z$
1	1	$\overline{X}\overline{Z} + XZ$	$X \odot Z$

表 3.9 例 3.7 逻辑功能

输入		输出
M_1	M_0	F
0	0	a
0	1	$a \oplus b$
1	0	ab
1	1	$a + b$

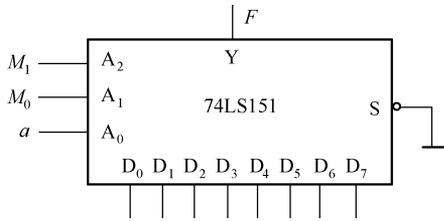


图 3.8 八选一数据选择器

【解题思路】 由于数据选择器的逻辑函数表达式 $Y = \sum_{i=0}^{n-1} D_i m_i$ 是关于地址输入变量的最小项表达式，而任何逻辑函数都可以化为唯一的最小项表达式形式，故采用数据选择器 (MUX) 可以实现任何一个组合逻辑函数。

用 MUX 实现一般逻辑函数的方法：对于任一 n 变量函数 F ，要用“ 2^k 选 1 MUX” ($k \leq n$) 来实现它，只要从 n 个变量中提出 k 个变量作为控制输入端 (地址输入端)，而将其余 $n-k$ 个变量组成 2^k 个与那 k 个变量的所有组合状态相对应的子函数，并将它们的输出分别接到 MUX 的 2^k 个数据输入端即可。而这 2^k 个数据输出端子函数可把函数 F 变换成与 MUX 输出函数式完全对应的形式，然后确定 MUX 每个输入端应该接入的变量或常量。

【解题过程】

由表 3.9 所示的功能表，可得输出函数表达式：

$$F = \overline{M_1} \overline{M_0} a + \overline{M_1} M_0 (a \oplus b) + M_1 \overline{M_0} ab + M_1 M_0 (a + b)$$

$$= \overline{M_1} \overline{M_0} a + \overline{M_1} M_0 \overline{ab} + \overline{M_1} M_0 ab + M_1 \overline{M_0} ab + M_1 M_0 a + M_1 M_0 b$$

当 $\overline{S} = 0$ 时，8 选 1 数据选择器的输出为：

$$Y = \overline{A_2} \overline{A_1} \overline{A_0} D_0 + \overline{A_2} \overline{A_1} A_0 D_1 + \overline{A_2} A_1 \overline{A_0} D_2 + \overline{A_2} A_1 A_0 D_3$$

$$+ A_2 \overline{A_1} \overline{A_0} D_4 + A_2 \overline{A_1} A_0 D_5 + A_2 A_1 \overline{A_0} D_6 + A_2 A_1 A_0 D_7$$

根据图 3.8 的连接要求，将 $A_2 = M_1$ ， $A_1 = M_0$ ， $A_0 = a$ 代入上式，得

$$Y = \overline{M_1} \overline{M_0} a D_0 + \overline{M_1} \overline{M_0} a D_1 + \overline{M_1} M_0 \overline{a} D_2 + \overline{M_1} M_0 a D_3 + M_1 \overline{M_0} \overline{a} D_4 +$$

$$M_1 \overline{M_0} a D_5 + M_1 M_0 \overline{a} D_6 + M_1 M_0 a D_7$$

比较 Y 和 F 的表达式，可得

$$D_0 = 0, D_1 = 1, D_2 = b, D_3 = \overline{b}, D_4 = 0, D_5 = b, D_6 = b, D_7 = 1$$

故可画出具体的连线图如图 3.9 所示。

【点评】 本例给出了利用数据选择器来实现任意组合逻辑函数的一般方法。值得注意的是，数据选择器适于实现单输出的组合逻辑电路。

【例 3.8】 集成 3-8 译码器 74LS138 逻辑图如图 3.10 所示，要求用此 3-8 译码器和适当的逻辑门 (规定与非门) 设计一个全减器；设 A_i 为被减数， B_i 为减数，低位向该位的借位为 J_i ，差为 D_i ，向高位借位为 J_{i+1} 。

- (1) 列出全减器真值表；
- (2) 写出函数逻辑表达式；
- (3) 画出实现逻辑电路图。

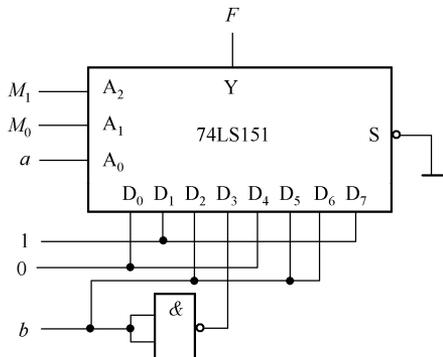


图 3.9 例 3.7 的实现电路

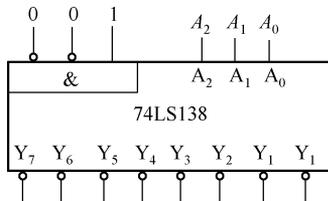


图 3.10 74LS138 逻辑图

【解题思路】 利用译码器外加适当的门电路进行组合逻辑电路的设计时，有一定的规律和步骤可以遵循，具体如下：

1) 选择译码器。选择的原则是，要实现函数的变量数等于译码器变量输入端数。

2) 列出要实现的组合电路的真值表或将要实现的函数展开为最小项表达式。

3) 画逻辑图。将变量送入译码器的变量输入端，利用适当门电路便可以得到输出函数。而至于选用什么样的门电路较为合适，则取决于所选用的译码器是高电平输出有效还是低电平输出有效：若为低电平输出有效，则选用与非门较为合适；反之，若为高电平输出有效，则选用或门较为合适。

本例要求设计的全减器，有 3 个输入逻辑变量（即被减数 A_i 、减数 B_i 和低位借位 J_i ）和 2 个输出逻辑函数（即本位差 D_i 和向高位借位 J_{i+1} ），求解时只要将全减器的被减数 A_i 、减数 B_i 和低位向该位的借位 J_i 作为译码器的地址输入，再利用与非门便可分别得到全减器的差 D_i 和向高位借位 J_{i+1} 。

【解题过程】

(1) 根据题意，列出全减器真值表，如表 3.10 所示。

(2) 根据真值表，写出输出函数逻辑表达式：

$$D_i = \overline{A_i} \overline{B_i} J_i + \overline{A_i} B_i \overline{J_i} + A_i \overline{B_i} \overline{J_i} + A_i B_i J_i$$

$$J_{i+1} = \overline{A_i} B_i J_i + \overline{A_i} \overline{B_i} \overline{J_i} + \overline{A_i} B_i \overline{J_i} + A_i B_i J_i$$

可见，若令 3-8 译码器的地址输入端 $A_2 = A_i$ ， $A_1 = B_i$ ， $A_0 = J_i$ ，则有

$$D_i = \overline{A_2} \overline{A_1} A_0 + \overline{A_2} A_1 \overline{A_0} + A_2 \overline{A_1} \overline{A_0} + A_2 A_1 A_0 = Y_1 + Y_2 + Y_4 + Y_7 = \overline{Y_1} \cdot \overline{Y_2} \cdot \overline{Y_4} \cdot \overline{Y_7}$$

$$J_{i+1} = \overline{A_2} \overline{A_1} A_0 + \overline{A_2} A_1 \overline{A_0} + A_2 \overline{A_1} \overline{A_0} + A_2 A_1 A_0 = Y_1 + Y_2 + Y_3 + Y_7 = \overline{Y_1} \cdot \overline{Y_2} \cdot \overline{Y_3} \cdot \overline{Y_7}$$

(3) 画出逻辑图：如图 3.11 所示。

【点评】 采用译码器另加适当的门电路，不仅可以方便地实现单输出函数的组合逻辑电路，而且可以方便地实现多输出函数的组合逻辑电路。

【例 3.9】 试将两片 3-8 译码器 74LS138 扩展成为 4-16 译码器。

【解题思路】 本例要求用两片 3-8 译码器 74LS138 扩展成为 4-16 译码器。只要将两片 3-8 译码器 74LS138 的输入端 A_2 、 A_1 、 A_0 分别连在一起，作为 4-16 译码器的低 3 位地址输入；通过使能端的合理连接，引入第 4 个地址输入，使得在该地址输入不同取值下，两片 3-8 译码

表 3.10 例 3.8 真值表

输入			输出	
A_i	B_i	J_i	D_i	J_{i+1}
0	0	0	0	0
0	0	1	1	1
0	1	0	1	1
0	1	1	0	1
1	0	0	1	0
1	0	1	0	0
1	1	0	0	0
1	1	1	1	1

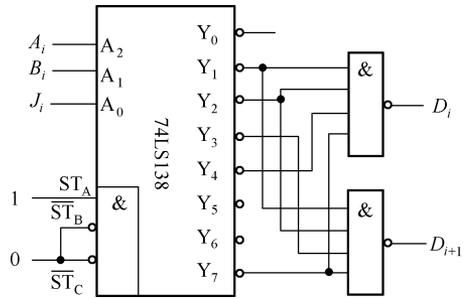


图 3.11 例 3.8 的实现电路

器分别工作;将两片 3-8 译码器的 8 个输出分别作为 4-16 译码器的低 8 位输出和高 8 位输出,便可构成 4-16 译码器。

【解题过程】 地址并联,合理处理使能端,使之扩展为高位地址,得到 4-16 译码器如图 3.12 所示。

【点评】 实现译码器扩展的关键,在于正确分析其使能端、地址输入与译码输出间的关系,以便能合理利用译码器的使能端。同样,其他功能器件扩展的关键,也在于使能端的合理连接上。

【例 3.10】 判断逻辑函数 $F(A,B,C,D) = \overline{AB} + AD + \overline{CD}$ 的电路是否存在冒险。

【解题思路】 若在电路的输出“与或”或“或与”表达式中,既包含某变量的原变量,又包含其反变量,当将其他变量取值为 1(或 0)时,输出函数将出现 $F = A + \overline{A}$ (或 $F = A \cdot \overline{A}$),则该电路存在冒险。

【解题过程】 式中,变量 A 和 D 存在互补情况,由于当 $B=D=1$ 时, $F = A + \overline{A}$; 当 $A=1, C=0$ 时, $F = D + \overline{D}$, 故存在冒险。

【点评】 该类题目需记清楚冒险产生的条件,然后根据相应的情况即能判断出所给函数式是否存在冒险。

3.3.2 考研试题解析

【例 3.11】

(1) 图3.13所示电路是一个多功能函数发生器,其中 $C_2、C_1、C_0$ 为控制信号, $X、Y$ 为数据输入,试列表说明当 $C_2、C_1、C_0$ 为不同取值组合时,输出端 L 的逻辑功能($L(X、Y)$ 的表达式)。

(2) 试改用一个 4 选 1 多路数据选择器($\frac{1}{2}$ 74LS352)(参见表 3.11 及图3.14)及最少的门电路实现上述多功能函数发生器。(上海交通大学)

【解题思路】 本例是一个组合逻辑电路分析与组合逻辑电路设计相结合的试题,需要综合采用上述组合逻辑电路分析与设计的方法。

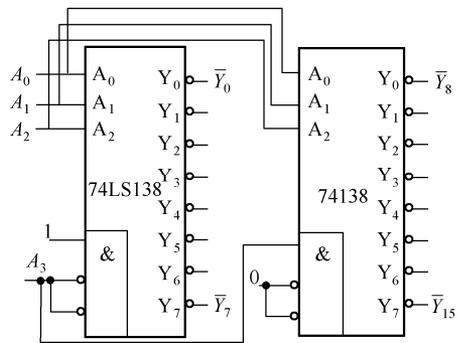


图 3.12 4-16 译码器

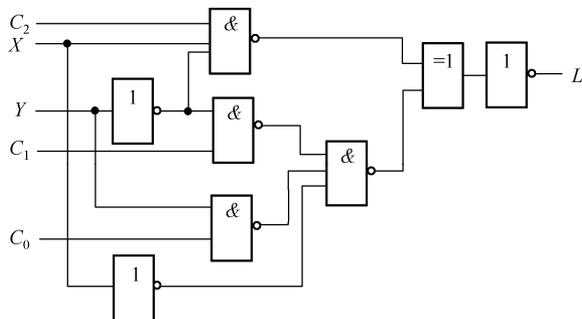


图 3.13 多功能函数发生器

【解题过程】

(1) 由图 3.13 可写出

$$L = \overline{\overline{C_2XY}} \oplus \overline{\overline{C_1YC_0YX}} \quad (3.5)$$

由式 (3.5) 可以列出多功能函数发生器在不同的 $C_2C_1C_0$ 取值组合下, 输出端 L 关于 X 、 Y 的功能表, 如表 3.12 所示。

表 3.11 74LS352 功能表

\bar{S}	B	A	Z
1	\times	\times	1
0	0	0	D_0
0	0	1	D_1
0	1	0	D_2
0	1	1	D_3

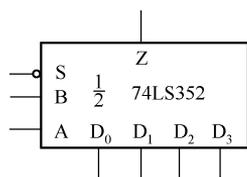


图 3.14 74LS352 的逻辑符号

表 3.12 功能表

C_2	C_1	C_0	$L(X, Y)$
0	0	0	X
0	0	1	$X+Y$
0	1	0	$X+\bar{Y}$
0	1	1	1
1	0	0	XY
1	0	1	Y
1	1	0	$X \odot Y$
1	1	1	$\bar{X}+Y$

(2) 反复利用反演律, 将输出 L 的逻辑函数表达式变换为 X 、 Y 的最小项表达式形式:

$$\begin{aligned} L &= \overline{\overline{C_2XY}} \oplus \overline{\overline{C_1Y \cdot C_0Y \cdot X}} \\ &= C_2XY \cdot [C_1\bar{Y} \cdot C_0\bar{Y} \cdot \bar{X}] + \overline{C_2XY \cdot C_1\bar{Y} \cdot C_0Y \cdot X} \\ &= (\bar{C}_2 + \bar{X} + Y) \cdot (C_1\bar{Y} + C_0Y + X) \\ &= \bar{C}_2C_1\bar{Y} + \bar{C}_2C_0Y + \bar{C}_2X + C_1\bar{X}\bar{Y} + C_0\bar{X}Y + C_0Y + XY \\ &= \bar{C}_2C_1\bar{Y} + C_0Y + \bar{C}_2X + C_1\bar{X}\bar{Y} + XY \\ &= \bar{C}_2C_1(X + \bar{X})\bar{Y} + C_0(X + \bar{X})Y + \bar{C}_2X(Y + \bar{Y}) + C_1\bar{X}\bar{Y} + XY \\ &= C_1\bar{X}\bar{Y} + C_0\bar{X}Y + \bar{C}_2X\bar{Y} + XY \end{aligned}$$

可见, 只要令 4 选 1 数据选择器的地址输入 $B=X$, $A=Y$, 则有 $D_0=C_1$, $D_1=C_0$, $D_2=\bar{C}_2$, $D_3=1$, 故用 1 个四选 1 多路数据选择器及门电路实现的电路如图 3.15 所示。

【点评】 上述逻辑函数有 5 个变量, 而四选 1 多路数据选择器的地址输入端只有两个, 因此选择哪两个变量连到地址输入端是至关重要的, 需要根据逻辑函数表达式加以分析来确定。

【例 3.12】 图 3.16 所示逻辑电路所用器件为 74LS153 (双 4 选 1 多路开关), 试列出 F_1 、 F_2 的逻辑函数表达式, 并求其最简与或表达式。(北京航空航天大学)

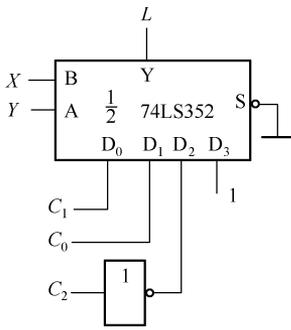


图 3.15 74LS352 实现的函数发生器

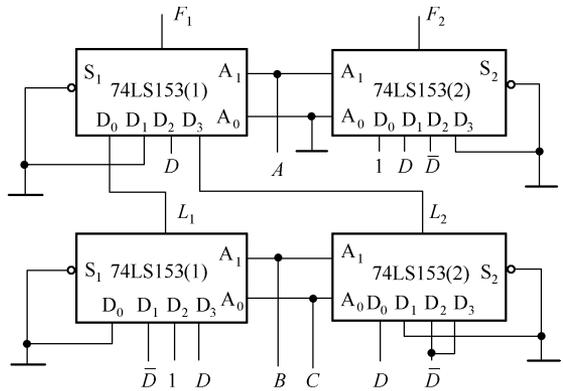


图 3.16 例 3.13 电路图

【解题思路】 本例考查中规模组合逻辑器件 74153 的应用。74153 是双四选一数据选择器，其输出逻辑表达式为 $F = (\overline{A_1 A_0} D_0 + \overline{A_1} A_0 D_1 + A_1 \overline{A_0} D_2 + A_1 A_0 D_3) \overline{S}$ 。根据此表达式及图 3.16 中的电路连接情况，即可列出逻辑函数表达式。

【解题过程】

图 3.16 中，各芯片的使能端都接了有效电平，对于下部器件，有 $A_1 = B$ 、 $A_0 = C$ 。所以

$$L_1 = \overline{BC} \cdot \overline{D} + \overline{BC} \cdot 1 + BC \cdot D = \overline{BCD} + \overline{BC} + BD$$

$$L_2 = \overline{BC} \cdot D + \overline{BC} \cdot \overline{D} + BC \cdot \overline{D} = \overline{BCD} + \overline{BD}$$

对于上部器件，有 $A_1 = A$ ， $A_0 = 0$ ，所以

$$\begin{aligned} F_1 &= \overline{A_1 A_0} \cdot L_1 + \overline{A_1} A_0 \cdot 0 + A_1 \overline{A_0} \cdot D + A_1 A_0 \cdot L_2 = \overline{A} L_1 + AD \\ &= \overline{ABC} \overline{D} + \overline{ABC} + \overline{ABD} + AD = \overline{ABC} \overline{D} + \overline{ABC} + BD + AD \end{aligned}$$

$$F_2 = \overline{A_1 A_0} \cdot 1 + \overline{A_1} A_0 \cdot D + A_1 \overline{A_0} \cdot \overline{D} + A_1 A_0 \cdot 0 = \overline{A} + \overline{AD} = \overline{A} + \overline{D}$$

【点评】 分析以组合逻辑器件为组件的电路功能，关键要熟练掌握组合逻辑器件的功能。因此，常用组合逻辑器件如四选一数据选择器 74153、八选一数据选择器 74151 和 3-8 译码器 74138 等的逻辑功能应重点掌握。

【例 3.13】 图 3.17 中，COMP 为四位数值比较器 CT74LS85，已知其功能表（见表 3.13）。输入 $X = x_3 x_2 x_1 x_0$ 为一个四位二进制数， F_3 、 F_2 、 F_1 为输出。试分析该电路的功能。（北京理工大学）

表 3.13 四位数码比较器功能表

比较输入				级联输入			输出				
$A_3 B_3$	$A_2 B_2$	$A_1 B_1$	$A_0 B_0$	$I_{(A>B)}$	$I_{(A<B)}$	$I_{(A=B)}$	$Y_{(A>B)}$	$Y_{(A<B)}$	$Y_{(A=B)}$		
$A_3 > B_3$	×	×	×	×	×	×	1	0	0		
$A_3 < B_3$	×	×	×	×	×	×	0	1	0		
$A_3 = B_3$	$A_2 > B_2$	×	×	×	×	×	1	0	0		
	$A_2 < B_2$	×	×	×	×	×	0	1	0		
	$A_2 = B_2$	$A_1 > B_1$	×	×	×	×	×	1	0	0	
		$A_1 < B_1$	×	×	×	×	×	0	1	0	
		$A_1 = B_1$	$A_0 > B_0$	×	×	×	×	×	1	0	0
			$A_0 < B_0$	×	×	×	×	×	0	1	0

(续表)

比较输入				级联输入			输出		
$A_3 B_3$	$A_2 B_2$	$A_1 B_1$	$A_0 B_0$	$I_{(A>B)}$	$I_{(A<B)}$	$I_{(A=B)}$	$Y_{(A>B)}$	$Y_{(A<B)}$	$Y_{(A=B)}$
			$A_0=B_0$	1	0	0	1	0	0
				0	1	0	0	1	0
				0	0	1	0	0	1

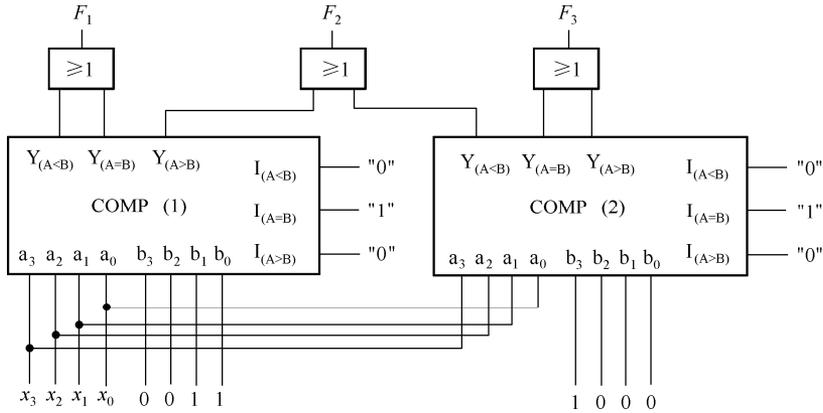


图 3.17 例 3.13 电路图

【解题思路】 4 位数值比较器 CT74LS85 有两组 4 位数据输入端 $a_3a_2a_1a_0$ 和 $b_3b_2b_1b_0$ ，用于接收待比较的 2 个 4 位二进制数，并有 3 个级联输入端 $I_{(A<B)}$ 、 $I_{(A=B)}$ 、 $I_{(A>B)}$ ，用于接收低位比较的输出。器件有 3 个输出端，分别给出 3 种比较结果，即 $Y_{(A<B)}$ 、 $Y_{(A=B)}$ 、 $Y_{(A>B)}$ 。根据器件功能可分析得出该电路功能。

【解题过程】 本例电路实际上是由两个 CT74LS85 组成的 4 位二进制的比较电路。第一片用于比较 $X = x_3x_2x_1x_0$ 与二进制数 0011 的大小，而第二片则用于比较 $X = x_3x_2x_1x_0$ 与二进制数 1000 的大小，两片比较器的输出经门电路组合出 3 种比较结果，即 F_1 、 F_2 、 F_3 。

分析给定电路可知： $X \leq 3$ 时， $F_1 = 1$ ； $3 < X < 8$ 时， $F_2 = 1$ ； $X \geq 8$ 时， $F_3 = 1$ 。

【点评】 本例的目的在于熟悉并掌握 4 位数值比较器 CT74LS85 的工作原理及用它来实现多个 4 位二进制数比较的级联方法，以达到灵活应用的目的。注意，由于 CT74LS85 和 CC14585 采用的电路结构不同，故其级联输入端的用法也不完全一样，使用时应加以区别。

【例 3.14】 由 4 位超前进位加法器 74LS283 和 4 位二选一数据选择器 74LS157 组成的电路如图 3.18 所示，其中 S 为输入控制信号。试填写表 3.14 所示的输入/输出对照表，并概述电路的逻辑功能。（南京航空航天大学）

【解题思路】 根据器件功能和电路连接，写出 $Y_4Y_3Y_2Y_1$ 的关系表达式，填写输入、输出对照表，即可分析得出电路的逻辑功能。

【解题过程】 本例电路由 4 位超前进位加法器 74LS283 和 4 位二选一数据选择器 74LS157 组成，输入控制端 S 既是 4 位二选一数据选择器的公共地址输入，又是 4 位加法器 74LS283 的进位输入，还控制着 4 位加法器的 $B_3B_2B_1B_0$ 的取值。当 $S=0$ 时，4 位二选一数据选择器的输出 $Y_i = D_{i0}$ ，所以 $Y_4Y_3Y_2Y_1 = b_4b_3b_2b_1$ ；而当 $S=1$ 时，4 位二选一数据选择器的输出 $Y_i = D_{i1}$ ，同时由于 $b_i \oplus 1 = \overline{b_i}$ ，所以对于 4 位加法器 74LS283 来说， $B_3B_2B_1B_0 = \overline{b_4b_3b_2b_1}$ ， $S_3S_2S_1S_0 = \overline{b_4b_3b_2b_1} + 1$ ，故 $Y_4Y_3Y_2Y_1 = \overline{b_4b_3b_2b_1} + 1$ 。

根据上述分析，可填写输入/输出对照表如表 3.15 所示。

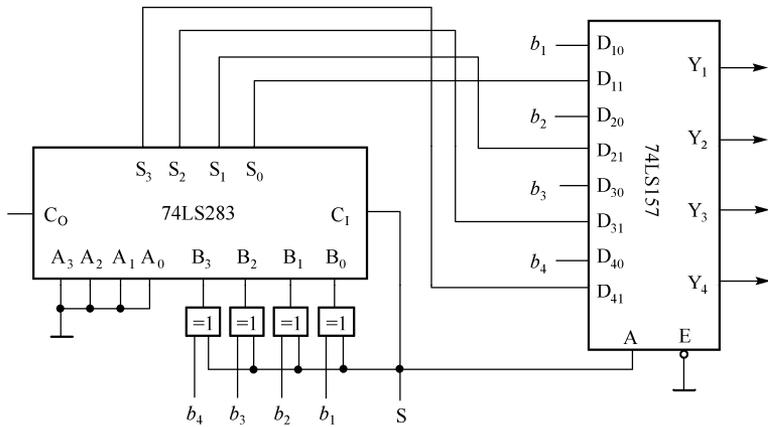


图 3.18 例 3.14 的电路图

表 3.14 输入/输出对照表(一)

输入	S = 0				S = 1			
$b_4 b_3 b_2 b_1$	Y_1	Y_2	Y_3	Y_4	Y_1	Y_2	Y_3	Y_4
0 0 0 0								
0 0 1 1								
0 1 0 1								
0 1 1 0								
1 0 0 1								
1 0 1 0								
1 1 0 0								
1 1 1 1								

表 3.15 输入/输出对照表(二)

输入	S = 0				S = 1			
$b_4 b_3 b_2 b_1$	Y_1	Y_2	Y_3	Y_4	Y_1	Y_2	Y_3	Y_4
0 0 0 0	0	0	0	0	0	0	0	0
0 0 1 1	1	1	0	0	1	0	1	1
0 1 0 1	1	0	1	0	1	1	0	1
0 1 1 0	0	1	1	0	0	1	0	1
1 0 0 1	1	0	0	1	1	1	1	0
1 0 1 0	0	1	0	1	0	1	1	0
1 1 0 0	0	0	1	1	0	0	1	0
1 1 1 1	1	1	1	1	1	0	0	0

电路功能分析：本例电路实际上是一个带符号四位二进制数 $b_4b_3b_2b_1$ 的补码发生器。其中， S 表示符号位，“0”表示正数的符号，“1”表示负数的符号。由于正数的补码等于它的原码，负数的补码等于它的反码的最低位加 1，并且符号位保持不变，所以，电路在 $S=0$ 时，输出 $Y_4Y_3Y_2Y_1 = b_4b_3b_2b_1$ ；而在 $S=1$ 时，输出 $Y_4Y_3Y_2Y_1 = \overline{b_4b_3b_2b_1} + 1$ 。

【点评】 本例考查超前进位加法器和数据选择器的应用。要得出正确分析结果，不仅需要熟悉、掌握这些器件的功能，而且还要培养分析能力，以灵活掌握其应用。

3.4 自测题及解答

3.1 判断题(正确的在括号内打“√”，否则打“×”)

1. 优先编码器的编码信号是相互排斥的，不允许多个编码信号同时有效。()
2. 编码与译码是互逆的过程。()
3. 二进制译码器相当于是一个最小项发生器，便于实现组合逻辑电路。()
4. 组合逻辑电路可以用逻辑函数表达式、真值表、逻辑电路图和卡诺图来表示。()
5. BS201A 是共阳极数码管。()
6. 数据选择器和数据分配器的功能正好相反，互为逆过程。()
7. 输出高电平有效的七段显示译码器可用来驱动共阳极显示器。()
8. 组合逻辑电路中产生竞争-冒险的主要原因是输入信号受到尖峰干扰的影响。()

【解题 3.1】 1. × 2. √ 3. √ 4. √ 5. × 6. √ 7. × 8. ×

3.2 选择题

- 下列表达式中不存在竞争-冒险的有()。

A. $Y = \bar{B} + AB$ B. $Y = AB + \bar{B}C$ C. $Y = ABC\bar{C} + AB$ D. $Y = (A + \bar{B})A\bar{D}$
- 若在编码器中有 50 个编码对象, 则要求输出二进制代码位数为()位。

A. 5 B. 6 C. 10 D. 50
- 一个 16 选 1 数据选择器, 其地址输入(选择控制输入)端有()个。

A. 1 B. 2 C. 4 D. 16
- 下列各函数等式中无冒险现象的函数式有()。

A. $F = \bar{B}\bar{C} + AC + \bar{A}B$ B. $F = \bar{A}\bar{C} + BC + \bar{A}\bar{B}$
 C. $F = \bar{A}\bar{C} + BC + \bar{A}\bar{B} + \bar{A}B$ D. $F = \bar{B}\bar{C} + AC + \bar{A}\bar{B} + BC + \bar{A}\bar{B} + \bar{A}\bar{C}$
 E. $F = \bar{B}\bar{C} + AC + \bar{A}\bar{B} + \bar{A}\bar{B}$
- 函数 $F = \bar{A}C + AB + \bar{B}C$, 当变量的取值为()时, 将出现冒险现象。

A. $B = C = 1$ B. $B = C = 0$ C. $A = 1, C = 0$ D. $A = 0, B = 0$
- 4 选 1 数据选择器的数据输出 Y 与数据输入 X_i 和地址输入 A_i 之间的逻辑表达式为 $Y =$ ()。

A. $\bar{A}_1\bar{A}_0X_0 + \bar{A}_1A_0X_1 + A_1\bar{A}_0X_2 + A_1A_0X_3$ B. $\bar{A}_1\bar{A}_0X_0$
 C. $\bar{A}_1A_0X_1$ D. $A_1A_0X_3$
- 一个 8 选 1 数据选择器的数据输入端有()个。

A. 1 B. 2 C. 3 D. 4 E. 8
- 在下列逻辑电路中, 不是组合逻辑电路的有()。

A. 译码器 B. 编码器 C. 全加器 D. 寄存器
- 8 路数据分配器, 其地址输入端有()个。

A. 1 B. 2 C. 3 D. 4 E. 8
- 组合逻辑电路无法消除竞争-冒险的是()。

A. 修改逻辑设计 B. 在输出端接入滤波电容
 C. 后级加缓冲电路 D. 屏蔽输入信号的尖峰干扰
- 101 键盘的编码器输出()位二进制代码。

A. 2 B. 6 C. 7 D. 8
- 用 3-8 译码器 74LS138 实现反码输出的 8 路数据分配器, 应()。

A. $ST_A = 1, \bar{S}T_B = D, \bar{S}T_C = 0$ B. $ST_A = 1, \bar{S}T_B = D, \bar{S}T_C = D$
 C. $ST_A = 1, \bar{S}T_B = 0, \bar{S}T_C = D$ D. $ST_A = D, \bar{S}T_B = 0, \bar{S}T_C = 0$
- 在以下电路中, 加以适当的辅助门电路, ()适于实现输出组合逻辑电路。

A. 二进制译码器 B. 数据选择器
 C. 数值比较器 D. 七段显示译码器
- 用 4 选 1 数据选择器实现函数 $Y = A_1A_0 + \bar{A}_1A_0$, 应使()。

A. $D_0 = D_2 = 0, D_1 = D_3 = 1$ B. $D_0 = D_2 = 1, D_1 = D_3 = 0$
 C. $D_0 = D_1 = 0, D_2 = D_3 = 1$ D. $D_0 = D_1 = 1, D_2 = D_3 = 0$
- 用 3-8 译码器 74LS138 和辅助门电路实现逻辑函数 $Y = A_2 + \bar{A}_2\bar{A}_1$, 应()。

A. 用与非门, $Y = \bar{Y}_0\bar{Y}_1\bar{Y}_4\bar{Y}_5\bar{Y}_6\bar{Y}_7$ B. 用与门, $Y = \bar{Y}_2\bar{Y}_3$

C. 用或门, $Y = \bar{Y}_2 + \bar{Y}_3$

D. 用或门, $Y = \bar{Y}_0 + \bar{Y}_1 + \bar{Y}_4 + \bar{Y}_5 + \bar{Y}_6 + \bar{Y}_7$

【解题 3.2】

1. CD 2. B 3. C 4. D 5. ACD 6. A 7. E 8. D 9. C 10. CD
11. C 12. D 13. AB 14. A 15. AB

3.3 填空题

1. 对于共阳接法的发光二极管数码显示器, 应采用_____电平驱动的七段显示译码器。
2. 消除竞争-冒险的方法有_____、_____、_____等。

【解题 3.3】

1. 低 2. 修改逻辑设计 接入滤波电容 加选通脉冲

3.5 习题及解答

3.1 写出图 P3.1 所示电路的输出函数逻辑表达式, 列出真值表, 并指出其逻辑功能。

【解题 3.1】

(1) 写输出逻辑函数表达式

由图 P3.1 可以写出输出逻辑函数表达式为: $L = AP + BP + CP = (A + B + C)P = (A + B + C)\overline{ABC}$, 化简之后为 $L = \bar{A}\bar{B} + \bar{A}\bar{C} + \bar{B}\bar{C}$ 。

(2) 列真值表

根据化简后的输出表达式可列出真值表如表解 P3.1 所示。

表解 P3.1

A	B	C	L	A	B	C	L	A	B	C	L	A	B	C	L
0	0	0	0	0	1	0	1	1	0	0	1	1	1	0	1
0	0	1	1	0	1	1	1	1	0	1	1	1	1	1	0

(3) 分析逻辑功能

由表解P3.1可以看出, 当 A、B、C 三个变量不一致时, 电路输出为“1”, 当 A、B、C 三个变量一致时, 电路输出为“0”, 所以这个电路为“不一致电路”。

3.2 写出图P3.2所示电路的逻辑函数表达式, 其中 $S_3 \sim S_0$ 为控制信号, A, B 作为输入变量, 列出真值表说明在 $S_3 \sim S_0$ 作用下输出变量 Y 与 A, B 的关系。

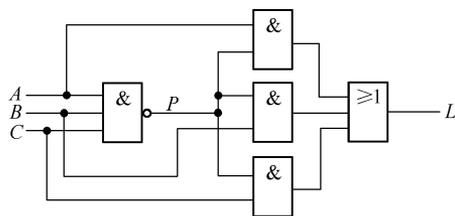


图 P3.1

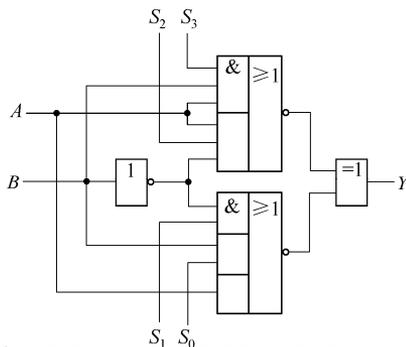


图 P3.2

【解题 3.2】 根据图 P3.2 可写出输出逻辑函数表达式为 $Y = \overline{S_3 AB + S_2 A\overline{B}} \oplus \overline{BS_1 + BS_0 + A}$ 。根据上式列出功能表如表解 P3.2 所示。

表解 P3.2

S_3	S_2	S_1	S_0	Y	S_3	S_2	S_1	S_0	Y	S_3	S_2	S_1	S_0	Y	S_3	S_2	S_1	S_0	Y
0	0	0	0	A	0	1	0	0	AB	1	0	0	0	$A\overline{B}$	1	1	0	0	0
0	0	0	1	$A+B$	0	1	0	1	B	1	0	0	1	$A\oplus B$	1	1	0	1	\overline{AB}
0	0	1	0	$A+\overline{B}$	0	1	1	0	$A\odot B$	1	0	1	0	\overline{B}	1	1	1	0	$\overline{A\overline{B}}$
0	0	1	1	1	0	1	1	1	$\overline{A+B}$	1	0	1	1	$\overline{A\overline{B}}$	1	1	1	1	\overline{A}

由表解 P3.2 分析逻辑功能可知，该电路是函数发生器。

3.3 写出图 P3.3 所示电路的逻辑函数表达式，并分析其逻辑功能。

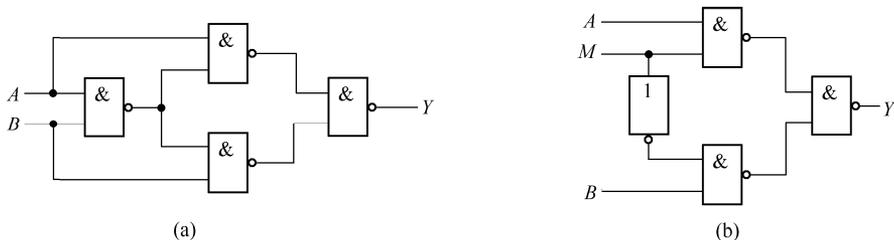


图 P3.3

【解题 3.3】 由图 P3.3(a) 可写出输出逻辑函数表达式为：

$$Y = \overline{\overline{A} \overline{B}} \cdot \overline{\overline{A} B} = \overline{A} \overline{B} + A B = A \oplus B \quad (3.6)$$

根据式 (3.6) 可分析得出该电路完成异或运算的逻辑功能。

由图 P3.3(b) 可写出输出逻辑函数表达式为：

$$Y = \overline{\overline{M} \overline{A}} \cdot \overline{\overline{M} \overline{B}} = M A + \overline{M} B \quad (3.7)$$

根据式 (3.7) 可以看出，当 $M=0$ 时， $Y=B$ ；当 $M=1$ 时， $Y=A$ 。所以该电路的逻辑功能为 2 选 1 数据选择器。

【点评】 对于组合逻辑电路分析此类题目，一般为了便于分析得出逻辑功能，往往要根据写出的输出逻辑函数表达式列出真值表；但由该题可以看出，当组合逻辑电路较为简单时，也可以直接根据输出逻辑函数表达式判断逻辑功能。

3.4 组合电路有 4 个输入 A, B, C, D 和一个输出 F 。当下面三个条件中任意一个成立时，输出 F 都等于 1：

(1) 所有输入等于 1；(2) 没有一个输入等于 1；(3) 奇数个输入等于 1。

试设计该组合电路，并用与非门实现。

【解题 3.4】 根据题意列出真值表如表解 P3.4 所示。

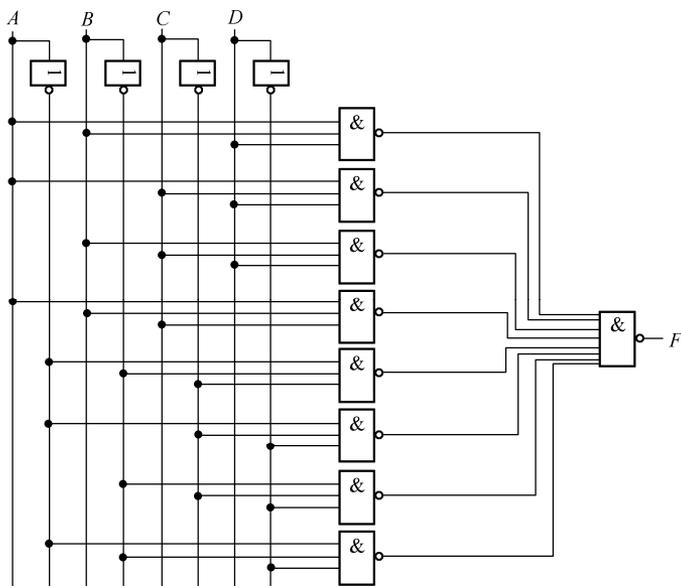
利用卡诺图化简并写出 F 的与或式，并化为与非-与非表达式：

$$\begin{aligned} F &= ABD + ACD + BCD + ABC + \overline{A}\overline{B}\overline{C} + \overline{A}\overline{C}\overline{D} + \overline{B}\overline{C}\overline{D} + \overline{A}\overline{B}\overline{D} \\ &= \overline{\overline{A} \overline{B} \overline{C} \overline{D}} \cdot \overline{\overline{A} \overline{C} \overline{D} \overline{B}} \cdot \overline{\overline{B} \overline{C} \overline{D} \overline{A}} \cdot \overline{\overline{A} \overline{B} \overline{D} \overline{C}} \end{aligned}$$

表解 P3.4

A	B	C	D	F
0	0	0	0	1
0	0	0	1	1
0	0	1	0	1
0	0	1	1	0
0	1	0	0	1
0	1	0	1	0
0	1	1	0	0
0	1	1	1	1
1	0	0	0	1
1	0	0	1	0
1	0	1	0	0
1	0	1	1	1
1	1	0	0	0
1	1	0	1	1
1	1	1	0	1
1	1	1	1	1

根据 F 的与非-与非表达式即可画出逻辑电路图，如图解 P3.4 所示。



图解 P3.4

3.5 已知 $X=AB$, AB 代表一个两位二进制数, 设计满足如下要求的逻辑电路, 用与非门实现。
 (1) $Y=X^2$; (2) $Y=X^3$ 。

【解题 3.5】

(1) 根据题意, $Y=X^2$, 2 位二进制数的平方最大是 1001, 因此输出用 4 位二进制数 $Y_3 \sim Y_0$ 表示, 列出真值表如表解 P3.5(a) 所示。

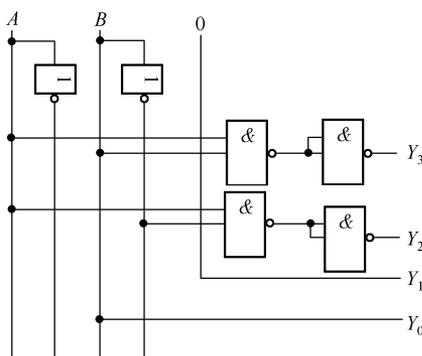
根据真值表, 写出最简表达式, 并转化为与非-与非形式。

$$Y_3 = AB = \overline{\overline{AB}} \quad Y_2 = \overline{AB} = \overline{\overline{\overline{AB}}} \quad Y_1 = 0 \quad Y_0 = B$$

根据最简与非-与非表达式即可画出逻辑电路图如图解 P3.5(a) 所示。

表解 P3.5(a)

A	B	Y_3	Y_2	Y_1	Y_0
0	0	0	0	0	0
0	1	0	0	0	1
1	0	0	1	0	0
1	1	1	0	0	1



图解 P3.5(a)

(2) 根据题意, $Y=X^3$, 2 位二进制数的立方最大是 11011, 因此输出用 5 位二进制 $Y_4 \sim Y_0$ 表示, 列出真值表如表解 P3.5(b) 所示。

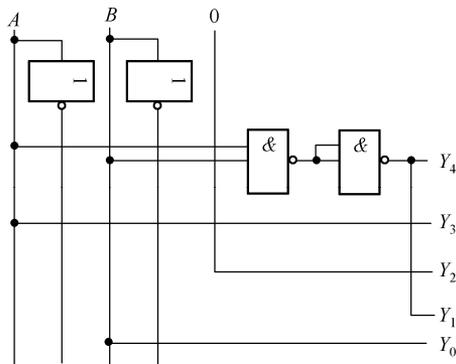
根据真值表, 写出最简表达式, 并转化为与非-与非形式, 如下所示:

$$Y_4 = AB = \overline{\overline{AB}} \quad Y_3 = A \quad Y_2 = 0 \quad Y_1 = AB = \overline{\overline{AB}} \quad Y_0 = B$$

根据最简与非-与非表达式即可画出逻辑电路图，如图解 P3.5 (b) 所示。

表解 P3.5 (b)

A	B	Y_4	Y_3	Y_2	Y_1	Y_0
0	0	0	0	0	0	0
0	1	0	0	0	0	1
1	0	0	1	0	0	0
1	1	1	1	0	1	1



图解 P3.5 (b)

3.6 用 2-4 译码器和与非门实现下列多输出函数，画出逻辑电路图。

$$\begin{cases} F_1 = AB + \overline{A}\overline{B}\overline{C} \\ F_2 = A + B + \overline{C} \\ F_3 = \overline{A}B + A\overline{B} \end{cases}$$

【解题 3.6】 译码器适于实现多输出逻辑函数，而且选择的译码器的地址输入端数目应与待实现函数的变量数相等。由待实现的逻辑表达式可以看出， F_1 和 F_2 是三变量逻辑函数，而 2-4 译码器只有两个地址输入端，因此若实现 F_1 和 F_2 ，需要将二片 2-4 译码器扩展成 3-8 译码器，以得到三个地址输入端。另外，为了用共同的译码器实现 F_3 ，可以把 F_3 也看成是三变量的逻辑函数。

将 F_1 、 F_2 、 F_3 表示成最小项之和的形式：

$$F_1 = AB + \overline{\overline{A}\overline{B}\overline{C}} = m_6 + m_7 + m_0 = \overline{\overline{m_6 \cdot m_7 \cdot m_0}}$$

$$F_2 = A + B + \overline{C} = \overline{m_1}$$

$$F_3 = \overline{A}B + A\overline{B} = m_2 + m_3 + m_4 + m_5 = \overline{\overline{m_2 \cdot m_3 \cdot m_4 \cdot m_5}}$$

画出逻辑电路图如图解 P3.6 所示。

【点评】 将 F_2 化成最小项之和的形式时，按照常规方法，有

$$F_2 = m_0 + m_2 + m_3 + m_4 + m_5 + m_6 + m_7 = \overline{\overline{m_0 \cdot m_2 \cdot m_3 \cdot m_4 \cdot m_5 \cdot m_6 \cdot m_7}}$$

但此处若用卡诺图圈“0”的方法即可得 $F_2 = \overline{m_1}$ ，则更为简单。

3.7 用 3-8 译码器和与非门实现下列函数。

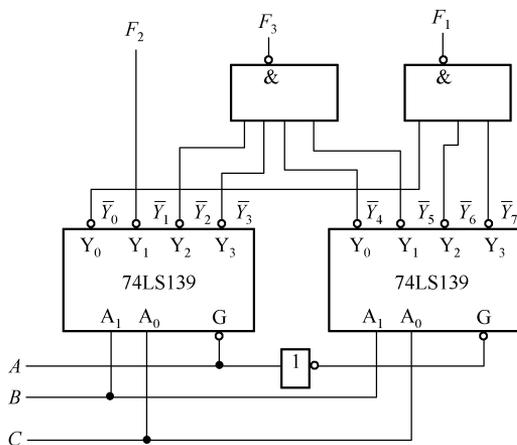
(1) $F_1 = \sum m(0, 2, 5, 6, 7)$

(2)
$$\begin{cases} F_1 = \overline{A}\overline{B}\overline{C} + A\overline{B}CD + ACD \\ F_2 = A\overline{B}\overline{C} + A\overline{B}CD + ABC \end{cases}$$

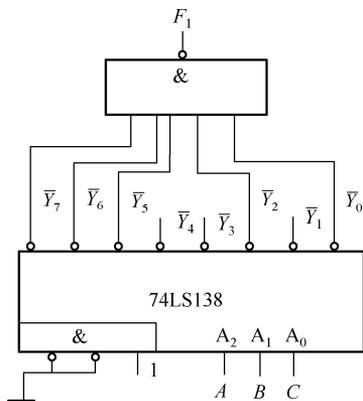
【解题 3.7】

$$(1) F_1 = \sum m(0, 2, 5, 6, 7) = m_0 + m_2 + m_5 + m_6 + m_7 = \overline{\overline{m_0 \cdot m_2 \cdot m_5 \cdot m_6 \cdot m_7}}$$

逻辑电路图如图解 P3.7(a) 所示。



图解 P3.6



图解 P3.7(a)

(2) 有两种解法。

【解法 1】 将逻辑函数表达式转换为最小项之和的形式：

$$\begin{cases} F_1 = m_2 + m_3 + m_{11} + m_{15} = \overline{\overline{m_2 \cdot m_3 \cdot m_{11} \cdot m_{15}}} \\ F_2 = m_{10} + m_{11} + m_{14} + m_{15} = \overline{\overline{m_{10} \cdot m_{11} \cdot m_{14} \cdot m_{15}}} \end{cases}$$

将两片 3-8 译码器扩展为 4-16 译码器，以实现四变量逻辑函数 F_1 、 F_2 。连接电路图如图解 P3.7(b) 所示。

【解法 2】 观察 F_1 、 F_2 两个函数式，将逻辑函数表达式作如下变换：提取出 C 变量、剩下的函数式转化成为 A 、 B 、 D 三变量的最小项表达式，转化过程如下：

$$F_1 = \overline{A}\overline{B}C + \overline{A}BCD + ACD = C(\overline{A}\overline{B} + \overline{A}BD + AD) = C(\overline{A}\overline{B}D + \overline{A}BD + \overline{A}BD + ABD)$$

$$F_2 = \overline{A}\overline{B}C + \overline{A}BCD + ABC = C(\overline{A}\overline{B} + \overline{A}BD + AB) = C(\overline{A}\overline{B}D + \overline{A}BD + \overline{A}BD + ABD + \overline{A}BD)$$

这时可将变量 C 连接到译码器的使能端，将 A 、 B 、 D 三变量连至地址输入端，连接电路图如图解 P3.7(c) 所示。

显然，解法 2 比解法 1 设计的电路更简单。

【点评】 当逻辑函数表达式可以提出一个变量因子时，通过将该变量因子连接到译码器的使能端，完全可以用 $n-2^n$ 译码器实现 $n+1$ 个变量的逻辑函数，且设计电路简单。

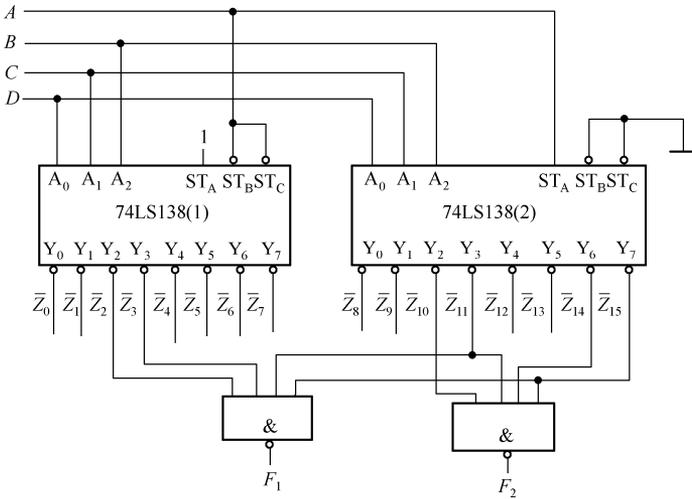
3.8 用 8 选 1 数据选择器实现下列函数。

(1) $F_1 = \sum m(1, 2, 4, 7)$

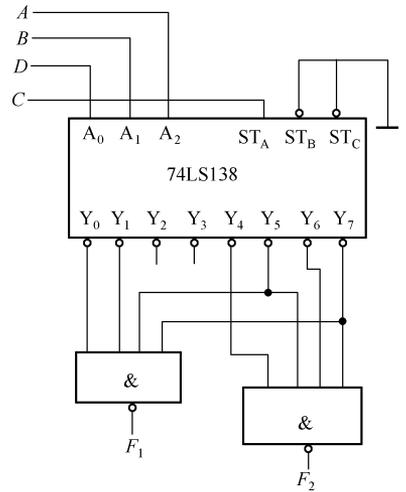
(2) $F_2 = \sum m(0, 1, 2, 3, 8, 9, 10, 11)$

【解题 3.8】

(1) 由 F_1 的逻辑函数表达式可知， F_1 为一个三变量函数，取 A 、 B 、 C 这 3 个变量，并将这 3 个输入变量与 74151 的 3 个地址端 $A_2A_1A_0$ 对应连接，输出变量接至数据选择器的输出



图解 P3.7(b)



图解 P3.7(c)

端：将逻辑函数 F_1 的最小项表达式与 74151 的输出表达式相比较（注意： F_1 式中没有出现的最小项对应的数据输入端应接 0），即可得： $D_0=D_3=D_5=D_6=0$ ， $D_1=D_2=D_4=D_7=1$ ，连接电路图如图解 P3.8(a) 所示。

(2) 由 F_2 的逻辑函数表达式可知， F_2 为一个四变量函数，保留 A 、 B 和 C 三个变量，将 F_2 按照 A 、 B 、 C 最小项的表达形式进行整理：

$$\begin{aligned}
 F &= \sum m(0,1,2,3,8,9,10,11) = \overline{A}BCD + \overline{A}BC\overline{D} + \overline{A}B\overline{C}D + \overline{A}B\overline{C}\overline{D} + \\
 &\quad \overline{A}B\overline{C}D + \overline{A}B\overline{C}\overline{D} + \overline{A}B\overline{C}D + \overline{A}B\overline{C}\overline{D} \\
 &= \overline{A}B\overline{C}(\overline{D} + D) + \overline{A}B\overline{C}(\overline{D} + D) + \overline{A}B\overline{C}(\overline{D} + D) + \overline{A}B\overline{C}(\overline{D} + D) \\
 &= \overline{A}B\overline{C} + \overline{A}B\overline{C} + \overline{A}B\overline{C} + \overline{A}B\overline{C}
 \end{aligned} \tag{3.8}$$

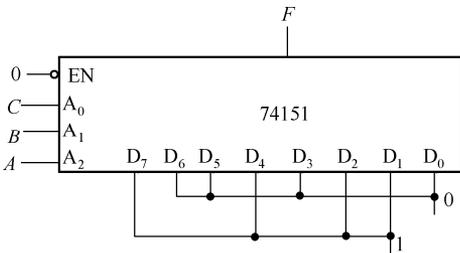
而 8 选 1 数据选择器的输出表达式为

$$\begin{aligned}
 Y &= \overline{A_2}\overline{A_1}\overline{A_0}D_0 + \overline{A_2}\overline{A_1}A_0D_1 + \overline{A_2}A_1\overline{A_0}D_2 + \overline{A_2}A_1A_0D_3 + \\
 &\quad A_2\overline{A_1}\overline{A_0}D_4 + A_2\overline{A_1}A_0D_5 + A_2A_1\overline{A_0}D_6 + A_2A_1A_0D_7
 \end{aligned} \tag{3.9}$$

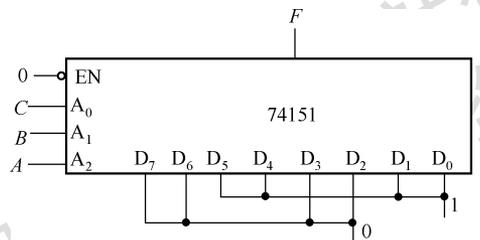
令 $A_2=A$ ， $A_1=B$ ， $A_0=C$ ，将式 (3.8) 与式 (3.9) 进行比较，即可得到

$$\begin{aligned}
 D_0 &= D_1 = D_4 = D_5 = 1 \\
 D_2 &= D_3 = D_6 = D_7 = 0
 \end{aligned}$$

连接电路图如图解 P3.8(b) 所示。



图解 P3.8(a)



图解 P3.8(b)

3.9 某图书馆上午 8 时至 12 时、下午 2 时至 6 时开馆，在开馆时间内图书馆门前的指示灯亮，试设计一个时钟控制指示灯亮灭的逻辑电路，允许输入端有反变量出现(提示：设输入信号 $ABCD$ 为钟点变量，设 T 为区分午前、午后的标志变量， $T=0$ 表示 1~12 时， $T=1$ 表示 13~24 时，输出函数为 F)。

具体设计要求如下：

(1) 用与非门来实现最简的逻辑电路；(2) 用 74151 来实现，画出其逻辑电路图。

【解题 3.9】 根据题意，设由 $ABCD$ 四个变量对应钟点变量， T 为区分午前、午后的标志变量， $T=0$ 表示 1~12 时， $T=1$ 表示 13~24 时； F 表示输出的指示灯， F 为 1 表示指示灯亮， F 为 0 表示指示灯灭。真值表如表解 P3.9 所示。

(1) 当 $T=0$ 时， F 与 $ABCD$ 作为 4 变量的最小项之间的函数关系为： $F_1 = \sum m(8,9,10,11) + \sum d(12,13,14,15)$ ；

当 $T=1$ 时， F 与 $ABCD$ 作为 4 变量的最小项之间的函数关系为： $F_2 = \sum m(2,3,4,5) + \sum d(12,13,14,15)$ 。

总体考虑之后可知： $F = \overline{T}F_1 + TF_2$ 。

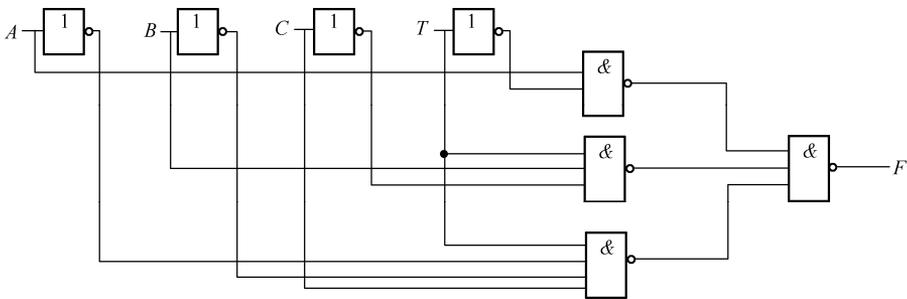
利用卡诺图化简可得表达式：

表解 P3.9

T	A	B	C	D	F	T	A	B	C	D	F
0	0	0	0	0	0	1	0	0	0	0	0
0	0	0	0	1	0	1	0	0	0	1	0
0	0	0	1	0	0	1	0	0	1	0	1
0	0	0	1	1	0	1	0	0	1	1	1
0	0	1	0	0	0	1	0	1	0	0	1
0	0	1	0	1	0	1	0	1	0	1	1
0	0	1	1	0	0	1	0	1	1	0	0
0	0	1	1	1	0	1	0	1	1	1	0
0	1	0	0	0	1	1	1	0	0	0	0
0	1	0	0	1	1	1	1	0	0	1	0
0	1	0	1	0	1	1	1	0	1	0	0
0	1	0	1	1	1	1	1	0	1	1	0
0	1	1	0	0	×	1	1	1	0	0	×
0	1	1	0	1	×	1	1	1	0	1	×
0	1	1	1	0	×	1	1	1	1	0	×
0	1	1	1	1	×	1	1	1	1	1	×

$$F = \overline{T}A + T\overline{B}\overline{C} + T\overline{A}\overline{B}\overline{C} = \overline{\overline{\overline{\overline{\overline{T}}}}A} \cdot \overline{\overline{\overline{\overline{\overline{T}}}}\overline{B}\overline{C}} \cdot \overline{\overline{\overline{\overline{\overline{T}}}}\overline{A}\overline{B}\overline{C}}$$

由与非门实现的电路图如图解 P3.9(a) 所示。



图解 P3.9(a)

(2) 保留 A 、 B 和 C 三个变量，将 F 按照 A 、 B 、 C 最小项的表达形式进行整理：

$$\begin{aligned}
 F &= \overline{T}A + T\overline{B}\overline{C} + T\overline{A}\overline{B}\overline{C} \\
 &= \overline{T}A\overline{B}\overline{C} + \overline{T}A\overline{B}C + \overline{T}A\overline{B}\overline{C} + \overline{T}A\overline{B}C + T\overline{A}\overline{B}\overline{C} + T\overline{A}\overline{B}C + T\overline{A}\overline{B}\overline{C} \\
 &= \overline{A}\overline{B}\overline{C} \cdot 0 + \overline{A}\overline{B}\overline{C} \cdot T + \overline{A}\overline{B}\overline{C} \cdot T + \overline{A}\overline{B}\overline{C} \cdot 0 + \overline{A}\overline{B}\overline{C} \cdot \overline{T} + \overline{A}\overline{B}\overline{C} \cdot \overline{T} + \overline{A}\overline{B}\overline{C} \cdot 1 + \overline{A}\overline{B}\overline{C} \cdot \overline{T} \quad (3.10)
 \end{aligned}$$

而 8 选 1 数据选择器 74151 的输出表达式为

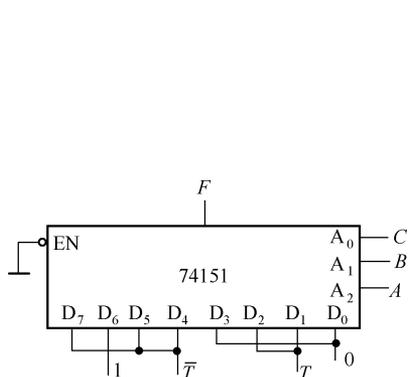
$$\begin{aligned}
 Y &= \overline{A_2}\overline{A_1}\overline{A_0}D_0 + \overline{A_2}\overline{A_1}A_0D_1 + \overline{A_2}A_1\overline{A_0}D_2 + \overline{A_2}A_1A_0D_3 + \\
 &\quad A_2\overline{A_1}\overline{A_0}D_4 + A_2\overline{A_1}A_0D_5 + A_2A_1\overline{A_0}D_6 + A_2A_1A_0D_7 \quad (3.11)
 \end{aligned}$$

令 $A_2=A$, $A_1=B$, $A_0=C$, 将式 (3.10) 与式 (3.11) 进行比较, 即可得到

$$D_0 = D_3 = 0 \quad D_1 = D_2 = T \quad D_4 = D_5 = D_7 = \bar{T} \quad D_6 = 1$$

由 74151 实现的逻辑电路图如图解 P3.9(b) 所示。

3.10 用数据选择器组成的电路如图 P3.10 所示, 试分别写出电路的输出表达式。



图解 P3.9 (b)

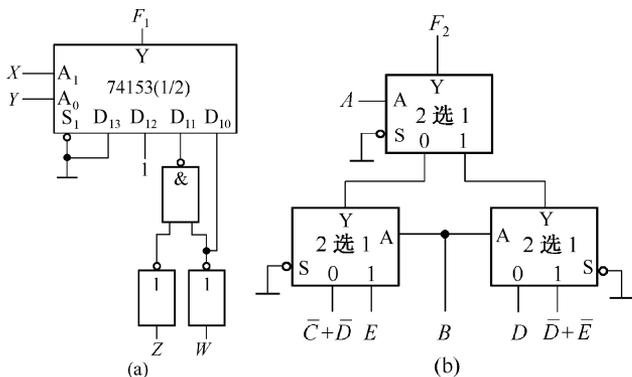


图 P3.10

【解题 3.10】 根据数据选择器的功能, 写出其输出表达式:

$$F_1 = m_0 \cdot \bar{W} + m_1 \cdot \bar{W}Z + m_2 \cdot 1 = \bar{X}Y\bar{W} + \bar{X}Y\bar{W}Z + XY = \bar{X}Y\bar{W} + \bar{X}Y\bar{W}Z + XY$$

$$F_2 = \bar{A}[\bar{B}(\bar{C} + \bar{D}) + BE] + A[BD + B(\bar{D} + \bar{E})] = \bar{A}\bar{B}\bar{C} + \bar{A}\bar{B}\bar{D} + \bar{A}BE + AB\bar{D} + ABD + AB\bar{E}$$

3.11 设计一个三变量的多数表决电路。当输入变量中有两个或两个以上同意时, 提议被通过; 否则, 提议不被通过。

具体设计要求如下:

- (1) 全用与非门来实现最简的逻辑电路;
- (2) 用 74138 来实现, 画出逻辑电路图。

【解题 3.11】

(1) 设 A 、 B 、 C 三个人, 同意提案时取值为 1, 不同意时取值为 0; Y 表示表决结果, 提案通过则取值为 1, 否则取值为 0。列出真值表如表解 P3.11 所示。

写出最简表达式及与非-与非表达式: $Y = AB + BC + AC = \overline{\overline{AB} \cdot \overline{BC} \cdot \overline{AC}}$, 用与非门来实现最简的逻辑电路图如图解 P3.11(a) 所示。

(2) 写出 Y 的最小项表达式: $Y = m_3 + m_5 + m_6 + m_7 = \overline{\overline{m_3} \cdot \overline{m_5} \cdot \overline{m_6} \cdot \overline{m_7}}$, 用 74138 来实现, 逻辑电路图如图解 P3.11(b) 所示。

表解 P3.11

A	B	C	Y
0	0	0	0
0	0	1	0
0	1	0	0
0	1	1	1
1	0	0	0
1	0	1	1
1	1	0	1
1	1	1	1

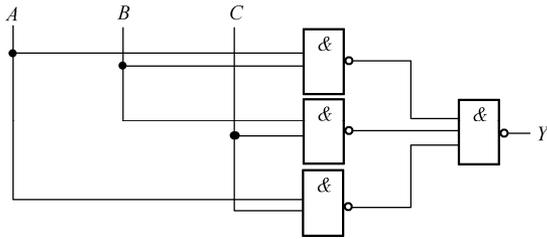
3.12 设计一个代码转换电路, 将余 3 码转换成 8421BCD 代码。

具体设计要求如下:

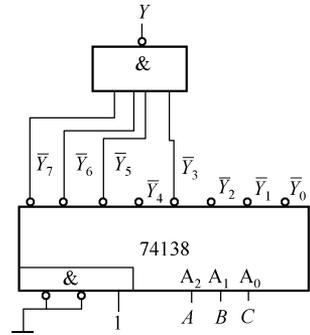
- (1) 全用门电路来实现最简的逻辑电路;
- (2) 用 74283 附加必要的门电路来实现, 画出逻辑电路图。

【解题 3.12】 余 3 码转换成 8421BCD 代码的代码转换如表解 P3.12 所示。

- (1) 根据真值表写出表达式如下:



图解 P3.11 (a)



图解 P3.11 (b)

$$Y_3 = \overline{A}BCD + A\overline{B}C\overline{D}$$

$$Y_2 = \overline{A}BCD + \overline{A}B\overline{C}D + \overline{A}B\overline{C}\overline{D} + \overline{A}B\overline{C}D$$

$$Y_1 = \overline{A}B\overline{C}D + \overline{A}B\overline{C}\overline{D} + \overline{A}B\overline{C}D + \overline{A}B\overline{C}\overline{D}$$

$$Y_0 = \overline{A}B\overline{C}D + \overline{A}B\overline{C}\overline{D} + \overline{A}B\overline{C}D + \overline{A}B\overline{C}\overline{D} + \overline{A}B\overline{C}D$$

利用卡诺图化简(注意利用无关项), 写出输出的最简与-或表达式:

$$Y_3 = ACD + AB$$

$$Y_2 = \overline{B}D + A\overline{C}D + BCD$$

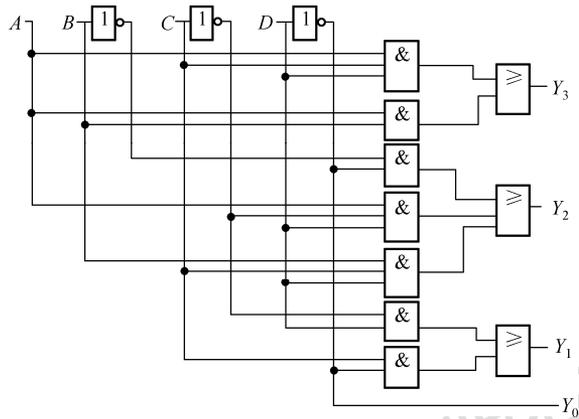
$$Y_1 = \overline{C}D + C\overline{D}$$

$$Y_0 = \overline{D}$$

用门电路来实现最简的逻辑电路如图解 P3.12 (a) 所示。

表解 P3.12

A	B	C	D	Y_3	Y_2	Y_1	Y_0
0	0	1	1	0	0	0	0
0	1	0	0	0	0	0	1
0	1	0	1	0	0	1	0
0	1	1	0	0	0	1	1
0	1	1	1	0	1	0	0
1	0	0	0	0	1	0	1
1	0	0	1	0	1	1	0
1	0	1	0	0	1	1	1
1	0	1	1	1	0	0	0
1	1	0	0	1	0	0	1



图解 P3.12 (a)

(2) 根据题目及真值表可得:

$$Y_3Y_2Y_1Y_0 = ABCD - 0011$$

式中, $ABCD$ 表示余 3 BCD 码, $Y_3Y_2Y_1Y_0$ 表示 8421BCD 码。

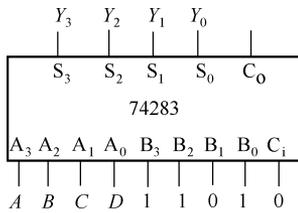
可将上述减法转换为加法, 即 $Y_3Y_2Y_1Y_0 = ABCD - 0011 = ABCD + 1100 + 1 = ABCD + 1101$ 。

用 74283 实现的连接电路图如图解 P3.12 (b) 所示。

【点评】 用门电路与用全加器 74283 实现组合逻辑电路的方法不同，用门电路实现时，采用一般的设计方法，得到最简式画出实现电路即可；而用全加器实现时，思路是将输入输出逻辑关系变换为加法关系。

加法器不像译码器和数据选择器那样，可以实现任何组合逻辑逻辑函数。但对一些典型的组合逻辑电路，如算术运算电路、代码转换电路等，用加法器设计却简单得多。

3.13 已知某多功能逻辑运算电路的功能如表 P3.13 所示，试用一片 8 选 1 数据选择器并附加必要的门电路实现该电路。



图解 P3.12 (b)

表 P3.13

L_1	L_0	F
0	0	AB
0	1	\overline{AB}
1	0	$A+B$
1	1	$A\oplus B$

【解题 3.13】 根据功能表写出表达式：

$$\begin{aligned}
 F &= \overline{L_1}\overline{L_0}AB + \overline{L_1}L_0\overline{AB} + L_1\overline{L_0}(A+B) + L_1L_0(A\oplus B) \\
 &= \overline{L_1}\overline{L_0}AB + \overline{L_1}L_0(\overline{A+B}) + L_1\overline{L_0}(A+B) + L_1L_0(\overline{AB} + \overline{AB}) \\
 &= \overline{L_1}\overline{L_0}AB + \overline{L_1}L_0\overline{A} + \overline{L_1}L_0\overline{B} + L_1\overline{L_0}A + L_1\overline{L_0}B + L_1L_0\overline{AB} + L_1L_0\overline{AB}
 \end{aligned}$$

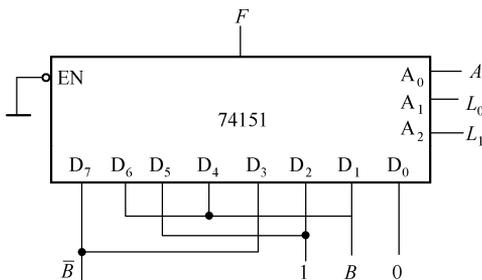
把上式表示成 L_1L_0A 这三个变量的最小项的形式，即可得到如下表达式：

$$\begin{aligned}
 F &= \overline{L_1}\overline{L_0}A \cdot B + \overline{L_1}L_0\overline{A} + \overline{L_1}L_0A \cdot \overline{B} + \overline{L_1}L_0\overline{A} \cdot \overline{B} + L_1\overline{L_0}A + \\
 &\quad L_1\overline{L_0}A \cdot B + L_1\overline{L_0}\overline{A} \cdot B + L_1L_0\overline{A} \cdot \overline{B} + L_1L_0A \cdot \overline{B} \\
 &= \overline{L_1}\overline{L_0}A \cdot B + \overline{L_1}L_0\overline{A} \cdot 1 + \overline{L_1}L_0A \cdot \overline{B} + L_1\overline{L_0}\overline{A} \cdot B + \\
 &\quad L_1\overline{L_0}A \cdot 1 + L_1L_0\overline{A} \cdot B + L_1L_0A \cdot \overline{B}
 \end{aligned}$$

上式与 8 选 1 数据选择器的标准表达式相比较，可以得到：

$$D_0 = 0 \quad D_1 = D_4 = D_6 = B \quad D_2 = D_5 = 1 \quad D_3 = D_7 = \overline{B}$$

用一片 8 选 1 数据选择器 74151 实现电路如图解 P3.13 所示。

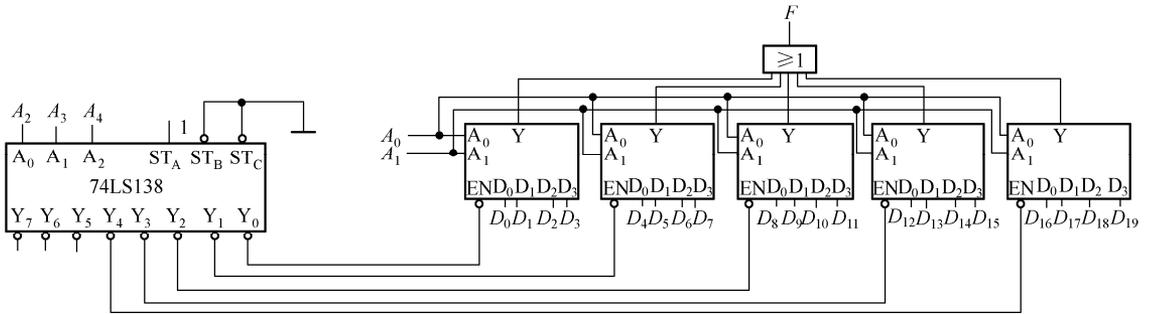


图解 P3.13

3.14 试用 4 选 1 数据选择器和 3-8 译码器组成 20 选 1 数据选择器。

【解题 3.14】 本题实际是如何利用若干片 4 选 1 数据选择器扩展为 20 选 1 数据选择器。4 选 1 数据选择器有 4 个数据输入端，而 20 选 1 数据选择器的有 20 个数据输入端，因此要得到 20 选 1 数据选择器需要 5 片 4 选 1 数据选择器，即 5 个 4 选 1 数据选择器的数据输入端并行使用就得到 20 个数据输入端。扩展中关键是如何由 2 个地址输入端扩展为 5 个地址输入端，5 个 4 选 1 数据选择器的地址输入端 A_1 、 A_0 都对应连起来，作为

20 选 1 数据选择器地址输入端的低 2 位 A_1 、 A_0 ，高 3 位 A_4 、 A_3 和 A_2 则由 3-8 译码器的地址输入得到(3-8 译码器的地址输入 A 、 B 和 C 分别作为 20 选 1 数据选择器的高 3 位地址输入端 A_4 、 A_3 和 A_2 ，3-8 译码器的输出连到各 4 选 1 数据选择器的使能端)。根据以上原理用 5 片 4 选 1 和 1 片 3-8 译码器及或门组成 20 选 1 数据选择器如图解 P3.14 所示。

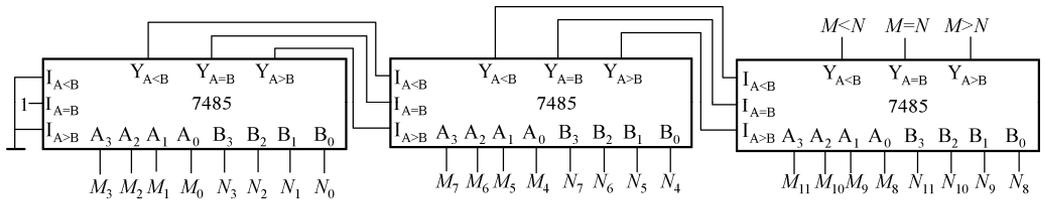


图解 P3.14

3.15 画出用 3 片位数值比较器组成 12 位数值比较器的接线图。

【解题 3.15】 设定 12 位数值 M 、 N 进行比较，首先比较两数值的高四位，当 M 的高 4 位 $>N$ 的高 4 位，则 $M>N$ ；若 M 的高 4 位 $<N$ 的高 4 位，则 $M<N$ ；若 $M=N$ ，则再比较中间 4 位；若 M 的中间 4 位 $>N$ 的中间 4 位，则 $M>N$ ，若 M 的中间 4 位 $<N$ 的中间 4 位，则 $M<N$ ，若再次相等，则进一步比较 M 、 N 两个数值的低 4 位；若 M 的低 4 位 $>N$ 的低 4 位，则 $M>N$ ，若 M 的低 4 位 $<N$ 的低 4 位，则 $M<N$ ，若两个数值的低 4 位相等，则说明两个数值相等。

因此将低 4 位的比较结果作为中间 4 位的级联输入端，将中间 4 位的比较结果作为高 4 位的级联输入端，连接如图解 P3.15 所示。



图解 P3.15

3.16 图P3.16是 3-8 译码器 74138 和 74151 器件组成的电路，试分析整个电路的逻辑功能。

【解题 3.16】

(1) 当 $A_2A_1A_0 = 000$ 时，74138 的输出 $\bar{Y}_7\bar{Y}_6\bar{Y}_5\bar{Y}_4\bar{Y}_3\bar{Y}_2\bar{Y}_1\bar{Y}_0 = 11111110$ 。

此时若 $B_2B_1B_0 = 000$ ，则根据数据选择器的功能，有 $Y = D_0 = \bar{Y}_0 = 0$ ；若 $B_2B_1B_0 \neq 010$ ，如 $B_2B_1B_0 = 001$ ， $Y = D_1 = \bar{Y}_1 = 1$ ，又如 $B_2B_1B_0 = 000$ 时， $Y = D_2 = \bar{Y}_2 = 1$ ，依次类推。所以，只要此时 $B_2B_1B_0 \neq 000$ ，则必有 $Y = 1$ 。

(2) 当 $A_2A_1A_0 = 001$ 时，74138 的输出 $\bar{Y}_7\bar{Y}_6\bar{Y}_5\bar{Y}_4\bar{Y}_3\bar{Y}_2\bar{Y}_1\bar{Y}_0 = 11111101$ 。

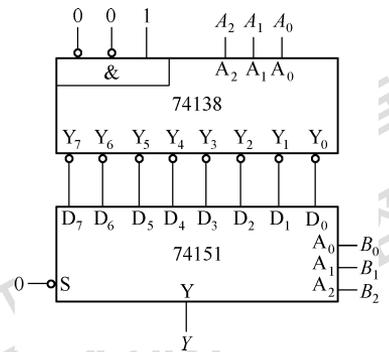


图 P3.16

此时若 $B_2B_1B_0=001$ ，则根据数据选择器的功能，有 $Y=D_1=\overline{Y_1}=0$ ；若 $B_2B_1B_0 \neq 001$ ，如 $B_2B_1B_0=000$ ， $Y=D_0=\overline{Y_0}=1$ ，又如 $B_2B_1B_0=010$ 时， $Y=D_2=\overline{Y_2}=1$ ，依次类推。所以，只要此时 $B_2B_1B_0 \neq 001$ ，则必有 $Y=1$ 。

以上两种情况可以类推到 $A_2A_1A_0=010,011,100,101,110,111$ 其他 6 种情况，因此可以得到一个总的结论：只有当 $A_2A_1A_0=B_2B_1B_0$ ，输出 Y 才为 0，而 $A_2A_1A_0 \neq B_2B_1B_0$ 时，输出 Y 都为 1，所以该电路完成两个 3 位二进制数是否相同的比较电路。

3.17 图 P3.17 电路是由一片 4 位二进制超前进位全加器 74283、比较器 7485 与七段显示译码电路 7448 及显示块 LED 组成的电路，试分析该电路的逻辑功能。

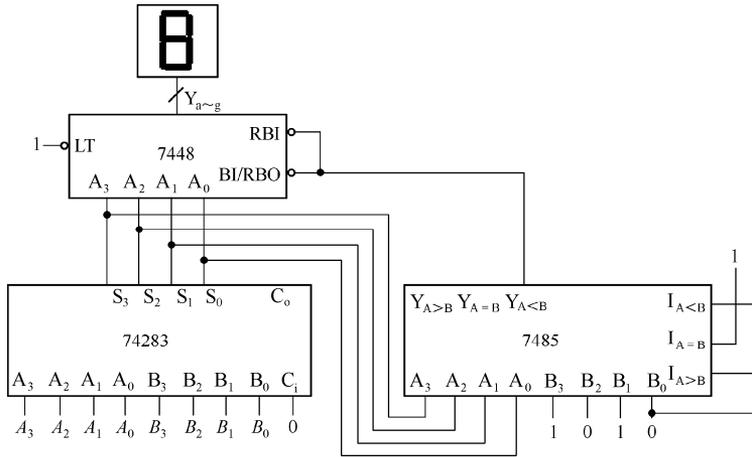


图 P3.17

【解题 3.17】 将电路分成三个功能块：加法运算电路及比较器、译码电路、显示电路；下面分析各个功能块的逻辑功能：

加法器的输出是 $A_3 \sim A_0$ 与 $B_3 \sim B_0$ 的和；比较器完成的是当加法器输出的和小于 1010 时，比较电路的输出 $Y_{A<B}=1$ 。

7448 是 BCD 七段显示译码器，输出是高电平有效，直接驱动七段共阴极数码管，用以显示加法器输出的和，显示电路显示十进制数 0~9。否则，若 A 与 B 的和大于或等于 1010 时，7485 输出 $Y_{A<B}=0$ ，这时 7448 的 \overline{RBI} 及 $\overline{BI/RBO}$ 均有效，数码管不显示。

由上述分析可知，该电路实现 1 位十进制加法器，数码管可以显示相加结果。当相加的结果不小于 1010 时，数码管不显示。

3.18 试分析电路图 P3.18 的逻辑功能。

【解题 3.18】 分析如下：7485(0) 完成的功能是将 $A_3A_2A_1A_0$ 与 1001 进行比较，当 $A_3A_2A_1A_0$ 大于 1001 时，输出 L_1 为 1，表示此时 $A_3A_2A_1A_0$ 不是 8421BCD 码。当输出 L_1 为 0 时，表示 $A_3A_2A_1A_0$ 是 8421BCD 码。

7485(1) 完成的功能是将 $A_3A_2A_1A_0$ 与 0100 进行比较，当 $A_3A_2A_1A_0$ 大于 0100 时，输出 L_2 为 1，表示此时 $A_3A_2A_1A_0$ 大于 4；当输出 L_2 为 0 时，表示 $A_3A_2A_1A_0$ 是小于等于 4。

因此当 $L_1=0, L_2=0$ 时，可以控制完成“舍去”功能；当 $L_1=0, L_2=1$ 时，可以控制完成“进位”功能。

该电路是一个检测 8421BCD 码并对其进行四舍五入判断的电路。

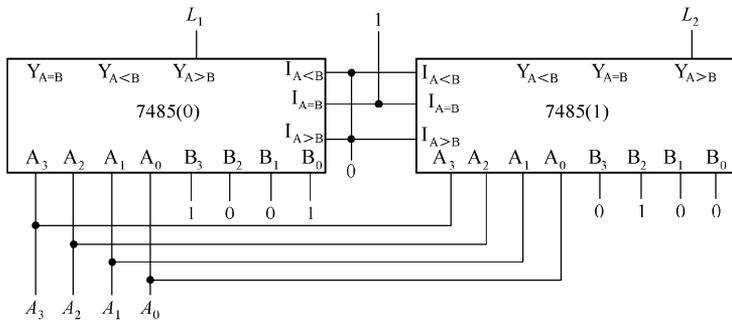


图 P3.18

3.19 试设计一个输血指示器，其输入是一对要求“输送-接受”的血型，当符合下述规则时，电路输出为 1：在人类的 4 种基本血型中，O 型血可输给任意血型的人，而他自己只能接受 O 型；AB 型可接受任意血型，却只能输给 AB 型；A 型能输给 A 型或 AB 型，可接受 O 型和 A 型；B 型能输给 B 型或 AB 型，可接受 B 型和 O 型（提示：为了区分 4 种不同血型，需要用 2 位二进制数表示，假定表示方法为：O 型—00；AB 型—01；A 型—10；B 型—11。这样，所要设计的输血指示器就需要 4 个输入变量来表示输送-接受血型对，设 A, B, C, D ，其中， AB 代表输送血型， CD 代表接受血型）。

【解题 3.19】 根据题目提示，列出真值表如表解 P3.19 所示。用 F 表示输出变量，并设 $F=1$ 代表“可输血”； $F=0$ 代表“不可输血”。

根据真值表，写出表达式：

$$F = \overline{A}BCD + \overline{A}BC\overline{D} + \overline{A}B\overline{C}D + \overline{A}B\overline{C}\overline{D} + \overline{A}BCD + \overline{A}BC\overline{D} + \overline{A}B\overline{C}D + \overline{A}B\overline{C}\overline{D}$$

根据上式按照 A, B, C 三变量最小项的形式整理：

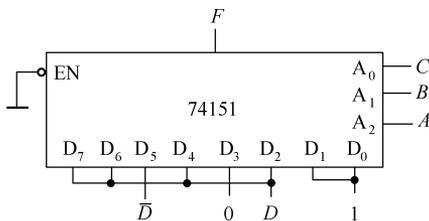
$$F = m_0\overline{D} + m_0D + m_1\overline{D} + m_1D + m_2\overline{D} + m_2D + m_4\overline{D} + m_5\overline{D} + m_6D + m_7D$$

$$= m_0 + m_1 + m_2D + m_4D + m_5\overline{D} + m_6D + m_7D$$

若用 74151 来实现，则可对得出：

$$D_0 = D_1 = 1 \quad D_2 = D_4 = D_6 = D_7 = D \quad D_3 = 0 \quad D_5 = \overline{D}$$

逻辑电路图如图解 P3.19 所示。



图解 P3.19

表解 P3.19

A	B	C	D	F
0	0	0	0	1
0	0	0	1	1
0	0	1	0	1
0	0	1	1	1
0	1	0	0	0
0	1	0	1	1
0	1	1	0	0
0	1	1	1	0
1	0	0	0	0
1	0	0	1	1
1	0	1	0	1
1	0	1	1	0
1	1	0	0	0
1	1	0	1	1
1	1	1	0	0
1	1	1	1	1

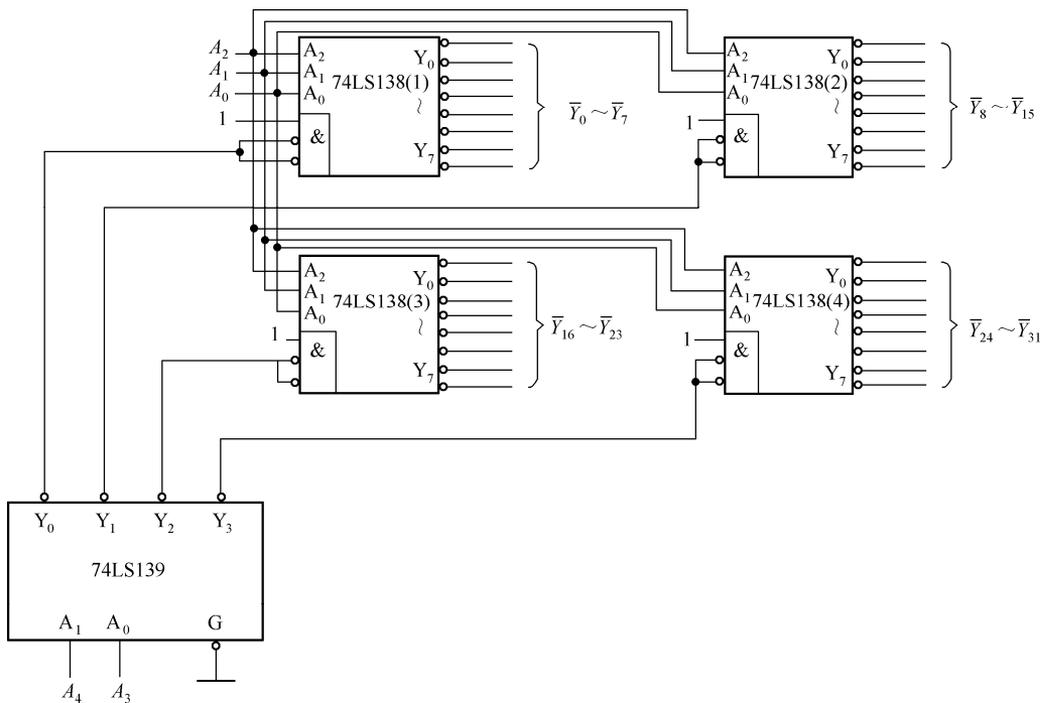
3.20 用 74LS138 实现一个能对 32 个地址译码的译码电路。

【解题 3.20】 用 4 片 74LS138 译码器可构成一个能对 32 个地址译码的译码电路。

能对 32 个地址译码的译码电路应该有 5 个地址输入端，用 $A_4A_3A_2A_1A_0$ 表示。其中，低三位 $A_2A_1A_0$ 对应连接至每一片译码器的地址输入端 $A_2A_1A_0$ 上，高位 A_4A_3 通过 4 片 74LS138

的使能控制信号扩展。 $A_4A_3=00$ 时, 第一片译码器(74LS138(1))译码输出; $A_4A_3=01$ 时, 第二片译码器(74LS138(2))译码输出; $A_4A_3=10$ 时, 第三片译码器(74LS138(3))译码输出; $A_4A_3=11$ 时, 第四片译码器(74LS138(4))译码输出。按照此设计思想, 有两种实现方法。

【解法 1】 A_4A_3 可以用 2-4 译码器译码, 为 4 片 74LS138 分别提供使能信号。其实现电路如图解 P3.20(a) 所示。



图解 P3.20(a)

【解法 2】 考虑到一片 74LS138 有三个使能端, 而且本题中要用到 4 片 74LS138, 所以 A_4A_3 的 4 种不同取值可与 12 个使能端的有效无效相对应, 下面叙述的只是诸多方法中的一种, 其他方法读者可以自己考虑。

将 A_4A_3 直接连至 74LS138(1) 的 \overline{ST}_B 、 \overline{ST}_C 上, 这样当 $A_4A_3=00$ 时, 74LS138(1) 有效;

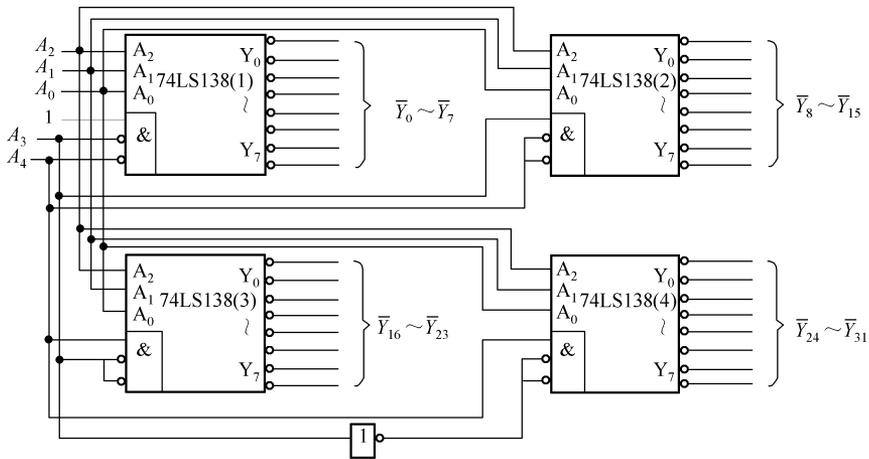
将 A_4 连至 74LS138(2) 的 \overline{ST}_B 、 \overline{ST}_C , 同时 A_3 连至 74LS138(2) 的 ST_A 上, 这样当 $A_4A_3=01$ 时, 74LS138(2) 有效;

将 A_4 连至 74LS138(3) 的 ST_A , 同时 A_3 连至 74LS138(3) 的 \overline{ST}_B 、 \overline{ST}_C 上, 这样当 $A_4A_3=10$ 时, 74LS138(3) 有效;

由于 74LS138 只有一个高电平有效的使能端, 所以 A_4 、 A_3 中要有一个反相后接低电平有效的使能端, 使 $A_4A_3=11$ 时, 74LS138(4) 译码输出。因此将 A_4 连至 74LS138(4) 的 ST_A , 同时 A_3 经非门后连至 74LS138(4) 的 \overline{ST}_B 、 \overline{ST}_C 上, 这样当 $A_4A_3=11$ 时, 74LS138(4) 有效。

实现电路如图解 P3.20(b) 所示。

3.21 用 74LS138, 74LS151 和少量与非门实现组合逻辑电路。其中控制变量 $C_2C_1C_0=000, F=0$;
 $C_2C_1C_0=001, F=ABC$; $C_2C_1C_0=010, F=A+B+C$; $C_2C_1C_0=011, F=\overline{ABC}$; $C_2C_1C_0=100, F=\overline{A+B+C}$;
 $C_2C_1C_0=101, F=A\oplus B\oplus C$; $C_2C_1C_0=110, F=AB+AC+BC$; $C_2C_1C_0=111, F=1$ 。



图解 P3.20 (b)

【解题 3.21】

分析：将控制变量 $C_2C_1C_0$ 连接到数据选择器的地址输入端，由 3-8 译码器同与非门组合实现多输出函数 F ，并将函数 F 连接至 74151 的对应数据输入端上，以此实现题目的要求。

根据题意，得到 74151 各个数据输入端的值为：

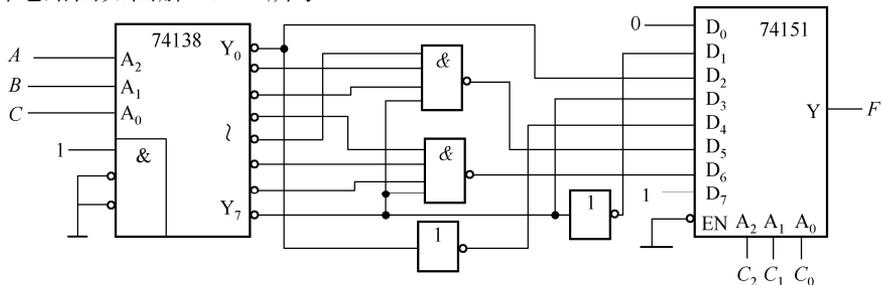
$$D_0 = 0 \quad D_1 = ABC = \overline{Y_7} \quad D_2 = A + B + C = \overline{Y_0} \quad D_3 = \overline{ABC} = \overline{Y_7}$$

$$D_4 = \overline{A + B + C} = \overline{Y_0}$$

$$D_5 = A \oplus B \oplus C = \overline{ABC} + \overline{A}BC + A\overline{B}C + ABC = \overline{Y_1Y_2Y_4Y_7}$$

$$D_6 = AB + AC + BC = \overline{A}BC + A\overline{B}C + ABC = \overline{Y_3Y_5Y_6Y_7} \quad D_7 = 1$$

得逻辑电路图如图解 P3.21 所示。



图解 P3.21

3.22 推断下列函数构成的逻辑电路中是否有冒险。若有，则设法消除冒险。

(1) $F = AB + \overline{A}BC$

(2) $F = \overline{A}BCC + A\overline{A}BC$

(3) $F = A\overline{B} + \overline{A}B$

(4) $F = \overline{A}CD + B\overline{D}$

(5) $F = (\overline{A} + C)(A + C)$

【解题 3.22】

(1) $F = AB + \overline{A}BC$

电子工业出版社有限公司 版权所有

B 的原变量和反变量出现在逻辑函数 F 中, 则该变量是具有竞争条件的变量。因此考查当 $AC=00,01,10,11$ 四种情况时的 F , 如表解 P3.22(a) 所示。

由表解 P3.22(a) 可以看出, 当 $A=1, C=1$ 时, $F=B+\bar{B}$, 所以该电路存在负向尖峰脉冲的冒险现象。

消除该冒险的方法: 将 F 变换为 $F=AB+\bar{A}BC+AC$, 即增加冗余项 AC 后可消除上述冒险。

$$(2) F = \overline{ABCC} + \overline{AABC}$$

A, C 的原变量和反变量均出现在逻辑函数 F 中, 则 A, C 变量均是具有竞争条件的变量。具体分析见表解 P3.22(b)、表解 P3.22(c)。

1) 分析变量 A ; 2) 分析变量 C 。

从表解 P3.22(b)、表解 P3.22(c) 可以发现, 虽然 A, C 均是具有竞争条件的变量, 但最终不产生冒险。

$$(3) F = A\bar{B} + \bar{A}B$$

A, B 的原变量和反变量均出现在逻辑函数 F 中, 则 A, B 变量均是具有竞争条件的变量。具体分析见表解 P3.22(d)、表解 P3.22(e)。

表解 P3.22(a)

A	C	F
0	0	0
0	1	0
1	0	B
1	1	$B+\bar{B}$

表解 P3.22(b)

B	C	F
0	0	A
0	1	1
1	0	A
1	1	\bar{A}

表解 P3.22(c)

A	B	F
0	0	C
0	1	C
1	0	1
1	1	\bar{C}

表解 P3.22(d)

B	F
0	A
1	\bar{A}

表解 P3.22(e)

A	F
0	B
1	\bar{B}

1) 分析变量 A ; 2) 分析变量 B 。

表解 P3.22(f)

A	B	C	F
0	0	0	1
0	0	1	1
0	1	0	D
0	1	1	D
1	0	0	1
1	0	1	\bar{D}
1	1	0	D
1	1	1	$\bar{D}+\bar{D}$

从表解 P3.22(d)、表解 P3.22(e) 可以发现, 虽然 A, B 均是具有竞争条件的变量, 但最终不产生冒险。

$$(4) F = \overline{ACD} + \overline{BD}$$

D 的原变量和反变量出现在逻辑函数 F 中, 则该变量是具有竞争条件的变量。具体分析见表解 P3.22(f)。

经分析发现, 当 ABC 取 111 时, $F=D+\bar{D}$, 所以该电路存在正向尖峰脉冲的冒险现象。

消除该冒险的方法是增加冗余项, 即将表达式改为 $F=\overline{ACD}+\overline{BD}+ABC$, 即可消除上述冒险。

$$(5) F = (\bar{A}+C)(A+C)$$

A 的原变量和反变量出现在逻辑函数 F 中, 则该变量是具有竞争条件的变量。具体分析见表解 P3.22(g)。

经分析发现, 当 C 取 0 时, $F=\bar{A}A$, 因此该电路存在正向尖峰脉冲的冒险现象。

消除方法: 在表达式中增加冗余因子, 即将表达式改为 $F=(\bar{A}+C)(A+C)\cdot C$, 那么在 $C=0$ 时, $F=0$, 不会出现冒险。

表解 P3.22(g)

C	F
0	$\bar{A}A$
1	1