

# 第 1 章 8051 单片机的基本组成

## 1.1 8051 单片机的特点与基本结构

8051 单片机是在美国 Intel 公司于 20 世纪 80 年代推出的 MCS-51 系列高性能 8 位单片机的基础上发展而来的，它在单一芯片内集成了并行 I/O 口、异步串行口、16 位定时器/计数器、中断系统、片内 RAM 和片内 ROM，以及其他一些功能部件。现在 8051 单片机已经有了很大的发展，除 Intel 公司之外，Philips、Siemens、AMD、Fujitsu、OKI、Atmel、SST、Winbond 等公司都推出了以 8051 为核心的新一代 8 位单片机，这种新型单片机的集成度更高，在片内集成了更多的功能部件，如 ADC、PWM、PCA、WDT 及高速 I/O 口等。不同公司推出的 8051 具有各自的功能特点，但它们的内核都是以 Intel 公司的 MCS-51 为基础的，并且指令系统兼容，从而给用户带来了更大的选择范围，同时又可以采用相同的开发工具。

8051 单片机在存储器的配置上采用的是所谓的“哈佛”结构，即在物理上具有独立的程序存储器和数据存储器，而在逻辑上则采用相同的地址空间，利用不同的指令和寻址方式进行访问，可分别寻址 64 KB 的程序存储器空间和 64 KB 的数据存储器空间，充分满足工业测量控制的需要。8051 单片机共有 111 条指令，其中包括乘、除指令和位操作指令。中断源有 5 个（8032/8052 为 6 个），分为两个优先级，每个中断源的优先级是可编程的。

在 8051 单片机的内部 RAM 区中开辟了 4 个通用工作寄存器，共有 32 个通用寄存器，可以适用于多种中断或子程序嵌套的情况。另外还在内部 RAM 中开辟了 1 个位寻址区，利用位操作指令可以对位寻址区中每个单元的每个位直接进行操作，特别适合于解决各种开关控制和逻辑问题。ROM 型 8051 在单芯片应用方式下其 4 个并行 I/O 口（P0~P3）都可以作为输入/输出之用，在扩展应用方式下则需要采用 P0 和 P2 口作为片外扩展地址总线之用。8051 单片机内部集成了两个（8032/8052 为 3 个）16 位定时器/计数器，可以十分方便地进行定时和计数操作，还集成了一个全双工的异步串行接口，可同时发送和接收数据，为单片机之间的相互通信或与上位机通信带来极大的方便。

8051 单片机的基本组成如图 1.1 所示，一个单片机芯片内包括：

- 中央处理器 CPU，它是单片机的核心，用于产生各种控制信号，并完成对数据的算术逻辑运算和传送；
- 内部数据存储器 RAM，用以存放可以读/写的数据；
- 内部程序存储器 ROM，用以存放程序指令或某些常数表格；
- 4 个 8 位的并行 I/O 口，P0、P1、P2 和 P3，每个口都可以用作输入或者输出；
- 两个（8051）或三个（8052）定时器/计数器，用作外部事件计数器，也可用作定时；
- 内部中断系统具有 5 个中断源，两个优先级的嵌套中断结构，可实现二级中断服务程序嵌套，每个中断源都可用软件程序规定为高优先级中断或低优先级中断；
- 一个串行接口，可用于异步接收/发送器；

- 内部时钟，但晶体和微调电容需要外接，振荡频率可以高达 40 MHz。  
以上各部分通过内部总线相连。

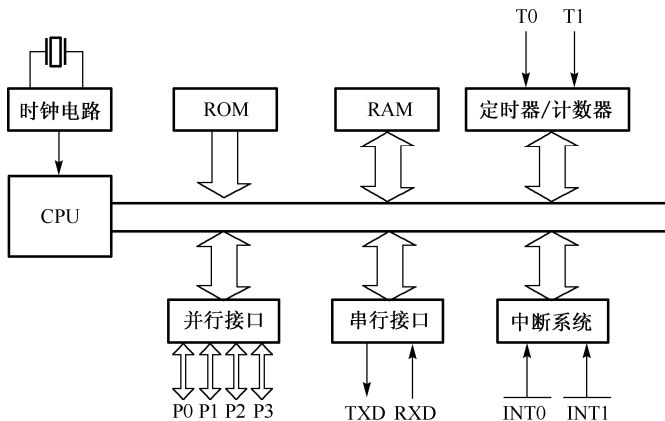


图 1.1 8051 单片机的基本组成

在很多情况下，单片机还要和外部设备或外部存储器相连，连接方式采用三总线（地址、数据、控制）方式，但在 8051 单片机中，没有单独的地址总线和数据总线，而是与通用并行 I/O 口中的 P0 口及 P2 口公用的，P0 口分时作为低 8 位地址线和 8 位数据线，P2 口则作为高 8 位地址线用，可形成 16 条地址线和 8 条数据线。

一定要建立一个明确的概念，即单片机在进行外部扩展时的地址线和数据线都不是独立的总线，而是与并行 I/O 口公用的，这是 8051 单片机结构上的一个特点。

图 1.2 所示为 8051 单片机的内部结构图，其中中央处理器 CPU 包含运算器和控制器两大部分，运算器完成各种算术和逻辑运算，控制器在单片机内部协调各功能部件之间的数据传送和运算操作，并对单片机外部发出若干控制信息。

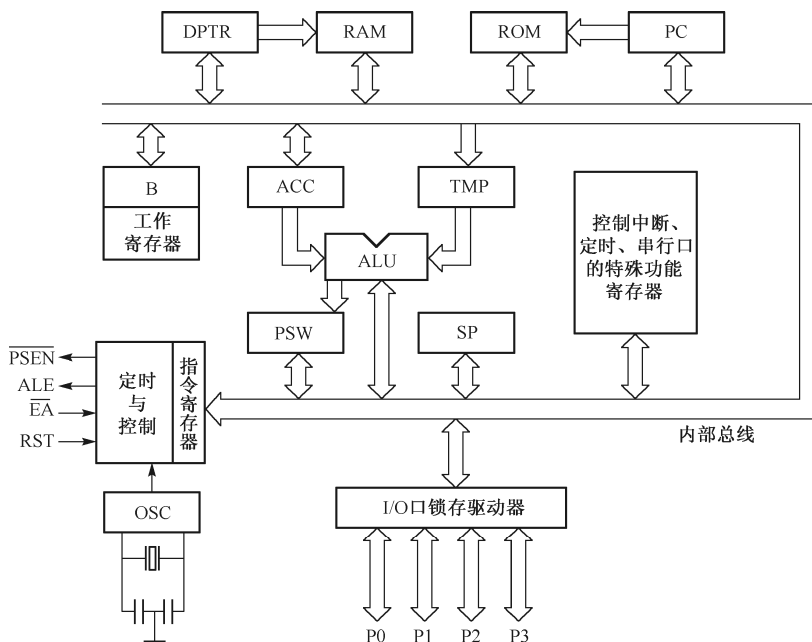


图 1.2 8051 单片机的内部结构

## 1. 运算器

运算器以算术逻辑单元 ALU 为核心，加上累加器 ACC、暂存寄存器 TMP 和程序状态字寄存器 PSW 等所组成。ALU 主要用于完成二进制数据的算术和逻辑运算，并通过对运算结果的判断影响程序状态字寄存器 PSW 中有关位的状态。累加器 ACC 是一个 8 位的寄存器（在指令中一般写为 A），它通过暂存寄存器 TMP 与 ALU 相连，ACC 的工作最为繁忙，因为在进行算术逻辑运算时，ALU 的一个输入多为 ACC 的输出，而大多数运算结果也需要送到 ACC 中，在进行乘、除运算时，B 寄存器用来存放一个操作数，它也用来存放乘、除运算后的一部分结果，在不进行乘、除操作时，B 寄存器可用作通用寄存器。程序状态字寄存器 PSW 也是一个 8 位寄存器，用于存放运算结果的一些特征，格式如下：

D7	D6	D5	D4	D3	D2	D1	D0
CY	AC	F0	RS1	RS0	OV	\	P

其中 D7~D0 各标志位的意义如下。

**CY:** 进位标志。在进行加法或减法运算时，若运算结果的最高位有进位或借位，CY=1，否则 CY=0，在执行位操作指令时，CY 作为位累加器。

**AC:** 辅助进位标志。在进行加法或减法运算时，若低半字节向高半字节有进位或借位，AC=1，否则 AC=0，AC 还作为 BCD 码运算调整时的判别位。

**F0:** 用户标志。用户可根据自己的需要对 F0 赋以一定的含义，如可以用软件来测试 F0 的状态以控制程序的流向。

**RS1 和 RS0:** 工作寄存器组选择。可以用软件来置位或复位。它们与工作寄存器组的关系如表 1.1 所示。

表 1.1 RS1 和 RS0 与工作寄存器组的关系

RS1	RS0	工作寄存器组	片内 RAM 地址
0	0	第 0 组	00H~07H
0	1	第 1 组	08H~0FH
1	0	第 2 组	10H~17H
1	1	第 3 组	18H~1FH

**OV:** 溢出标志。当两个带符号的单字节数进行运算，结果超出-128~+127 的范围时，OV=1，表示有溢出，否则 OV=0，表示无溢出。

**D1:** PSW 中的 D1 位为保留位，对于 8051 来说没有意义，对于 8052 来说为用户标志，与 F0 相同。

**P:** 奇偶校验标志。每条指令执行完毕后，都按照累加器 A 中“1”的个数来决定 P 值，当“1”的个数为奇数时，P=1，否则 P=0。

## 2. 控制器

控制器包括定时控制逻辑、指令寄存器、指令译码器、程序计数器 PC、数据指针寄存器 DPTR、堆栈指针 SP、地址寄存器和地址缓冲器等。它的功能是对逐条指令进行译码，并通过定时和控制电路在规定的时刻发出各种操作所需的内部和外部控制信号，协调各部分的工作。下面简单介绍其中主要部件的功能。

程序计数器 PC: 用于存放下一条将要执行指令的地址。当一条指令按 PC 所指向的地址从程序存储器中取出之后, PC 的值会自动增加, 即指向下一条指令。

堆栈指针 SP: 用来指示堆栈的起始地址。8051 单片机的堆栈位于片内 RAM 中, 而且属于“上长型”堆栈, 复位后 SP 被初始化为 07H, 使得堆栈实际上由 08H 单元开始。必要时可以给 SP 装入其他值, 重新规定栈底的位置。堆栈中数据操作规则是“先进后出”, 每往堆栈中压入一个数据, SP 的值自动加 1, 随着数据的压入, SP 的值将越来越大, 当数据从堆栈

弹出时, SP 的值将越来越小。

指令译码器: 当指令送入指令译码器后, 由译码器对该指令进行译码, 即把指令转变成所需要的电平信号, CPU 根据译码器输出的电平信号使定时控制电路产生执行该指令所需要的各种控制信号。

数据指针寄存器 DPTR: 它是一个 16 位寄存器, 由高位字节 DPH 和低位字节 DPL 组成, 用来存放 16 位数据存储器的地址, 以便对片外 64 KB 的数据 RAM 区进行读/写操作。

采用 40 引脚双列直插封装 (PDIP) 的 8051 单片机引脚分配如图 1.3 所示。各引脚功能如下。

V<sub>SS</sub> (20): 接地。

V<sub>CC</sub> (40): 接+5 V 电源。

XTAL1 (19) 和 XTAL2 (18): 在使用单片机内部振荡电路时, 这两个端子用来外接石英晶体和微调电容, 如图 1.4(a)所示。在使用外部时钟时, 则用来输入时钟脉冲, 但对 NMOS 和 CMOS 芯片接法不同, 图 1.4(b)所示为 NMOS 芯片 8051 外接时钟, 图 1.4(c)所示为 CMOS 芯片 80C51 外接时钟。

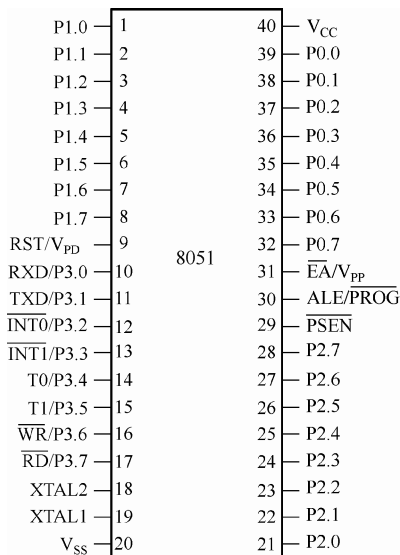


图 1.3 8051 单片机引脚分配图

图 1.4(a)所示。在使用外部时钟时, 则用来输入时钟脉冲, 但对 NMOS 和 CMOS 芯片接法不同, 图 1.4(b)所示为 NMOS 芯片 8051 外接时钟, 图 1.4(c)所示为 CMOS 芯片 80C51 外接时钟。

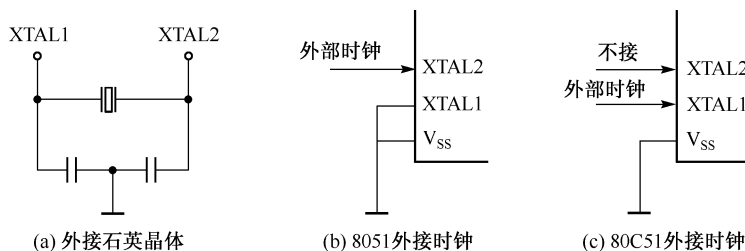


图 1.4 80C51 单片机的时钟接法

RST/V<sub>PD</sub> (9): RST 是复位信号输入端。当此输入端保持两个机器周期 (24 个振荡周期) 的高电平, 就可以完成复位操作。此引脚的第二功能是 V<sub>PD</sub>, 即备用电源输入端, 当主电源发生故障, 降低到规定的低电平以下时, V<sub>PD</sub> 将为片内 RAM 提供备用电源, 以保证存储在 RAM 中的信息不丢失。

ALE/ $\overline{\text{PROG}}$  (30): ALE 是地址锁存允许信号, 在访问外部存储器时, 用来锁存由 P0 口送出的低 8 位地址信号。在不访问外部存储器时, ALE 以振荡频率 1/6 的固定速率输出脉冲信号。因此它可用作对外输出的时钟。但要注意, 只要有外接存储器, 则 ALE 端输出的就不再是连续的周期脉冲信号了。第二功能  $\overline{\text{PROG}}$  是用于对 8751 片内 EPROM 编程的脉冲输入端。

$\overline{\text{PSEN}}$  (29): 它是外部程序存储器 ROM 的读选通信号。在执行访问外部 ROM 指令的

时候,会自动产生 $\overline{\text{PSEN}}$ 信号,而在访问外部数据存储器 RAM 或访问内部 ROM 时,不产生 $\overline{\text{PSEN}}$ 信号。

$\overline{\text{EA}}/\text{V}_{\text{PP}}$  (31): 访问外部存储器的控制信号。当 $\overline{\text{EA}}$ 为高电平时,访问内部程序存储器,但当程序计数器 PC 的值超过 0FFFH (对于 8051/8051/8751 单片机) 或 1FFFH (对于 8052 单片机) 时,将自动转向执行外部程序存储器内的程序。当 $\overline{\text{EA}}$ 保持低电平时,则只访问外部程序存储器,而不管是否有内部程序存储器。该引脚的第二功能  $\text{V}_{\text{PP}}$  为对 8751 片内 EPROM 的 21V 编程电源输入。

P0.0~P0.7 (39~32): 双向 I/O 口 P0。P0 口首先作为双向 I/O 功能,其第二功能是在访问外部存储器时,可分时用作低 8 位地址和 8 位数据线,在对 8751 编程和校验时,用于数据的输入和输出。P0 口能以吸收电流的方式驱动 8 个 LS 型 TTL 负载。

P1.0~P1.7 (1~8): 双向 I/O 口 P1。P1 口能驱动(吸收或输出电流)4 个 LS 型 TTL 负载。在对 EPROM 编程和程序验证时,它接收低 8 位地址。在 8052 单片机中,P1.0 还用作定时器 2 的计数触发输入端 T2,P1.1 还用作定时器 2 的外部控制端 T2EX。

P2.0~P2.7 (21~28): 双向 I/O 口 P2。P2 口可以驱动(吸收或输出电流)4 个 LS 型 TTL 负载。其第二功能是在访问外部存储器时,输出高 8 位地址。在对 EPROM 编程和校验时,它接收高位地址。

P3.0~P3.7 (10~17): 双向 I/O 口 P3。P3 口能驱动(吸收或输出电流)4 个 LS 型 TTL 负载。P3 口的每条引脚都有各自的第二功能。

## 1.2 8051 单片机的存储器结构

图 1.5 所示为 8051 单片机的存储器结构图。在物理上它有 3 个存储器空间: 程序存储器 (CODE 空间)、片内数据存储器 (IDATA 和 DATA 空间)、片外数据存储器 (XDATA 空间)。访问不同存储器空间时须采用不同的指令。

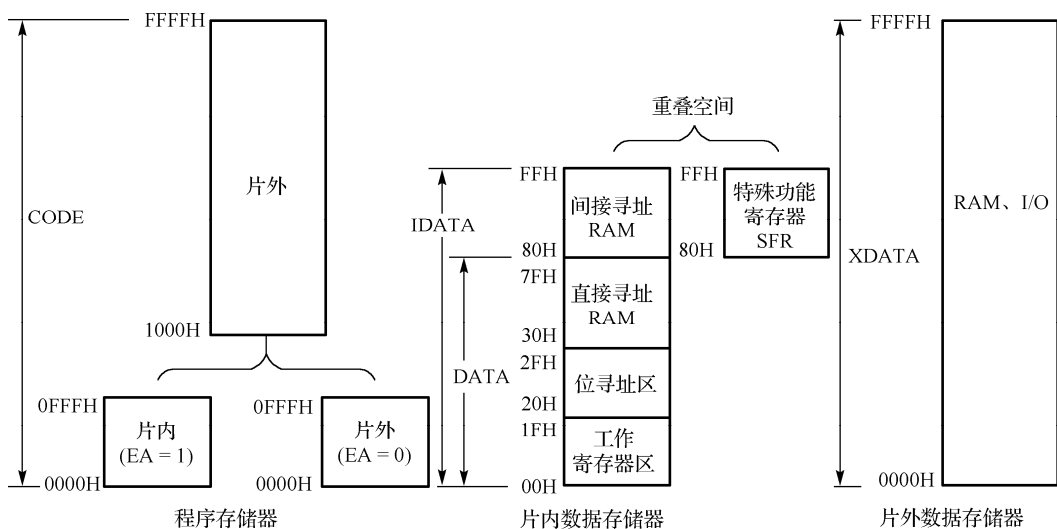


图 1.5 8051 单片机的存储器结构

程序存储器 ROM: 8051 单片机程序存储器 ROM 空间大小为 64KB, 地址范围为 0000H~

FFFFH, 用于存放程序代码和一些表格常数, 称为 CODE 空间。8051 单片机专门提供一个引脚  $\overline{EA}$  来区分片内 ROM 和片外 ROM。 $\overline{EA}$  引脚接高电平时, 单片机从片内 ROM 中读取指令, 当指令地址超过片内 ROM 空间范围后, 就自动地转向片外 ROM 读取指令;  $\overline{EA}$  引脚接低电平时, 所有的取指操作均对片外 ROM 进行。程序存储器的某些地址单元是保留给系统使用的: 0000H~0002H 单元是所有执行程序入口地址, 复位后 CPU 总是从 0000H 地址开始执行程序; 0003H~002BH 单元均匀地分为 5 段, 用于 5 个中断服务程序的入口, 产生某个中断时, 将自动进入其对应入口地址开始执行中断服务程序, 一些新型 8051 单片机增加了更多的中断源, 它们的中断入口地址也相应增加。

**片内数据存储器 RAM:** 8051 单片机片内数据存储器 RAM 空间最大为 256 字节, 用于存放程序执行过程的各种变量及临时数据, 整个片内 RAM 地址范围 00H~FFH, 称为 IDATA 空间。片内 RAM 低 128 字节 (00H~7FH), 称为 DATA 空间, 它既可用直接寻址访问, 也可用间接寻址访问, 而片内 RAM 高 128 字节 (80H~FFH) 则只能采用间接寻址访问。片内 RAM 中 00H~1FH 地址范围称为工作寄存器区, 平均分为 4 组, 每组都有 8 个工作寄存器 R0~R7。在某一时刻, CPU 只能使用其中一组工作寄存器, 究竟选择哪一组工作寄存器, 则由程序状态字寄存器 PSW 中 RS0 和 RS1 的状态决定, 如表 1.1 所示。片内 RAM 中 20H~

RAM 地址	MSB								LSB																
7FH																	127								
2FH																	7F	7E	7D	7C	7B	7A	79	78	47
2EH																	77	76	75	74	73	72	71	70	46
2DH																	6F	6E	6D	6C	6B	6A	69	68	45
2CH																	67	66	65	64	63	62	61	60	44
2BH																	5F	5E	5D	5C	5B	5A	59	58	43
2AH																	57	56	55	54	53	52	51	50	42
29H																	4F	4E	4D	4C	4B	4A	49	48	41
28H																	47	46	45	44	43	42	41	40	40
27H																	3F	3E	3D	3C	3B	3A	39	38	39
26H																	37	36	35	34	33	32	31	30	38
25H																	2F	2E	2D	2C	2B	2A	29	28	37
24H																	27	26	25	24	23	22	21	20	36
23H																	1F	1E	1D	1C	1B	1A	19	18	35
22H																	17	16	15	14	13	12	11	10	34
21H																	0F	0E	0D	0C	0B	0A	09	08	33
20H	07	06	05	04	03	02	01	00	32																
1FH	工作寄存器3区								31																
18H									工作寄存器2区								24								
17H																	工作寄存器1区								23
10H																									工作寄存器0区
0FH	15																								
08H	8																								
07H	7																								
00H	0																								

图 1.6 8051 单片机片内 RAM 位地址分配

2FH 地址范围称为位寻址区, 其中每个存储器单元的每一位称为一个 bit, 可以用位处理指令直接操作。

8051 单片机片内 RAM 位地址分配如图 1.6 所示。

8051 单片机在 IDATA 空间高 128 字节 (80H~FFH 地址范围) 安排了一个重叠空间, 称为特殊功能寄存器区 (又称 SFR 区), 地址也为 80~FFH, 但在使用时, 可通过指令加以区别。有些特殊功能寄存器是可以位寻址的, 其可寻址位称为 sbit。表 1.2 所示为 8051 单片机特殊功能寄存器地址及符号表, 表中带\*的为可位寻址的特殊功能寄存器。片内 RAM 中的各个单元, 都可以通过其地址来表示, 而对于工作寄存器, 一般使用 R0~R7 表示, 对于特殊功能寄存器, 也是直接用其符号名较为方便。需要指出的是, 8051 单片机的堆栈默认使用片内 RAM, 而片内 RAM 空间十分有限, 因此要仔细安排堆栈指针 SP 的值, 以保证不会发生堆栈溢出, 导致系统崩溃。

**片外数据存储器 RAM:** 8051 单片机片外数据存储器 RAM 空间大小为 64 KB, 地址范围为 0000H~FFFFH, 称为 XDATA 空间。在 XDATA 空间内进行分页寻址操作时, 称为 PDATA 区。

8051 单片机采用所谓“哈佛”结构的存储器配置, 即在物理上具有独立的 ROM 存储器和片外 RAM 数据存储器, 而在逻辑上则采用相同的地址空间, 其地址范围都是 0000H~FFFFH, 单片机采用不

同的指令和寻址方式进行访问，同时通过不同的信号来选通 ROM 或片外 RAM。当从 ROM 中取指令时，采用信号  $\overline{\text{PSEN}}$  来选通；而从外部 RAM 中读/写数据时，则采用  $\overline{\text{RD}}/\overline{\text{WR}}$  信号来选通，从而可分别寻址 64 KB 的 ROM 程序存储器和 64 KB 的片外 RAM 数据存储器。

表 1.2 8051 单片机特殊功能寄存器地址及符号表

特殊功能寄存器符号	片内 RAM 地址	说 明
*ACC	E0H	累加器
*B	F0H	乘法寄存器
*PSW	D0H	程序状态字寄存器
SP	81H	堆栈指针
DPL	82H	数据指针（低 8 位）
DPH	83H	数据指针（高 8 位）
*IE	A8H	中断允许寄存器
*IP	B8H	中断优先级寄存器
*P0	80H	P0 口锁存器
*P1	90H	P1 口锁存器
*P2	A0H	P2 口锁存器
*P3	B0H	P3 口锁存器
PCON	87H	电源控制及波特率选择寄存器
*SCON	98H	串行口控制寄存器
SBUF	99H	串行数据缓冲器
*TCON	88H	定时器控制寄存器
TMOD	89H	定时器方式选择寄存器
TL0	8AH	定时器 0 低 8 位
TH0	8BH	定时器 0 高 8 位
TL1	8CH	定时器 1 低 8 位
TH1	8DH	定时器 1 高 8 位

### 1.3 CPU 时序

8051 单片机内部有一个高增益反相放大器，用于构成振荡器，反相放大器的输入端为 XTAL1，输出端为 XTAL2，分别是 8051 的第 19 和 18 脚。在 XTAL1 和 XTAL2 之间接一个石英晶体及两个电容，就可以构成稳定的自激振荡器，当振荡在 6~12 MHz 时通常取 30pF 左右的电容进行微调，如图 1.7 所示。晶体振荡器的振荡信号经过片内时钟发生器进行二分频，向 CPU 提供两相时钟信号 P1 和 P2。时钟信号的周期称为状态时间 S，它是振荡周期的两倍，在每个状态的前半周期 P1 信号有效，在每个状态的后半周期 P2 信号有效，CPU 就以这两相时钟信号为基本节拍指挥单片机各部分的协调工作。

CPU 执行一条指令所需要的时间是以机器周期为单位的，8051 单片机的一个机器周期包括 12 个振荡周期，分为 6 个 S 状态：S1~S6，每个状态又分为两拍，即

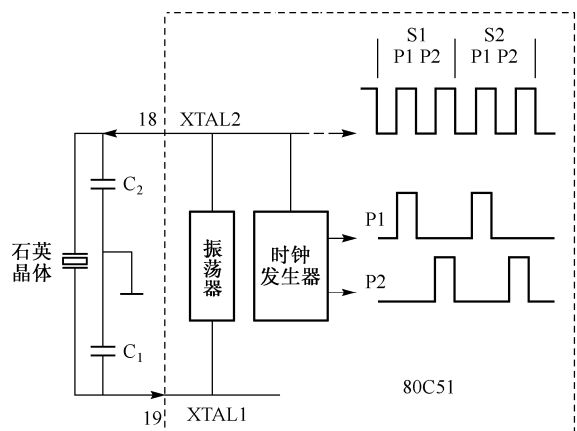


图 1.7 片内振荡器及时钟发生电路

前面介绍的 P1 和 P2 信号,因此一个机器周期中的 12 个振荡周期可表示为 S1P1, S1P2, S2P1, S2P2, …, S6P1, S6P2。当采用 12 MHz 的晶体振荡器时,一个机器周期为 1 $\mu$ s。CPU 执行一条指令通常需要 1~4 个机器周期,指令的执行速度与其需要的机器周期数直接相关,所需机器周期数越少,速度越快。8051 单片机只有乘、除两条指令需要 4 个机器周期,其余均为单周期或双周期指令。

图1.8所示为几种典型的取指令和执行时序,从图中可以看到,在每个机器周期之内,地址锁存信号 ALE 两次有效,第一次出现在 S1P2 和 S2P1 期间,第二次出现在 S4P2 和 S5P1 期间。单周期指令的执行从 S1P2 开始,此时操作码被锁存在指令寄存器内。若是双字节指令,则在同一机器周期的 S4 状态读第 2 个字节。若是单字节指令,在 S4 状态仍进行读,但操作无效,且程序计数器 PC 的值不加 1。

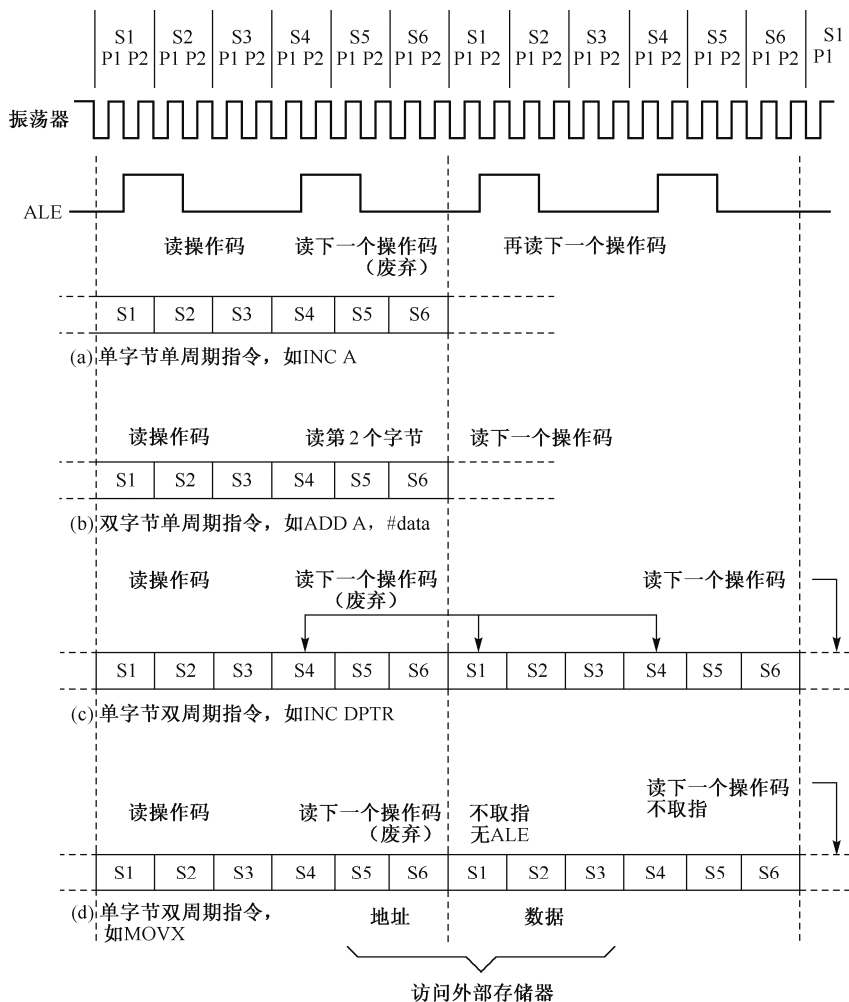


图 1.8 几种典型的取指令和执行时序

图1.8(a)和图1.8(b)分别为单字节单周期和双字节单周期指令的时序,它们都在 S6P2 结束时完成操作。

图1.8(c)为单字节双周期指令的时序,在两个机器周期内进行 4 次操作,由于是单字节指令,所以后面的 3 次操作无效。



图 1.8(d)为 CPU 访问片外数据存储器指令“MOVX”的时序，它是一条单字节双周期指令，在第一个机器周期的 S5 状态开始送出片外数据存储器的地址，进行数据的读/写操作。在此期间没有 ALE 信号，所以在第二个周期不会产生取指操作。

## 1.4 复位信号与复位电路

8051 单片机与其他微处理器一样，在启动时需要复位，使 CPU 和系统的各个部件都处于一种确定的初始状态。复位信号从单片机的 RST 引脚输入，高电平有效，其有效电平应维持至少两个机器周期，若采用 6 MHz 的晶体振荡器，则复位信号至少应持续 4  $\mu\text{s}$  以上，才可以保证可靠复位。复位操作有上电自动复位和按键手动复位两种方式。上电自动复位是通过外部复位电路的电容充电来实现的，其电路如图 1.9(a)所示，只要电源  $V_{CC}$  电压上升时间不超过 1 ms，通过在  $V_{CC}$  和 RST 之间加一个 22  $\mu\text{F}$  的电容，RST 和  $V_{SS}$  引脚（即地）之间加一个 1 k $\Omega$  的电阻，就可以实现上电自动复位。按键手动复位电路如图 1.9(b)所示，它是在上电自动复位电路的基础上增加一个电阻 R1 和一个按键实现的。按下按键后，电容 C 通过 R1 放电，同时电源  $V_{CC}$  通过 R1 和 R2 分压，大部分电压都将落在 R2 上，从而使 RST 端得到一个高电平，导致单片机复位。

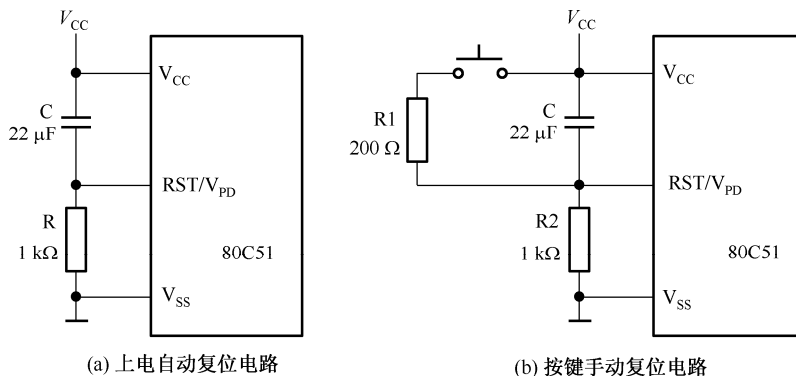


图 1.9 复位电路

当加上电源电压  $V_{CC}$  以后，RAM 的内容是随机的，复位不影响片内 RAM 的内容，复位后单片机内部各寄存器的状态如表 1.3 所示。

表 1.3 复位后单片机内部各寄存器的状态

寄存器	状态	寄存器	状态
PC	0000H	TMOD	00H
ACC	00H	TL0	00H
PSW	00H	TH0	000H
SP	07H	TL1	00H
DPTR	0000H	TH1	00H
P0~P3	FFH	SCON	00H
IP	××00000B	SBUF	不定
IE	0×00000B	PCON	0×××0000B

## 1.5 并行 I/O 口结构

8051 单片机有 4 个并行 I/O 口, 称为 P0、P1、P2、P3, 每个口都有 8 条引脚, 共有 32 条 I/O 引脚, 它们都是双向通道, 每一条 I/O 引脚都能独立地用作输入或输出, 作为输出时数据可以锁存, 作为输入时数据可以缓冲。P0~P3 口各有一个锁存器, 分别对应 4 个特殊功能寄存器地址: 80H、90H、A0H、B0H。图 1.10 所示为 P0~P3 各口中的一位逻辑图。这 4 个 I/O 口的功能不完全相同, 它们的负载能力也不相同, P1、P2、P3 都能驱动 4 个 LS 型 TTL 门电路, 并且不需外加电阻就能直接驱动 MOS 电路。P0 口在驱动 TTL 电路时能带动 8 个 LS 型 TTL 门, 但驱动 MOS 电路时, 若作为地址/数据总线, 可直接驱动; 而作为 I/O 口时, 则需外接上拉电阻才能驱动 MOS 电路。

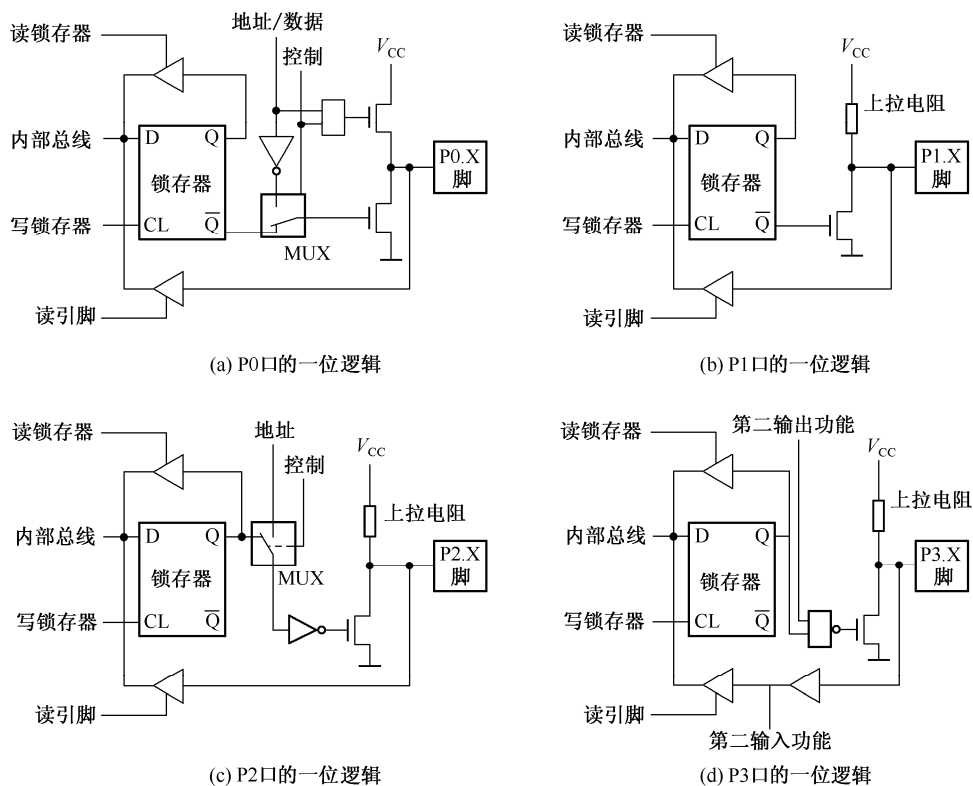


图 1.10 P0~P3 各口中的一位逻辑图

P0 口为三态双向口, 它可作为输入/输出端口使用, 也可作为系统扩展时的低 8 位地址/8 位数据总线使用。P0 口内部有一个 2 选 1 的 MUX 开关, 当 8051 以单芯片方式工作而不需要外部扩展时, 内部控制信号将使 MUX 开关接通到锁存器, 此时 P0 口作为双向 I/O 口, 由于 P0 口没有内部上拉电阻, 通常要在外部加一个上拉电阻来提高驱动能力。当 8051 需要进行外部扩展时, 内部控制信号将使 MUX 开关接通到内部地址/数据线, 此时 P0 口在 ALE 信号的控制下分时输出低 8 位地址和 8 位数据信号。

P1 口为准双向口, 它的每一位都可以分别定义为输入或输出使用。P1 口作为输入口使用时, 有两种工作方式, 即所谓的“读端口”和“读引脚”。读端口时实际上并不从外部读入数据, 而

只把端口锁存器中的内容读入内部总线，经过某种运算和变换后，再写回端口锁存器。属于这类操作的指令很多，如对端口内容取反等。读引脚时才真正地把外部的输入信号读入内部总线。

逻辑图中各有两个输入缓冲器，CPU 根据不同的指令分别发出“读端口”或“读引脚”信号，以完成两种不同的操作。在读引脚，也就是从外部输入数据时，为了保证输入正确的外部输入电平信号，首先要向端口锁存器写入一个“1”，然后再进行读引脚操作，否则，端口锁存器中原来状态有可能为“0”，加到输出驱动场效应管栅极的信号为“1”，该场效应管导通，对地呈现低阻抗。这时即使引脚上输入的是“1”信号，也会因端口的低阻抗而使信号变化，使得外加的“1”信号写入时不一定是“1”。若先执行置“1”操作，则可使驱动场效应管截止，引脚信号直接加到三态缓冲器，实现正确的写入。正是由于 P1 口在进行输入操作之前需要有这样一个附加准备动作，故称之为“准双向口”。

P1 口作为输出口时，如果要输出“1”，只要将“1”写入 P1 口的某一位锁存器，使输出驱动场效应管截止，该位的输出引脚由内部上拉电阻拉成高电平，即输出为“1”。要输出“0”时，将“0”写入 P1 口的某一位锁存器，使输出驱动场效应管导通，该位的输出引脚被接到地端，即输出为“0”。

P2 口也是一个准双向口，它有两种使用功能：作为普通 I/O 口或作为系统扩展时的高 8 位地址总线。P2 口内部结构与 P0 口类似，也有一个 2 选 1 的 MUX 开关，P2 口作为 I/O 口使用时，内部控制信号使 MUX 开关接通到锁存器，此时 P2 口的用法与 P1 口相同。P2 口作为外部地址总线使用时，内部控制信号使 MUX 开关接通到内部地址线，此时 P2 口的引脚状态由所输出的地址决定。需要特别指出的是，只要进行了外部系统扩展，由于对片外地址的操作是连续不断的，此时 P0 口和 P2 口就不能再用作 I/O 口了。

P3 口为多功能口，除了用作通用 I/O 口，它的每一位都有各自的第二功能，如表 1.4 所示。P3 口作为通用 I/O 口时其使用方法与 P1 口相同，P3 口的第二功能可以单独使用，即不用作第二功能的引脚仍可以作为通用 I/O 口线使用。

表 1.4 P3 口的第二功能定义

端 口 引 脚	第 二 功 能
P3.0	RXD (串行输入口)
P3.1	TXD (串行输出口)
P3.2	$\overline{\text{INT0}}$ (外部中断 0 输入)
P3.3	$\overline{\text{INT1}}$ (外部中断 1 输入)
P3.4	T0 (定时器 0 外部输入)
P3.5	T1 (定时器 1 外部输入)
P3.6	$\overline{\text{WR}}$ (外部 RAM 写选通)
P3.7	RD (外部 RAM 读选通)

8051 单片机没有独立的对外地址、数据和控制“三总线”，当需要进行外部扩展时就要采用 I/O 口的复用功能，将 P0 口、P2 口用作地址/数据总线，P3 口用其第二功能，形成外部地址、数据和控制总线，如图 1.11 所示。

P0 口在进行外部扩展时分时复用，在读/写片外存储器时，P0 口先送出低 8 位地址信号，该信号只能维持很短的时间，然后 P0 口又送出 8 位数据信号。为了使在整个读/写片外存储器期间，都存在有效的低 8 位地址信号，必须在 P0 口上外接一个地址锁存器，在 ALE 信号有效期间将低 8 位地址锁存于锁存器内，再从这个锁存器对外输出低 8 位地址。

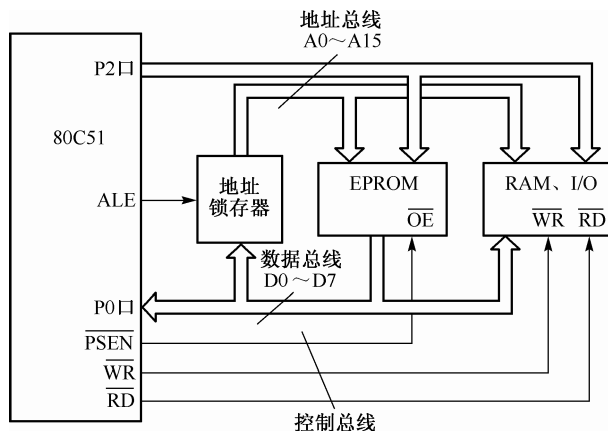


图 1.11 单片机与外部存储器、I/O 口的连接

P2 口在进行外部扩展时只用作高 8 位地址线, 在整个读/写期间, P2 口输出信号维持不变, 因此 P2 口不需外接锁存器。一般在片外接有存储器时, P0 和 P2 口不能再用作通用 I/O 口, 此时只有 P1 口可作为通用 I/O 口用, P3 口中没有使用第二功能的引脚还可以用作 I/O 口线。另外还要注意, 外接程序存储器 ROM 的读/写选通信号为  $\overline{\text{PSEN}}$ , 而外接数据存储器 RAM 的读/写选通信号为  $\overline{\text{RD}}$  和  $\overline{\text{WR}}$ , 从而保证外部 ROM 和外部 RAM 不会发生混淆。

## 1.6 STC 系列新型 8051 单片机简介

深圳宏晶科技有限公司研发的 STC 系列新型 Flash 单片机与传统 8051 指令兼容, 但在片内资源、操作性能和运行速度上做了很大的改进。尤其是采用 Flash 作为片内存储器, 应用 ISP 和 IAP 技术, 与 Keil  $\mu$ Vision 软件环境相配合, 使单片机系统的开发过程变得简单, 深受广大用户欢迎。

IAP15W4K58S4 是 STC 系列单片机的典型产品, 其主要特性如下。

- 增强型 8051 内核, 每个机器周期只需要 1 个系统时钟, 速度是传统 8051 的 8~12 倍。
- 内部高精度 RC 振荡器, 可省略外部晶振, 内部时钟频率可选 5~35MHz。
- 内部高可靠复位设计, 16 级可选复位门槛电压, 可省略外部复位电路。
- 具有 ISP/IAP 功能, 无须专用编程器和仿真器。
- 8~62 KB Flash 程序存储器, 擦写次数 10 万次以上。
- 4096 字节 SRAM 存储器, 包括常规 256 字节片内 RAM 和 3840 字节片内扩展 XRAM。
- 大容量的数据 Flash 数据存储 (EEPROM), 擦写次数 10 万次以上。
- 5 个 16 位可重装初值定时器 T0~T4, 2 路 CCP 可再实现 2 个定时器。
- 4 个全双工异步串行口, 串行口 1~串行口 4。
- 8 通道高速 10 位 ADC, 速率可达 30 万次/秒。
- 8 路 PWM 可用作 8 路 DAC 使用。
- 6 通道 15 位专用高精度 PWM (带死区控制)。
- 2 通道捕获/比较单元 CCP。
- 高速 SPI 串行通信接口。
- 6 路可编程时钟输出 (T0~T4 及主时钟输出)。

- 最多 62 条 I/O 口线，可设置 4 种工作模式。
- 片内硬件“看门狗”。
- 低功耗设计，具有低速模式、空闲模式、停机模式，支持掉电唤醒功能。
- 支持程序加密 USB 下载程序。
- 支持 Keil  $\mu$ Vision3 仿真，一片单片机就是一台仿真器。

IAP15W4K58S4 单片机采用 LQFP、PDIP 和 SOP 封装，其中 PDIP40 封装的引脚功能如图 1.12 所示，引脚排列与传统 8051 单片机不兼容，除 18、20 脚分别为电源、地以外，其他引脚都可用作 I/O 口，并且大多数口线都是多功能复用的，可通过相关特殊功能寄存器进行配置。

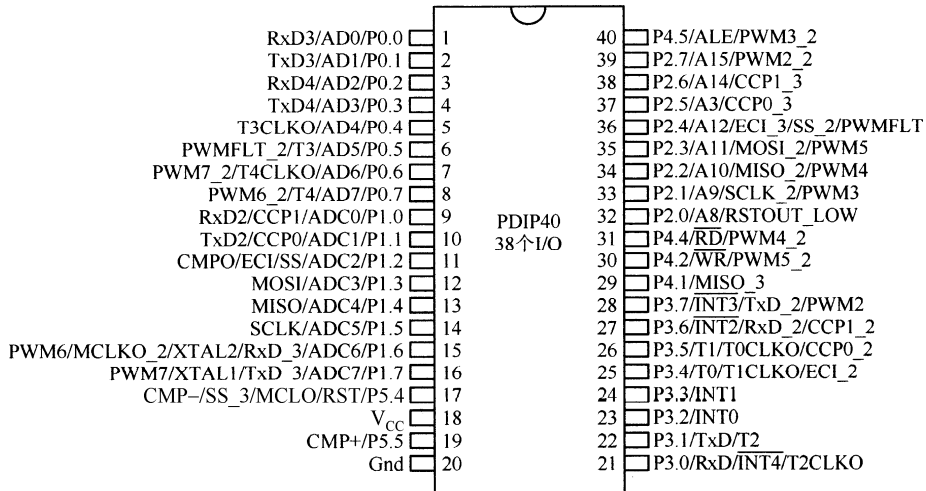


图 1.12 IAP15W4K58S4 单片机 PDIP40 封装的引脚功能

IAP15W4K58S4 单片机具有 6 个并行 I/O 口，除 P0~P3 之外，新增了 P4 和 P5，同时所有端口引脚都复合了多种功能。

**P0 口：**P0.0~P0.7 引脚可用作 8 位 I/O 口，访问外部存储器时分时复用作为低 8 位地址线和 8 位数据线，还可进行如下配置。

P0.0 和 P0.1 可配置为串行口 3 的 RxD3 和 TxD3。

P0.2 和 P0.3 可配置为串行口 4 的 RxD4 和 TxD4。

P0.4 和 P0.5 可配置为定时器 T3 的时钟输出端和外部计数输入端。

P0.6 和 P0.7 可配置为定时器 T4 的时钟输出端和外部计数输入端。

P0.5 可配置为 PWMFLT\_2（PWM 异常停机控制引脚切换端）。

P0.6 和 P0.7 可配置为 PWM 通道 6 和通道 7 的输出端。

**P1 口：**P1.0~P1.7 引脚可用作 8 位 I/O 口，也可配置为 8 路 A/D 模拟输入通道，还可进行如下配置。

P1.0 和 P1.1 引脚可配置为 CCP0、CCP1，用作外部信号捕获、高速脉冲输出或脉宽调制输出通道，或者配置为串行口 2 的 RxD2 和 TxD2。

P1.2 引脚可配置为 SS（SPI 同步串行接口从机选择信号），或者配置为 ECI（PCA 计数器外部脉冲输入端），或者配置为 CMPO（比较器的比较结果输出端）。

P1.3~P1.5 引脚可配置为 SPI 同步串行接口的 MOSI（主出从入）、MISO（主入从出）、SCLK（同步时钟）信号线。

P1.6 和 P1.7 引脚可配置为串行口 3 的引脚切换端 RxD\_3 和 TxD\_3, 或者配置为外接晶振 XTAL2、XTAL1 端(通过 ISP 烧录软件设置), 又或者配置为 PWM 通道 6 和通道 7 的输出端。

P1.6 还可配置为 MCLKO\_2(主时钟输出引脚切换端)。

P2 口: P2.0~P2.7 引脚可用作 8 位 I/O 口, 访问外部存储器时作为高 8 位地址线, 还可进行如下配置。

P2.0 引脚可配置为 RSTOUT\_LOW, 上电复位后输出低电平。

P2.1~P2.3 引脚可配置为 SPI 同步串行接口的引脚切换端 SCLK\_2、MISO\_2 和 MOSI\_2 信号线, 或者配置为 PWM 通道 3~通道 5 的输出端。

P2.4 引脚可配置为 ECI\_3(PCA 计数器外部脉冲输入引脚切换端), 或者配置为 SS\_2(SPI 同步串行接口从机选择信号引脚切换端), 又或者配置为 PWMFLT(PWM 异常停机控制端)。

P2.5 和 P2.6 引脚可配置为 CCP0\_3(CCP 输出通道 0 引脚切换端) 和 CCP1\_3(CCP 输出通道 1 引脚切换端)。

P2.7 引脚可配置为 PWM2\_2(PWM 通道 2 输出引脚切换端)。

P3 口: P3.0~P3.7 引脚可用作 8 位 I/O 口, 还可进行如下配置。

P3.0 和 P3.1 引脚可配置为串行口 1 的 RxD 和 TxD。

P3.0 引脚还可配置为 INT4(外部中断 4, 下降沿触发), 或者配置为 T2CLKO(定时器 T2 的时钟输出端)。

P3.1 引脚还可配置为定时器 T2 的外部计数脉冲输入端。

P3.2 和 P3.3 引脚可配置为外部中断 INT0 和 INT1, 触发方式可选择上升沿或下降沿触发。

P3.4 和 P3.5 引脚可配置为定时器 T1 和 T0 的外部计数脉冲输入端, 或者配置为 T1CLKO(定时器 T1 时钟输出端) 和 T0CLKO(定时器 T0 时钟输出端)。

P3.4 还可配置为 ECI\_2(PCA 计数器外部计数脉冲输入引脚切换端)。

P3.5 还可配置为 CCP0\_2(CCP 通道 0 引脚切换端)。

P3.6 和 P3.7 引脚可配置为 INT2(外部中断 2, 下降沿触发) 和 INT3(外部中断 3, 下降沿触发), 或者可配置为串行口 1 的引脚切换端 RxD\_2 和 TxD\_2。

P3.6 还可配置为 CCP 通道 1 的引脚切换端。

P3.7 还可配置为 PWM 通道 2 输出端。

P4 口: P4.0 引脚(LQFP44 封装芯片才有)可配置为 SPI 接口的主出从入切换端 MOSI\_3。

P4.1 引脚可配置为 SPI 接口的主入从出切换端 MISO\_3。

P4.2 引脚可配置为 WR(外部数据写信号, 低电平有效), 或者配置为 PWM5\_2(PWM 通道 5 输出引脚切换端)。

P4.3 引脚(LQFP44 封装芯片才有)可配置为 SPI 接口的同步时钟信号切换端 SCLK\_3。

P4.4 引脚可配置为 RD(外部数据读信号, 低电平有效), 或者配置为 PWM4\_2(PWM 通道 4 输出引脚切换端)。

P4.5 引脚可配置为 ALE(外部数据存储器扩展时低 8 位地址的锁存信号), 或者配置为 PWM3\_2(PWM 通道 3 输出引脚切换端)。

P4.6 和 P4.7 引脚可配置为串行口 2 的引脚切换端 RxD2\_2 和 TxD2\_2, 注意这两个引脚只有 LQFP44 封装芯片才有。

P5 口: P5.4 引脚可配置为 RST(复位端, 需要通过 ISP 烧录软件设置), 或者配置为 MCLKO

(主时钟输出, 可输出不分频、2 分频或 4 分频主时钟信号), 或者配置为 SS\_3 (SPI 接口的从机选择信号引脚切换端), 或者配置为 CMP- (比较器负极输入端)。

P.5.5 引脚可配置为 CMP+ (比较器正极输入端)。

IAP15W4K58S4 单片机可以选择使用片内 RC 振荡器时钟或外部时钟。片内 RC 振荡器时钟的选择, 需要通过 STC 公司提供的 STC-ISP 软件设置完成 (STC-ISP 软件可以从深圳宏晶科技有限公司的网站 [www.stcmcu.com](http://www.stcmcu.com) 免费下载), 运行后对于时钟频率的设置如图 1.13 所示, 时钟频率  $f_{osc}$  可在 5~35MHz 范围内选择, 在  $-40^{\circ}\text{C}\sim+85^{\circ}\text{C}$  温度环境下, 温漂为  $\pm 1\%$ , 常温下温漂为  $\pm 0.5\%$ 。

IAP15W4K58S4 单片机出厂时标配为使用片内 RC 振荡器时钟, 也可以通过 STC-ISP 软件设置选择使用外部时钟, 这时单片机时钟信号由 XTAL1、XTAL2 引脚外接晶振产生, 或者直接从 XTAL1 脚输入外部时钟信号, XTAL2 脚悬空。

时钟源输出信号不是直接与单片机 CPU、内部接口的时钟信号相连的, 而是先经过一个可编程时钟分频器, 再提供给单片机 CPU 和内部接口。为了进行区分, 片内 RC 振荡器或外接晶振产生的时钟称为主时钟, 其频率记为  $f_{osc}$ , 单片机 CPU 和内部接口的时钟称为系统时钟, 其频率记为  $f_{sys}$ , 它们的关系为  $f_{sys} = f_{osc} / N$ , 其中  $N$  为分频系数, 分频系数  $N$  可通过特殊功能寄存器 CLK\_DIV 进行选择。

利用 STC-ISP 软件对 IAP15W4K58S4 单片机进行简单设置, 即可使之成为具有仿真功能的芯片, 结合 Keil 公司的  $\mu$ Vision3 集成开发环境, 很容易实现用户程序的在线仿真调试, 为用户带来极大方便。

首先将用户单片机硬件功能板通过串行口或 USB 与 PC 相连, 按如下步骤将 IAP15W4K58S4 单片机设置成为 Keil 仿真器。

(1) 运行 STC-ISP 软件, 弹出如图 1.14 所示软件界面, 单击界面左下角“检测 MCU 选项”按钮, 再给单片机上电, 注意观察 STC-ISP 软件界面关于单片机的提示, 确保单片机与 PC 已经正常连接。

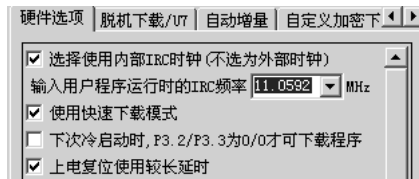


图 1.13 片内 RC 振荡器时钟频率设置

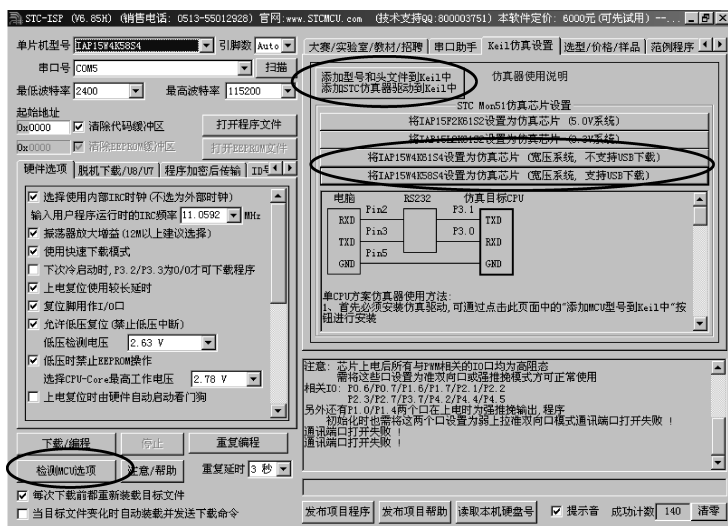


图 1.14 将 IAP15W4K58S4 单片机设置成为 Keil 仿真器

(2) 选择界面右边“Keil 仿真设置”选项卡, 单击“添加型号和头文件到 Keil 中 添加 STC 仿真器驱动到 Keil 中”按钮, 在弹出的目录选择窗口中, 定位到 Keil 的安装目录(一般为“C:\Keil\”), 单击“确定”按钮后出现安装成功提示信息, 表示相关头文件, 以及 STC 的 Monitor51 仿真驱动 STCMON51.DLL 已经安装完成。

(3) 单击“将 IAP15W4K61S4 设置为仿真芯片”按钮或者“将 IAP15W4K58S4 设置为仿真芯片”按钮, 启动 STC Monitor-51 仿真器监控代码下载到芯片中, 完成后 Keil 仿真器设置即告完成, 可以与  $\mu$ Vision 集成环境进行联机仿真调试。

Keil 仿真器监控程序占用了相关片内资源, 对用户有如下限制。

占用片内 Flash: 6 KB (0D000H~0E7FFH), 用户不要访问这个区域的代码。

占用片内扩展 XRAM: 768 B (0C00H~0EFFH), 用户不要修改这个区域的数据。

占用 I/O 口: P3.0 和 P3.1, 用户不能使用与 P3.0 和 P3.1 相关的功能(包括  $\overline{\text{INT4}}$  中断、T2 时钟输出、T2 外部计数、串口 1), 串口 1 可以切换到 P3.6/P3.7 或者 P1.6/P1.7 使用。

采用 Keil  $\mu$ Vision3 集成开发环境进行单片机应用程序在线仿真调试的步骤如下。

(1) 在  $\mu$ Vision3 中新建一个项目(Project), 并为该项目选定合适的单片机 CPU 器件。

(2) 利用  $\mu$ Vision3 的文件编辑器编写汇编语言或 C 语言源程序文件, 并将文件添加到项目中。一个项目可以包含多个模块文件, 除源程序文件外还可以有库文件或文本说明文件。

(3) 通过  $\mu$ Vision3 的各种选项, 配置 A51 宏汇编器、C51 编译器、BL51 链接定位器及 Debug 调试器的功能。

(4) 对项目中的源程序文件进行编译链接, 生成绝对目标代码文件和可选的 HEX 文件, 如果出现编译链接错误则返回到第(2)步, 修改源程序中的错误后重新编译链接。

(5) 启动  $\mu$ Vision3 调试器, 将没有错误的绝对目标代码文件装入单片机。  $\mu$ Vision3 调试器提供单步运行、硬件断点、全速运行等多种调试手段, 可随时观察单片机硬件系统的实际运行状态。

(6) 调试成功后将 HEX 文件写入单片机的程序 Flash 存储器中正常运行。

## 复习思考题 1

1. 8051 单片机包含哪些主要逻辑功能部件? 画出它的基本结构图。
2. 8051 单片机有几个存储器地址空间? 画出它的存储器结构图。
3. 简述 8051 单片机片内 RAM 存储器的地址空间分配。
4. 简述 8051 单片机复位后内部各寄存器的状态。
5. 程序计数器 PC 有何作用? 用户是否能够对它直接进行读/写?
6. 什么叫堆栈? 堆栈指针 SP 的作用是什么? SP 的默认初值是多少?
7. 如何调整 8051 单片机的工作寄存器区? 如果希望使用工作寄存器 3 区, 应如何设定特殊功能寄存器 PSW 的值?
8. 简述 8051 单片机的 P0~P3 口各有什么特点, 以 P1 口为例说明准双向 I/O 口的意义。
9. 8051 单片机有没有专门的外部“三总线”? 它是如何形成外部地址总线和数据总线的?
10. 试画出单片机与外部存储器、I/O 口的连接图, 并说明为什么外扩存储器时 P0 口要加接地锁存器, P2 口却不用加接。