

第 1 章 数字信号处理和 DSP 系统

当 TI（德州仪器）公司于 1982 年推出第一款商用数字信号处理器时，谁也不会想到它竟能给世界带来如此大的变化。从移动通信到消费电子领域，从汽车电子到医疗仪器，从自动控制到军用电子系统，都可以发现它的身影。刚诞生的第一代数字信号处理器仅包含了 55000 个晶体管，4KB 内存，指令处理能力只有 5MIPS（百万条指令每秒），经过 30 余年的发展，单核数字信号处理器的处理能力已经达到 9600MIPS 的惊人速度，寻址能力高达 1280MB。多核处理器更是在融合定点、浮点处理能力的基础上，内核数量达到 8 核。数字信号处理器给世界带来了巨大的变化，未来可能的应用包括无人驾驶汽车、精确化的楼宇照明控制、自动识别并报警的安防系统等，有无数令人兴奋的应用在等待我们去开拓。那么就让我们进入这个充满变化、充满挑战，而又拥有无限精彩的 DSP（数字信号处理器）世界吧。

1.1 实时数字信号处理技术的发展

20 世纪 60 年代以来，随着信息技术的不断进步，数字信号处理技术应运而生并得到迅速发展。20 世纪 80 年代以前，由于方法的限制，数字信号处理技术处于理论研究阶段，还得不到广泛的应用。在此阶段，人们利用通用计算机进行数字滤波、频谱分析等算法的研究，以及数字信号处理系统的模拟和仿真。而将数字信号处理技术推向高峰的则是实时数字信号处理技术的高速发展。

实时数字信号处理对数字信号处理系统的处理能力提出了严格的要求，所有运算、处理都必须小于系统可接受的最大时延。以视频会议为例，从发送端图像、声音信号的采集、压缩，通过信道传输，到接收端完成数据接收，图像、声音信号的解压、还原，其中任何一个处理环节都应满足最大时延要求，否则将出现图像、声音信号的间断，从而影响视频会议的正常进行。如果每个数据包都包含 20ms 的音、视频信号，可以很容易得出整个系统的延迟必须小于 500ms，而每个数据包的处理时间必须小于 20ms 才能满足系统实时处理要求。

典型实时数字信号处理系统的基本部件包括：抗混叠滤波器（Anti-aliasing filter）、模数转换器（Analog-to-Digital Converter, ADC）、数字信号处理、数模转换器（Digital-to-Analog Converter, DAC）和抗镜像滤波器（Anti-image filter），如图 1-1 所示。其中，抗混叠滤波器将输入的模拟信号中高于 Nyquist 频率的频率成分滤掉；ADC 将模拟信号转换成 DSP 可以处理的并行或串行的数字比特流；数字信号处理部分完成数字信号处理算法；经过处理的数字信号经 DAC 转换为模拟样值之后，再由抗镜像滤波器完成模拟波形的重建。

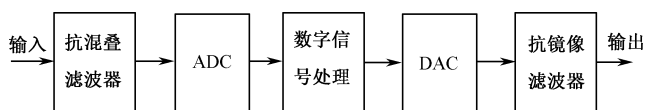


图 1-1 典型实时数字信号处理系统框图

和其他数字系统一样，实时数字信号处理系统具有许多模拟系统不具备的优点，如灵活、可编程、支持时分复用、易于模块化设计、可重复使用、可靠性高、抗环境干扰能力强、易于维护等。当前使用的数字信号处理系统主要有以下几种，它们各具优缺点，这就需要使用者根据具体情况做出相应选择。

1. 利用 X86 处理器完成实时数字信号处理

随着 CPU 技术的不断进步，X86 处理器的处理能力不断发展，基于 X86 处理器的处理系统已经不仅局限于以往的模拟和仿真，也能满足部分数字信号的实时处理要求，而各种便携式或工业标准的推出，如 PC104、PC104 Plus 结构，以及 CPCI 总线标准的应用，这些都改善了 X86 系统的抗恶劣环境的性能，扩展了 X86 系统的应用范围。利用 X86 系统进行实时数字信号处理有下列优点。

(1) 处理器选择范围较宽：X86 处理器涵盖了从 386 到奔腾系列，处理速度从 100MHz 到几 GHz，而为了满足工控等各种应用，X86 厂商也推出了多款低功耗处理器，其功耗远远小于商用处理器。

(2) 主板及外设资源丰富：无论是普通结构，还是基于 PC104 和 PC104 Plus 结构，以及 CPCI 总线标准，都有多种主板及扩展子板可供选择，节省了用户的大量硬件开发时间。

(3) 有多种操作系统可供选择：这些操作系统包括 Windows、Linux、VxWorks 等，而针对特殊应用，还可根据需要对操作系统进行裁减，以适应实时数字信号处理要求。

(4) 开发、调试较为方便：X86 的开发、调试工具十分成熟，使用者不需要很深的硬件基础，只要能够熟练使用 VC、C-Build 等开发工具即可进行开发。

但使用 X86 进行实时信号处理的缺点也是十分明显的，主要表现在以下几个方面。

(1) 数字信号处理能力不强：X86 系列处理器没有为数字信号处理提供专用乘法器等资源，寻址方式也没有为数字信号处理进行优化，实时信号处理对中断的响应延迟时间要求十分严格，通用操作系统并不能满足这一要求。

(2) 硬件组成较为复杂：即使是采用最小系统，X86 数字信号处理系统也要包括主板（包括 CPU、总线控制、内存等）、非易失存储器（硬盘或电子硬盘、SD 卡或 CF 卡）和信号输入/输出部分（这部分通常为 A/D 扩展卡和 D/A 扩展卡），如果再包括显示、键盘等设备，系统将更为复杂。

(3) 系统体积、重量较大，功耗较高：即使采用紧凑的 PC104 结构，其尺寸也达到 96mm×90mm，而尽管采用各种降低功耗的措施，X86 主板的峰值功耗仍不小于 5W，高功耗对供电提出较高要求，则需要便携式系统提供容量较大的电池，进一步增大了系统的重量。

(4) 抗环境影响能力较弱：便携式系统往往要工作于自然环境中，温度、湿度、振动、电磁干扰等都会给系统正常工作带来影响，而为了克服这些影响，X86 系统所需付出的代价将是十分巨大的。

2. 利用通用微处理器完成实时数字信号处理

通用微处理器的种类多，包括 51 系列及其扩展系列，TI 公司的 MSP430 系列，ARM 公司的 ARM7、ARM9、ARM10 系列等，利用通用微处理器进行信号处理的优点如下。

(1) 可选范围广：通用微处理器种类多，使用者可从速度、片内存储器容量、片内外设资源等各种角度进行选择，许多处理器还为执行数字信号处理专门提供了乘法器等资源。

(2) 硬件组成简单：只需要非易失存储器，A/D、D/A 即可组成最小系统，这类处理器一般都包括各种串行、并行接口，可以方便地与各种 A/D、D/A 转换器进行连接。

(3) 系统功耗低，适应环境能力强。

利用通用微处理器进行信号处理的缺点有以下两点。

(1) 信号处理的效率较低：以一个两个数值乘法为例，处理器需要先用两条指令从存储器中取值到寄存器中，用一条指令完成两个寄存器的值相乘，再用一条指令将结果存到存储器中，这样，完成一次乘法就花费了 4 条指令，使信号处理的效率难以提高。

(2) 内部 DMA 通道较少：数字信号处理需要对大量的数据进行搬移，如果这些数据搬移全部通过 CPU 进行，将极大地浪费 CPU 资源，但通用处理器往往 DMA 通道数量较少，甚至没有 DMA 通道，这也将影响信号处理的效率。

针对这些缺点，当前的发展趋势是在通用处理器中内嵌硬件数字信号处理单元，如很多视频处理器产品都是在 ARM9 处理器中嵌入 H.264、MPEG4 等硬件视频处理模块，从而取得了较好的处理效果；而另一条路径是在单片中集成 ARM 处理器和 DSP 处理器，类似的产品如 TI 的 OMAP 处理器及达芬奇视频处理器，它们就是在一个芯片中集成了一个 ARM9 处理器和一个 C55x 处理器或一个 C64x 处理器。

3. 利用可编程逻辑阵列（FPGA）进行实时数字信号处理

随着微电子技术的快速发展，FPGA 的制作工艺已经进入 14nm 时期，这意味在一片集成电路中可以集成更多的晶体管，芯片运行更快，功耗更低。其主要优点如下。

(1) 适合高速信号处理：FPGA 采用硬件实现数字信号处理，更加适合实现高速数字信号处理，对于采样率大于 100MHz 的信号，采用专用芯片或 FPGA 是适当的选择。

(2) 具有专用数字信号处理结构：纵观当前最先进的 FPGA，如 Altera 公司的 Stratix IV、V 系列、Cyclone IV、V 系列，Xilinx 公司的 Virtex-6、Virtex-7 系列都为数字信号处理提供了专用的数字信号处理单元，这些单元由专用的乘法累加器组成，所提供的乘法累加器不仅减少了逻辑资源的使用，其结构也更加适合实现数字滤波器、FFT 等数字信号处理算法。

使用 FPGA 的缺点如下。

(1) 开发需要较深的硬件基础：无论用 VHDL 还是 Verilog HDL 语言实现数字信号处理功能，都需要较多的数字电路知识，硬件实现的思想与软件编程有着很大区别，从软件算法转移到 FPGA 硬件实现存在着很多需要克服的困难。

(2) 调试困难：对 FPGA 进行调试与软件调试存在很大区别，输出的信号需要通过示波器、逻辑分析仪进行分析，或者利用 JTAG 端口输出波形文件，而很多处理的中间信号量甚至无法引出进行观察，因此 FPGA 的更多工作是通过软件仿真来进行验证的，这就需要编写全面的测试文件，FPGA 的软件测试工作是十分艰巨的。

4. 利用数字信号处理器实现实时数字信号处理

数字信号处理器（Digital Signal Processor, DSP）是一种专门为实时、快速实现各种数字信号处理算法而设计的具有特殊结构的微处理器。20 世纪 80 年代初，世界上第一片可编程 DSP 芯片的诞生为数字信号处理理论的实际应用开辟了道路；随着低成本数字信号处理器的不断推出，更加促进了这一进程。20 世纪 90 年代以后，DSP 芯片的发展突飞猛进。其功能日益强大，性价比不断上升，开发手段不断改进。DSP 芯片已成为集成电路中发展最

快的电子产品之一。DSP 芯片迅速成为众多电子产品的核心器件，DSP 系统也被广泛地应用于当今技术革命各个领域——通信电子、信号处理、自动控制、雷达、军事、航空航天、医疗、家用电器、电力电子，而且新的应用领域还在不断地被发现、拓展。可以说，DSP 技术还在不断进步，未来发展的方向是向多核、异构方向发展。

1.2 数字信号处理器的特点

DSP 系统的应用领域极其广泛，目前其主要的应用领域如下。

- (1) 基本信号处理：数字滤波器、自适应滤波、FFT、相关运算、谱分析、卷积运算、模式匹配、窗函数、波形产生和变换等。
- (2) 通信：调制解调、自适应均衡、数据加密、数据压缩、回波抵消、多路复用、传真、扩频通信、纠错编码等。
- (3) 语音：语音编码、语音合成、语音识别、语音增强、说话人的辨认和确认、语音邮件、语音存储等。
- (4) 图形图像：二维和三维的图形处理，图像的压缩、传输与增强，机器人视觉等。
- (5) 军事：保密通信、雷达信号处理、声呐信号处理、导航、导弹制导等。
- (6) 仪器仪表：频谱分析、函数发生、锁相环、地震信号处理等。
- (7) 控制：引擎控制、声控、自动驾驶、机器人控制、磁盘控制等。
- (8) 医疗：助听、超声设备、诊断工具、患者监护等。
- (9) 家用电器：高保真音响、智能玩具与游戏、数字电话、数字电视等。

DSP 当前最大的应用领域是通信。以无线通信领域中的数字蜂窝电话为例，蜂窝电话中的 DSP 协调模拟基带芯片、电源处理芯片、数字基带处理芯片、RF 射频处理芯片合理而快速地工作，并兼有开发和测试的功能，使移动通信设备更加个性化、智能化。

军事领域是高性能 DSP 的天地。例如，雷达图像处理中使用 DSP 进行目标识别和实时飞行轨迹估计，要求浮点 DSP 每秒执行数十亿次浮点运算，而定点 DSP 的运算能力已经高达 9600MIPS。

嵌入 DSP 的家用电器已经融入了我们的生活之中。例如，在高清晰数字电视中，就采用 DSP 实现了其中关键的 MPEG2 译码电路；又如，使用 DSP 技术的家庭音响，可以产生比模拟音响更自然、更清晰和更丰富的音响效果；再如，配置了 DSP 处理器的洗衣机、冰箱不仅提高了系统的功能、效率和可靠性，减少了系统能耗和电磁干扰，而且更加容易操作和控制。

DSP 的应用领域也在不断地扩大。例如，DSP 是运行计算机图像学 (Computer Graphics, CG) 软件和提供虚拟现实 (Virtual Reality, VR) 系统三维图形处理能力最为关键的器件。DSP 使 CG、VR 传统分析方法得到了质的飞跃。可以预见，随着 DSP 芯片性价比的不断提高和新的实用 DSP 算法的不断出现，DSP 系统的应用在深度和广度上会有更大的发展。

1.2.1 存储器结构

众所周知，微处理器的存储器结构分为两大类：冯·诺依曼结构和哈佛结构。由于成本的原因，通用处理器 (GPP) 广泛使用冯·诺依曼存储器结构。典型冯·诺依曼结构的特点是只有一个存储器空间、一套地址总线和一套数据总线；指令、数据都存放在这个存储器

空间中，统一分配地址，所以处理器必须分时访问程序和数据空间。通常，做一次乘法会发生 4 次存储器访问，花费至少 4 个指令周期。

为了提高指令执行速度，DSP 采用了程序存储器空间和数据存储器空间分开的哈佛结构和多套地址、数据总线，其结构如图 1-2 所示。哈佛结构是并行体系结构，程序和数据存于不同的存储器空间中，每个存储器空间独立编址、独立访问。因此，DSP 可以同时取指令（来自程序存储器）和取操作数（来自数据存储器）；而且，还允许在程序空间和数据空间之间相互传送数据。哈佛读/写结构使 DSP 很容易实现单周期乘法运算。

目前，高性能 GPP 采用了片内高速缓存（Cache）技术以加快其处理速度。在 DSP 中也引入了这一技术，TMS320VC5510 就为内核提供了指令高速缓存。采用这一技术的原因是指令可能存储在内部存储器或外部存储器，而当其存储在外部存储器时，CPU 可以用高速缓存保存最近执行的指令，从而提高了系统的处理效率。

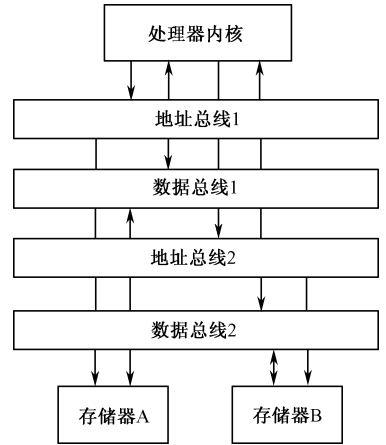


图 1-2 双总线存储器结构

1.2.2 流水线

流水线结构将指令的执行分解为取指、译码、取操作数和执行等几个阶段。在程序运行过程中，不同指令的不同阶段在时间上是重叠的，流水线结构提高了指令执行的整体速度，有助于保证数字信号处理的实时性。因此，所有 DSP 均采用一定级数的流水线，如 TMS320C54x DSP 采用 6 级流水线，而 TMS320C6xxx DSP 采用 8 级流水线。TMS320C55x DSP 的流水线则被分为指令流水线和执行流水线两部分，指令流水线完成访问地址产生、等待存储器回应、取指令包、预解码等工作；执行流水线完成译码、读取/修改寄存器、读操作数和输出结果等工作。

1.2.3 硬件乘法累加单元

由于 DSP 任务包含大量的乘法—累加操作，所以 DSP 处理器使用专门的硬件来实现单周期乘法，并使用累加器寄存器来处理多个乘积的累加；而且几乎所有 DSP 指令集都包含有 MAC 指令。而 GPP 通常使用微程序实现乘法。

1.2.4 零开销循环

DSP 算法的特点之一是主要的处理时间用在程序中的循环结构中，因此多数 DSP 都有专门支持循环结构的硬件。所谓“零开销”（zero overhead）是指循环计数、条件转移等循环机制由专门硬件控制，而处理器不用花费任何时间。通常 GPP 的循环控制是用软件来实现的。

1.2.5 特殊的寻址方式

除了立即数寻址、直接寻址、间接寻址等常见寻址方式，DSP 还支持一些特殊的寻址方式。例如，为了降低卷积、自相关算法和 FFT 算法的地址计算开销，多数 DSP 支持循环寻址和位倒序寻址。而 GPP 一般不支持这些寻址方式。

1.2.6 高效的特殊指令

DSP 指令集设计了一些特殊的 DSP 指令用于专门的数字信号处理操作。这些指令充分利用了 DSP 的结构特点，提高了指令执行的并行度，从而大大加快了完成这些操作的速度。例如，TMS320C55xx 中的 FIRSADD 指令和 LMS 指令，分别用于对称结构 FIR 滤波算法和 LMS 算法。

1.2.7 丰富的片内外设

根据应用领域的不同，DSP 片内集成了众多类型的硬件设备，例如，定时器、串行口、并行口、主机接口（HPI）、DMA 控制器、等待状态产生器、PLL 时钟产生器、JTEG 标准测试接口、ROM、RAM 及 Flash 等，如图 1-3 所示。这些片内外设提高了处理速度和数据吞吐能力，简化了接口设计，同时降低了系统功耗和节约了电路板空间。

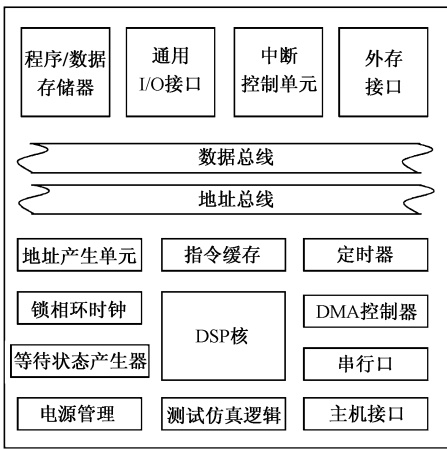


图 1-3 DSP 片内外设实例

除了上述软、硬件区别，从程序开发的角度，DSP 和 GPP 也有重要区别。例如，GPP 一般使用 C 语言或 C++ 语言等高级语言；但因为大多数高级语言并不适合于描述典型 DSP 算法，所以 DSP 应用程序一般要用汇编语言或 C 语言与汇编语言嵌套的方式编写。即使采用 C 源代码编译为汇编代码的方法，许多核心代码最后还要用汇编语言进行手工优化。此外，大多数 DSP 厂商都提供一些开发仿真工具，以帮助程序员完成其开发仿真工作。DSP 仿真工具能够精确到指令周期，这对于确保实时性和代码优化非常重要。而 GPP 厂商通常并不需要提供这样的工具。

1.3 TI 公司的 DSP 产品

按照应用领域的要求，DSP 器件可以分为 3 类：第一类应用于工业控制领域，这方面的应用要求 DSP 工作稳定、可靠、集成度高、成本低，这类芯片一般都在内部集成了 CAN 总线、PWM 模块等适合于工业控制的专用外设；第二类是大量的低成本嵌入式应用系统，如手机、磁盘驱动器、MP3 播放器等，在这些应用中，成本、集成度和功耗是最重要的因素；第三类是需要用复杂算法对大量数据进行处理的应用，如声呐探测和地震探测等，该类设备批量小、算法复杂、对性能要求苛刻，而对成本和功耗并不是特别关注。因此，在选择 DSP 处理器时，要根据目标系统的不同要求，综合考虑性能、成本、集成度、开发的难易程度及功耗等因素。

TI 公司的 DSP 产品已经发展了三代，第一代是以 TMS320C10 为代表的数字信号处理器产品；接下来又推出了以 C2x、C3x 和 C4x 系列为代表的第二代数字信号处理器，其中 C2x 为 16 位定点信号处理器，C3x 和 C4x 为 32 位浮点信号处理器。1992 年，TI 公司推出了 TMS320C541 处理器，从此，TI 公司的数字信号处理器进入了第三代。第三代处理器在 10 余年的时间得到了飞速发展，现在已经拥有主要用于控制领域的 C24x 和 C28x 系列，用

于便携消费电子产品的低功耗 16 位定点数字信号处理器 C54x、C55x 系列，用于高速信号处理和图像处理的高性能 16 位定点数字信号处理器 C62x、C64x 系列，用于浮点信号处理的 32 位浮点信号处理器 C67x 和 TMS320C33。最新一代处理器是 C66x 系列处理器，它融合了定点和浮点处理能力，内核数量最多达到 8 个 C66x 内核和 4 个 ARM Cortex-A15 内核，代表着数字信号处理器的未来发展方向。我们首先对 TI 公司的第三代数字信号处理器产品和 C66x 多核处理器系列进行简要的介绍，读者可据此选择适合的 DSP 芯片。

1.3.1 C24x 系列和 C28x 系列

C24x 系列主要用于电机控制领域，它可为交流感应电机、直流永磁体电机和开关激励式电机等提供高效控制，为无刷电机的变速控制提供廉价且高可靠性的解决方案，例如应用 C24x 系列处理器进行变频调节与非变频系统相比可以节省 25% 的能源消耗。C24x 系列处理器采用 TMS320C2xx 内核，该内核具有一个 32 位算术逻辑单元，一个 32 位累加器，一个 16 位×16 位乘法器。为了配合算术逻辑单元工作，还提供了输入和输出数据移位器，为 8 个辅助寄存器和一个辅助寄存器算术单元提供了数据地址产生电路，还有专用的程序地址产生电路。C24x 内部集成了 DSP 内核和微控制器片上外设，为用户提供了一种方便的单片解决方案。C24x 内部集成了 DARAM、Flash（或 E²PROM）存储器、16 位定时器、脉宽调制器、A/D 转换器、看门狗模块及 CAN 总线接口模块、SPI（Serial Peripheral Interface）和 SCI（Serial Communications Interface）等通信接口。表 1-1 所示为 C24x 系列处理器的内部资源、封装、电源等基本情况。

表 1-1 C24x 处理器概况

型号 (TMS320)	频率 (MHz)	RAM (KB)	Flash (KB)	供电	封装	外 设
F240	20	1	32	内核: 5V I/O: 5V	132 脚 BQFP	16 位 EMIF 接口, 12 通道 PWM 模块, 16 通道 10 位 ADC, 1 个 SCI 接口, 3 个 SPI 接口, 28 个 GPIO (通用输入/输出接口), 1 个看门狗模块, 3 个 16 位通用定时器, 4 个 CAP (事件捕获单元), 2 个 QEP (积分输出单元)
F241	20	1	16	内核: 5V I/O: 5V	64 脚 QFP 68 脚 PLCC	8 通道 PWM 模块, 8 通道 10 位 ADC, 1 个 SCI 接口, 3 个 SPI 接口, 1 个 CAN 总线接口, 26 个 GPIO, 1 个看门狗模块, 2 个 16 位通用定时器, 3 个 CAP, 2 个 QEP
F242	20	1	16	内核: 5V I/O: 5V	144 脚 LQFP	16 位 EMIF 接口, 8 通道 PWM 模块, 8 通道 10 位 ADC, 1 个 SCI 接口, 3 个 SPI 接口, 1 个 CAN 总线接口, 32 个 GPIO, 1 个看门狗模块, 2 个 16 位通用定时器, 3 个 CAP, 2 个 QEP
LC2401A	40	2	E ² PROM 16	内核: 3.3V I/O: 3.3V	32 脚 LQFP	7 通道 PWM 模块, 5 通道 10 位 ADC, 1 个 SCI 接口, 13 个 GPIO, 1 个看门狗模块, 2 个 16 位通用定时器, 1 个 CAP
LC2402A	40	1	E ² PROM 12	内核: 3.3V I/O: 3.3V	64 脚 QFP/TQFP	8 通道 PWM 模块, 8 通道 10 位 ADC, 1 个 SCI 接口, 21 个 GPIO, 1 个看门狗模块, 2 个 16 位通用定时器, 3 个 CAP, 2 个 QEP

型号 (TMS320)	频率 (MHz)	RAM (KB)	Flash (KB)	供电	封装	外 设
LC2403A	40	2	E ² PROM 32	内核: 3.3V I/O: 3.3V	64 脚 TQFP	8 通道 PWM 模块, 8 通道 10 位 ADC, 1 个 SCI 接口, 1 个 SPI 接口, 1 个 CAN 总线接口, 21 个 GPIO, 1 个看门狗模块, 2 个 16 位通用定时器, 3 个 CAP, 2 个 QEP
LC2406A	40	5	E ² PROM 64	内核: 3.3V I/O: 3.3V	100 脚 LQFP	16 通道 PWM 模块, 8 通道 10 位 ADC, 1 个 SCI 接口, 1 个 SPI 接口, 1 个 CAN 总线接口, 41 个 GPIO, 1 个看门狗模块, 4 个 16 位通用定时器, 6 个 CAP, 4 个 QEP
LF2401A	40	2	16	内核: 3.3V I/O: 3.3V	32 脚 LQFP	8 通道 PWM 模块, 5 通道 10 位 ADC, 1 个 SCI 接口, 13 个 GPIO, 1 个看门狗模块, 2 个 16 位通用定时器, 1 个 CAP
LF2402A	40	2	16	内核: 3.3V I/O: 3.3V	64 脚 QFP	8 通道 PWM 模块, 8 通道 10 位 ADC, 1 个 SCI 接口, 21 个 GPIO, 1 个看门狗模块, 2 个 16 位通用定时器, 3 个 CAP, 2 个 QEP
LF2403A	40	2	32	内核: 3.3V I/O: 3.3V	64 脚 TQFP	8 通道 PWM 模块, 8 通道 10 位 ADC, 1 个 SCI 接口, 1 个 SPI 接口, 1 个 CAN 总线接口, 21 个 GPIO, 1 个看门狗模块, 2 个 16 位通用定时器, 3 个 CAP, 2 个 QEP
LF2406A	40	5	64	内核: 3.3V I/O: 3.3V	100 脚 LQFP	16 通道 PWM 模块, 8 通道 10 位 ADC, 1 个 SCI 接口, 1 个 SPI 接口, 1 个 CAN 总线接口, 41 个 GPIO, 1 个看门狗模块, 4 个 16 位通用定时器, 6 个 CAP, 4 个 QEP
LF2407A	40	5	64	内核: 3.3V I/O: 3.3V	144 脚 LQFP	16 位 EMIF 接口, 16 通道 PWM 模块, 16 通道 10 位 ADC, 1 个 SCI 接口, 1 个 SPI 接口, 1 个 CAN 总线接口, 41 个 GPIO, 1 个看门狗模块, 4 个 16 位通用定时器, 6 个 CAP, 4 个 QEP

C28x 系列处理器是 TI 公司为控制领域的高端应用而开发的系列产品。首先内核由 C24x 系列的 16 位提升为 32 位, DSP 内核提供了两个 16 位×16 位乘法累加器, 可以进行 16 位×16 位、32 位×32 位乘法累加运算。该系列芯片采用了先进芯片制造技术, 速度升高到 60~150MHz, Flash 存储器的容量最高提升到 512KB。C28x 系列又分为 3 个小系列, 即 C280x、C281x 和 C2833x, 而 C2833x 系列又为用户提供了浮点处理能力。

C280x 系列为低价格数字信号控制器, 速度从 60MHz 到 100MHz, 表 1-2 所示为 C280x 系列处理器的内部资源、封装、电源等基本情况。

表 1-2 C280x 处理器概况

型号 (TMS320)	频率 (MHz)	RAM (KB)	Flash (KB)	供电	封装	外 设
F2801	60/100	12	32	内核: 1.8V I/O: 3.3V	60MHz 100 脚 LQFP 100 脚 BGA/BGA MICRO STAR 100 脚 LQFP	8 通道 PWM 模块, 16 通道 12 位 ADC, 1 个 SCI 接口, 2 个 SPI 接口, 1 个 CAN 总线接口, 1 个 I ² C 接口, 35 个 GPIO (通用输入/输出接口), 1 个看门狗模块, 3 个 32 位通用定时器, 2 个 CAP, 1 个 QEP

型号 (TMS320)	频率 (MHz)	RAM (KB)	Flash (KB)	供电	封装	外 设
F2802	60/100	12	64	内核: 1.8V I/O: 3.3V	同 2801	8 通道 PWM 模块, 16 通道 12 位 ADC, 1 个 SCI 接口, 2 个 SPI 接口, 1 个 CAN 总线接口, 1 个 I ² C 接口, 35 个 GPIO (通用输入/输出接口), 1 个看门狗模块, 3 个 32 位通用定时器, 2 个 CAP, 1 个 QEP
F2806	100	20	64	内核: 1.8V I/O: 3.3V	同 100MHz2801	16 通道 PWM 模块, 16 通道 12 位 ADC, 2 个 SCI 接口, 4 个 SPI 接口, 1 个 CAN 总线接口, 1 个 I ² C 接口, 35 个 GPIO (通用输入/输出接口), 1 个看门狗模块, 3 个 32 位通用定时器, 4 个 CAP, 2 个 QEP
F2808	100	36	128	内核: 1.8V I/O: 3.3V	同 100MHz2801	16 通道 PWM 模块, 16 通道 12 位 ADC, 2 个 SCI 接口, 4 个 SPI 接口, 2 个 CAN 总线接口, 1 个 I ² C 接口, 35 个 GPIO (通用输入/输出接口), 1 个看门狗模块, 3 个 32 位通用定时器, 4 个 CAP, 2 个 QEP
F2809	100	36	256	内核: 1.8V I/O: 3.3V	同 100MHz2801	16 通道 PWM 模块, 16 通道 12 位 ADC, 2 个 SCI 接口, 4 个 SPI 接口, 2 个 CAN 总线接口, 1 个 I ² C 接口, 35 个 GPIO (通用输入/输出接口), 1 个看门狗模块, 3 个 32 位通用定时器, 4 个 CAP, 2 个 QEP
F28015	60	12	32	内核: 1.8V I/O: 3.3V	100 脚 LQFP	8 通道 PWM 模块, 16 通道 12 位 ADC, 1 个 SCI 接口, 1 个 SPI 接口, 1 个 I ² C 接口, 35 个 GPIO (通用输入/输出接口), 1 个看门狗模块, 3 个 32 位通用定时器, 2 个 CAP
F28016	60	12	32	内核: 1.8V I/O: 3.3V	100 脚 LQFP	8 通道 PWM 模块, 16 通道 12 位 ADC, 1 个 SCI 接口, 1 个 SPI 接口, 1 个 CAN 总线接口, 1 个 I ² C 接口, 35 个 GPIO (通用输入/输出接口), 1 个看门狗模块, 3 个 32 位通用定时器, 2 个 CAP
F28044	100	20	128	内核: 1.8V I/O: 3.3V	100 脚 LQFP	16 通道 PWM 模块, 16 通道 12 位 ADC, 1 个 SCI 接口, 1 个 SPI 接口, 1 个 I ² C 接口, 35 个 GPIO (通用输入/输出接口), 1 个看门狗模块, 3 个 32 位通用定时器

C281x 系列的速度提高到 150MHz, Flash 存储器的容量扩展到 128KB 和 256KB, A/D 转换器的速度提高到 12.5MSPS, C2810、C2811 还具有代码兼容和引脚兼容的特点, 表 1-3 所示为 C281x 系列处理器的内部资源、封装、电源等基本情况。

C2833x 系列在 C281x 的基础上还集成了一个单精度浮点运算单元, 外部具有了 32/16 位 EMIF 接口, 为了便于同外设进行通信还提供了一个 6 通道 DMA 控制器, Flash 存储器的容量扩展到 128KB、256KB 和 512KB, 表 1-4 所示为 C2833x 系列处理器的内部资源、封装、电源等基本情况。

表 1-3 C281x 处理器概况

型号 (TMS320)	频率 (MHz)	RAM (KB)	Flash (KB)	供电	封装	外 设
F2810	150	36	128	内核: 1.9V I/O: 3.3V	128 脚 LQFP	16 通道 PWM 模块, 16 通道 12 位 ADC, 1 个 McBSP 接口, 1 个 SCI 接口, 2 个 SPI 接口, 1 个 CAN 总线接口, 1 个 I ² C 接口, 56 个 GPIO (通用输入/输出接口), 1 个看门狗模块, 3 个 32 位通用定时器, 6 个 CAP, 2 个 QEP
F2811	150	36	256	内核: 1.9V I/O: 3.3V	128 脚 LQFP	16 通道 PWM 模块, 16 通道 12 位 ADC, 1 个 McBSP 接口, 1 个 SCI 接口, 2 个 SPI 接口, 1 个 CAN 总线接口, 1 个 I ² C 接口, 56 个 GPIO (通用输入/输出接口), 1 个看门狗模块, 3 个 32 位通用定时器, 6 个 CAP, 2 个 QEP
F2812	150	36	256	内核: 1.9V I/O: 3.3V	176 脚 LQFP 179 脚 BGA/ BGA MICRO STAR	1 个 16 位 EMIF 接口, 16 通道 PWM 模块, 16 通道 12 位 ADC, 1 个 McBSP 接口, 1 个 SCI 接口, 2 个 SPI 接口, 1 个 CAN 总线接口, 1 个 I ² C 接口, 56 个 GPIO (通用输入/输出接口), 1 个看门狗模块, 3 个 32 位通用定时器, 6 个 CAP, 2 个 QEP
R2811	150	40		内核: 1.9V I/O: 3.3V	128 脚 LQFP	16 通道 PWM 模块, 16 通道 12 位 ADC, 1 个 McBSP 接口, 1 个 SCI 接口, 2 个 SPI 接口, 1 个 CAN 总线接口, 1 个 I ² C 接口, 56 个 GPIO (通用输入/输出接口), 1 个看门狗模块, 3 个 32 位通用定时器, 6 个 CAP, 2 个 QEP
F2812	150	40	256	内核: 1.9V I/O: 3.3V	176 脚 LQFP 179 脚 BGA/ BGA MICRO STAR	1 个 16 位 EMIF 接口, 16 通道 PWM 模块, 16 通道 12 位 ADC, 1 个 McBSP 接口, 1 个 SCI 接口, 2 个 SPI 接口, 1 个 CAN 总线接口, 1 个 I ² C 接口, 56 个 GPIO (通用输入/输出接口), 1 个看门狗模块, 3 个 32 位通用定时器, 6 个 CAP, 2 个 QEP

表 1-4 C2833x 处理器概况

型号 (TMS320)	频率 (MHz)	RAM (KB)	Flash (KB)	供电	封装	外 设
F28332	150	52	128	内核: 1.9V I/O: 3.3V		1 个 32/16 位 EMIF 接口, 16 通道 PWM 模块, 16 通道 12 位 ADC, 1 个 McBSP 接口, 2 个 SCI 接口, 1 个 SPI 接口, 2 个 CAN 总线接口, 1 个 I ² C 接口, 88 个 GPIO (通用输入/输出接口), 1 个看门狗模块, 3 个 32 位通用定时器, 4 个 CAP, 2 个 QEP

型号 (TMS320)	频率 (MHz)	RAM (KB)	Flash (KB)	供电	封装	外 设
F28334	150	68	256	内核: 1.9V I/O: 3.3V	176 脚 LQFP 179 脚 BGA MICRO STAR	1 个 32/16 位 EMIF 接口, 18 通道 PWM 模块, 16 通道 12 位 ADC, 2 个 McBSP 接口, 3 个 SCI 接口, 1 个 SPI 接口, 2 个 CAN 总线接口, 1 个 I ² C 接口, 88 个 GPIO (通用输入/输出接口), 1 个看门狗模块, 3 个 32 位通用定时器, 4 个 CAP, 2 个 QEP
F28334	150	68	512	内核: 1.9V I/O: 3.3V	176 脚 LQFP 179 脚 BGA/BGA MICRO STAR	1 个 32/16 位 EMIF 接口, 18 通道 PWM 模块, 16 通道 12 位 ADC, 2 个 McBSP 接口, 3 个 SCI 接口, 1 个 SPI 接口, 2 个 CAN 总线接口, 1 个 I ² C 接口, 88 个 GPIO (通用输入/输出接口), 1 个看门狗模块, 3 个 32 位通用定时器, 4 个 CAP, 2 个 QEP

1.3.2 C62x 系列和 C64x 系列

C62x 系列是 TI 公司第一个采用超长指令字的 DSP 产品, 其内部包含 6 个算术逻辑单元和两个 16 位×16 位乘法器, 这样 C6000 系列可以在一个循环中完成 8 次操作。C62x 系列处理器的推出具有里程碑式的意义, 它为高性能 DSP 树立了标准, 表 1-5 所示为 C62x 系列处理器的内部资源、封装、电源等基本情况。

表 1-5 C62x 处理器概况

型号 (TMS320)	频率 (MHz)	RAM (KB)	供电	封装	外 设
C6201	200	128	内核: 1.8V I/O: 3.3V	352FC/ CSP	1 个 32 位 EMIF 接口, 可接异步 SRAM、同步 SDRAM/SBSRAM, 4 通道 DMA, 2 个 32 位定时器, 2 个 McBSP 接口, 1 个 16 位 HPI 接口
C6202B	250 300	384	内核: 1.5V I/O: 3.3V		1 个 32 位 EMIF 接口, 可接异步 SRAM、同步 SDRAM/SBSRAM, 4 通道 DMA, 2 个 32 位定时器, 3 个 McBSP 接口
C6203B	250 300	896	内核: 1.5V I/O: 3.3V	384FC/ CSP	1 个 32 位 EMIF 接口, 可接异步 SRAM、同步 SDRAM/SBSRAM, 4 通道 DMA, 2 个 32 位定时器, 3 个 McBSP 接口
C6204	200	128	内核: 1.5V I/O: 3.3V		1 个 32 位 EMIF 接口, 可接异步 SRAM、同步 SDRAM/SBSRAM, 4 通道 DMA, 2 个 32 位定时器, 2 个 McBSP 接口
C6205	200	128	内核: 1.5V I/O: 3.3V		1 个 32 位 EMIF 接口, 可接异步 SRAM、同步 SDRAM/SBSRAM, 4 通道 DMA, 2 个 32 位定时器, 2 个 McBSP 接口, 32 位 PCI 接口
C6211B	150/ 167	64	内核: 1.8V I/O: 3.3V	256BGA	1 个 32 位 EMIF 接口, 可接异步 SRAM、同步 SDRAM/SBSRAM, 16 通道 DMA, 2 个 32 位定时器, 2 个 McBSP 接口 1 个 16 位 HPI 接口

C64x 系列采用了 C64x 内核, 采用了增强型超长指令字结构, 改进了流水线结构, 支持 32 位或 64 位宽度存储器访问, 最高处理能力已经达到 9600MIPS, 表 1-6 所示为 C64x 系列处理器的内部资源、封装、电源等基本情况。

表 1-6 C64x 处理器概况

型号 (TMS320)	频率 (MHz)	RAM (KB)	供电 (内核/外设)	封装	外 设
C6410	400	128	1.2V/3.3V	352FC/ CSP	1 个 32 位 EMIF 接口, 可接异步 SRAM、同步 SDRAM/SBSRAM, 64 通道 DMA, 3 个 32 位定时器, 2 个 McBSP 接口, 2 个 I ² C 接口, 1 个 32/16 位 HPI 接口
C6411	300	256	1.2V/3.3V	532FC BGA	1 个 32 位 EMIF 接口, 可接异步 SRAM、同步 SDRAM/SBSRAM, 64 通道 DMA, 3 个 32 位定时器, 2 个 McBSP 接口, 1 个 32/16 位 HPI 接口, 10/100M EMAC 接口
C6412	600 720	256	1.2V/3.3V	532FC BGA	1 个 64 位 EMIF 接口, 可接异步 SRAM、同步 SDRAM/SBSRAM, 64 通道 DMA, 3 个 32 位定时器, 2 个 McBSP 接口, 1 个 I ² C 接口, 1 个 32/16 位 HPI 接口, 10/100M EMAC 接口, 32 位 [66 MHz] PCI 接口
C6413	500	256	1.2V/3.3V	288FC BGA	1 个 32 位 EMIF 接口, 可接异步 SRAM、同步 SDRAM/SBSRAM, 64 通道 DMA, 3 个 32 位定时器, 2 个 McBSP 接口, 2 个 I ² C 接口, 1 个 32/16 位 HPI 接口
C6418	500 600	512	1.4V/3.3V	288FC BGA	1 个 32 位 EMIF 接口, 可接异步 SRAM、同步 SDRAM/SBSRAM, 64 通道 DMA, 3 个 32 位定时器, 2 个 McBSP 接口, 2 个 I ² C 接口, 1 个 32/16 位 HPI 接口
C6414 -5E0 -6E3 -7E3	500 600 720	1024	1.2V/3.3V 1.4V/3.3V 1.4V/3.3V	532FC BGA	1 个 16 位、1 个 64 位 EMIF 接口, 可接异步 SRAM、同步 SDRAM/SBSRAM, 1 个 32/16 位 HPI 接口, 3 个 32 位定时器, 3 个 McBSP 接口, 64 通道 EDMA
C6414T -600 -720 -850 -1000	600 720 850 1000	1024	1.1V/3.3V 1.2V/3.3V 1.2V/3.3V 1.2V/3.3V	532FC BGA	1 个 16 位、1 个 64 位 EMIF 接口, 可接异步 SRAM、同步 SDRAM/SBSRAM, 1 个 32/16 位 HPI 接口, 3 个 32 位定时器, 3 个 McBSP 接口, 64 通道 EDMA
C6415 -5E0 -6E3 -7E3	500 600 720	1024	1.2V/3.3V 1.4V/3.3V 1.4V/3.3V	532FC BGA	1 个 16 位、1 个 64 位 EMIF 接口, 可接异步 SRAM、同步 SDRAM/SBSRAM, 1 个 32/16 位 HPI 接口, 3 个 32 位定时器, 3 个 McBSP 接口, 64 通道 EDMA, 1 个 UTOPIA 接口, 1 个 32 位 PCI 接口
C6415T -600 -720 -850 -1000	600 720 850 1000	1024	1.1V/3.3V 1.2V/3.3V 1.2V/3.3V 1.2V/3.3V	532FC BGA	1 个 16 位、1 个 64 位 EMIF 接口, 可接异步 SRAM、同步 SDRAM/SBSRAM, 1 个 32/16 位 HPI 接口, 3 个 32 位定时器, 3 个 McBSP 接口, 64 通道 EDMA, 1 个 UTOPIA 接口, 1 个 32 位 PCI 接口
C6416 -5E0 -6E3 -7E3	500 600 720	1024	1.2V/3.3V 1.4V/3.3V 1.4V/3.3V	532FC BGA	1 个 16 位、1 个 64 位 EMIF 接口, 可接异步 SRAM、同步 SDRAM/SBSRAM, 1 个 32/16 位 HPI 接口, 3 个 32 位定时器, 3 个 McBSP 接口, 64 通道 EDMA, 1 个 UTOPIA 接口, 1 个 32 位 PCI 接口, 1 个 TCP (Turbo 码译码器), 1 个 VCP (Viterb 译码器)

型号 (TMS320)	频率 (MHz)	RAM (KB)	供电 (内核/外设)	封装	外 设
C6416T -600 -720 -850 -1000	600 720 850 1000	1024	1.1V/3.3V 1.2V/3.3V 1.2V/3.3V 1.2V/3.3V	532FC BGA	1 个 16 位、1 个 64 位 EMIF 接口，可接异步 SRAM、同步 SDRAM/SBSRAM，1 个 32/16 位 HPI 接口，3 个 32 位定时器，3 个 McBSP 接口，64 通道 EDMA，1 个 UTOPIA 接口，1 个 32 位 PCI 接口，1 个 TCP (Turbo 码译码器)，1 个 VCP (Viterb 译码器)
C6421 -400 -500 -600	400 500 600	64	1.05V, 1.2V/1.8V, 3.3V 1.2V/1.8V, 3.3V 1.2V/1.8V, 3.3V	361 BGA	1 个 8 位、1 个 16 位 DDR2 EMIF 接口，可接异步 SRAM、同步 SDRAM/SBSRAM，DDR2 SDRAM，NAND Flash，1 个 16 位 HPI 接口，1 个 64 位看门狗定时器，2 个 64 位定时器，1 个 McBSP 接口，1 个 I ² C 接口，64 通道 EDMA，10/100M EMAC 接口
C6424 -400 -500 -600	400 500 600	128	1.05V, 1.2V/1.8V, 3.3V 1.2V/1.8V, 3.3V 1.2V/1.8V, 3.3V	361 BGA	1 个 16/8 位、1 个 32/16 位 DDR2 EMIF 接口，可接异步 SRAM、同步 SDRAM/SBSRAM，DDR2 SDRAM，1 个 16 位 HPI 接口，1 个 64 位看门狗定时器，2 个 64 位定时器，2 个 McBSP 接口，1 个 I ² C 接口，64 通道 EDMA，1 个 32 位 PCI 接口，10/100M EMAC 接口
C6452 -720 -900	720 900	1408	1.2V/1.2V, 1.8V, 3.3V 1.2V/1.2V, 1.8V, 3.3V	529FC BGA	1 个 16 位、1 个 32 位 DDR2 EMIF 接口，可接异步 SRAM、同步 SDRAM/SBSRAM，DDR2 SDRAM，1 个 32/16 位 HPI 接口，4 个 64 位定时器，1 个 McASP 接口，1 个 I ² C 接口，1 个 SPI 接口，64 通道 EDMA，1 个 32 位 PCI (66/33MHz) 接口，10/100/1000M EMAC 接口
C6454 -720 -850 -1000	720 850 1000	1048	1.2V/1.2V, 1.5V, 1.8V, 3.3V 1.2V/1.2V, 1.5V, 1.8V, 3.3V 1.25V/1.2V, 1.5V, 1.8V, 3.3V	679FC BGA	1 个 64 位、1 个 32 位 DDR2 EMIF 接口，可接异步 SRAM、同步 SDRAM/SBSRAM，DDR2SDRAM，1 个 32/16 位 HPI 接口，2 个 64 位定时器，2 个 McBSP 接口，1 个 I ² C 接口，1 个 SPI 接口，64 通道 EDMA，1 个 32 位 PCI (66/33MHz) 接口，10/100/1000M EMAC 接口
C6455 -720 -850 -1000 -1200	720 850 1000 1200	2048	1.2V/1.2V, 1.5V, 1.8V, 3.3V 1.2V/1.2V, 1.5V, 1.8V, 3.3V 1.25V/1.2V, 1.5V, 1.8V, 3.3V 1.25V/1.2V, 1.5V, 1.8V, 3.3V	679FC BGA	1 个 64 位、1 个 32 位 DDR2 EMIF 接口，可接异步 SRAM、同步 SDRAM/SBSRAM，DDR2 SDRAM，1 个 32/16 位 HPI 接口，2 个 64 位定时器，2 个 McBSP 接口，1 个 I ² C 接口，1 个 SPI 接口，64 通道 EDMA，1 个 UTOPIA 接口，1 个 32 位 PCI (66/33MHz) 接口，1 个串行 RapidIO 接口，10/100/1000M EMAC 接口，1 个 TCP (Turbo 码译码器)，1 个 VCP (Viterb 译码器)

1.3.3 C67x 系列和 C33

C67x 和 C33 是 TI 公司的浮点数字信号处理器系列，C67x 除了兼容 C62x 指令集，还支持浮点操作。其内核包括 4 个浮点/定点算术逻辑单元，两个定点算术逻辑单元和两个浮点/定点乘法器，支持单精度和双精度浮点运算，表 1-7 所示为 C67x 系列和 C33 处理器的内

部资源、封装、电源等基本情况。

表 1-7 C67x 和 C33 处理器概况

型号 (TMS320)	频率 (MHz)	RAM (KB)	供电 (内核/外设)	封装	外 设
C6701 -150 -167	150 167	128	1.8V/ 3.3V 1.9V/ 3.3V	352FC/ CSP	1 个 32 位 EMIF 接口, 可接异步 SRAM、同步 SDRAM/SBSRAM, 4 通道 DMA, 2 个 32 位定时器
C6711D -167 -200 -250	167 200 250		1.26V/ 3.3V 1.26V/ 3.3V 1.4V/3.3V	272 BGA	1 个 32 位 EMIF 接口, 可接异步 SRAM、同步 SDRAM/SBSRAM, 16 通道 DMA, 2 个 32 位定时器
C6712D -150	150		1.26V/ 3.3V	272 BGA	1 个 32 位 EMIF 接口, 可接异步 SRAM、同步 SDRAM/SBSRAM, 16 通道 DMA, 2 个 32 位定时器
C6713B -167 -200 -225 -300	167 200 225 300		1.2V/ 3.3V 1.26V/ 3.3V 1.26V/ 3.3V 1.4V/3.3V	272 BGA	1 个 32 位 EMIF 接口, 可接异步 SRAM、同步 SDRAM/SBSRAM, 16 通道 DMA, 2 个 32 位定时器
C6720 -200	200	64	1.2V/ 3.3V	144H TQFP	1 个 16 位 EMIF 接口, 可接异步 SRAM、同步 SDRAM/SBSRAM, Dmax DMA, 1 个实时时钟定时器, 2 个 I ² C 接口, 2 个 McASP 接口
C6722B -200 -225 -250	200 225 250	128	1.2V/ 3.3V 1.2V/ 3.3V 1.2V/ 3.3V	144H TQFP	1 个 16 位 EMIF 接口, 可接异步 SRAM、同步 SDRAM/SBSRAM, Dmax DMA, 1 个实时时钟定时器, 2 个 I ² C 接口, 2 个 McASP 接口
C6726B -225 -266	225 266	256	1.2V/ 3.3V 1.2V/ 3.3V	144H TQFP	1 个 16 位 EMIF 接口, 可接异步 SRAM、同步 SDRAM/SBSRAM, Dmax DMA, 1 个实时时钟定时器, 2 个 I ² C 接口, 3 个 McASP 接口
C6727B -250 -275 -300 -350	250 275 300 350	256	1.2V/ 3.3V 1.2V/ 3.3V 1.2V/ 3.3V 1.4V/ 3.3V	256 BGA	1 个 32 位 EMIF 接口, 可接异步 SRAM、同步 SDRAM/SBSRAM, Dmax DMA, 1 个实时时钟定时器, 2 个 I ² C 接口, 3 个 McASP 接口
VC33 -120 -150	60 75	64	1.8V/3.3V 1.8V/3.3V	144 LQFP	1 个 32 位 EMIF 接口, 可接异步 SRAM, 1 个串行接口, 2 个 32 位定时器, DMA 控制器

1.3.4 C54x 系列和 C55x 系列

C54x 和 C55x 系列是 TI 公司为便携消费电子产品推出的低功耗 16 位定点数字信号处理器, 本书将对 C55x 系列进行详细的介绍, 在这里先对其内部资源、供电、封装等进行简单的描述。

C54x 系列针对低功耗应用采用了一系列措施, 在确保性能的同时保证了 DSP 的低功

耗，表 1-8 给出了 C54x 系列的简要描述。

表 1-8 C54x 处理器概况

型号 (TMS320)	频率 (MHz)	RAM (KB)	供电 (内核/外设)	封装	外 设
VC5401 -50	50	16	1.8V/3.3V	144BGA 144LQFP	1 个 16 位 EMIF 接口，支持异步存储器，6 通道 DMA，8 位 HPI 接口，2 个 McBSP 接口，2 个 16 位定时器
VC5402 -100 -120	100 120	32	1.8V/3.3V	144BGA 144LQFP	1 个 16 位 EMIF 接口，支持异步存储器，6 通道 DMA，8 位 HPI 接口，2 个 McBSP 接口，2 个 16 位定时器
VC5402A -160	160	32	1.6V/3.3V	144BGA 144LQFP	1 个 16 位 EMIF 接口，支持异步存储器，6 通道 DMA，8/16 位 HPI 接口，3 个 McBSP 接口，1 个 16 位定时器
VC5404 -120	120	32	1.5V/3.3V	144BGA 144LQFP	1 个 16 位 EMIF 接口，支持异步存储器，6 通道 DMA，8/16 位 HPI 接口，3 个 McBSP 接口，2 个 16 位定时器
VC5407 -120	120	80	1.5V/3.3V	144BGA 144LQFP	1 个 16 位 EMIF 接口，支持异步存储器，6 通道 DMA，8/16 位 HPI 接口，3 个 McBSP 接口，2 个 16 位定时器
VC5409 -80 -100	80 100	64	1.8V/3.3V 1.8V/3.3V	144BGA 144LQFP	6 通道 DMA，8/16 位 HPI 接口，3 个 McBSP 接口，1 个 16 位定时器
VC5409A -120 -160	120 160	64	1.5V/3.3V 1.6V/3.3V	144BGA 144LQFP	6 通道 DMA，8/16 位 HPI 接口，3 个 McBSP 接口，1 个 16 位定时器
VC5410 -100	100	128	2.5V/3.3V	144LQFP 176BGA MICRO STAR	1 个 16 位 EMIF 接口，支持异步存储器，6 通道 DMA，8 位 HPI 接口，3 个 McBSP 接口，1 个 16 位定时器
VC5410A -120 -160	120 160	128	1.5V/3.3V 1.6V/3.3V	144LQFP 176BGA MICRO STAR	1 个 16 位 EMIF 接口，支持异步存储器，6 通道 DMA，8/16 位 HPI 接口，3 个 McBSP 接口，1 个 16 位定时器
VC5416 -120 -160	120 160	256	1.5V/3.3V 1.6V/3.3V	144BGA 144LQFP	1 个 16 位 EMIF 接口，支持异步存储器，6 通道 DMA，8/16 位 HPI 接口，3 个 McBSP 接口，1 个 16 位定时器
VC5420 -200	100	384	1.8V/3.3V	144LQFP	(2 个 C54x 内核) 1 个 16 位 EMIF 接口，支持异步存储器，6 通道 DMA，16 位 HPI 接口，6 个 McBSP 接口，2 个 16 位定时器
VC5421 -200	100	512	1.8V/3.3V	144BGA 144LQFP	(2 个 C54x 内核) 1 个 16 位 EMIF 接口，支持异步存储器，2 个 6 通道 DMA，16 位 HPI 接口，6 个 McBSP 接口，2 个 16 位定时器
VC5441 -532	133	1280	1.8V/3.3V	169BGA 176LQFP	(4 个 C54x 内核) 4 个 6 通道 DMA，16 位 HPI 接口，12 个 McBSP 接口，4 个 16 位定时器
VC549 -100 -120	100 120	64	2.5V/3.3V 2.5V/3.3V	144BGA 144LQFP	1 个 16 位 EMIF 接口，支持异步存储器，8 位 HPI 接口，1 个 16 位定时器

C55x 是在 C54x 基础上开发的新型低功耗、高性能数字信号处理器，它兼容 C54x 代码集，乘法器变成两个，而采用最新芯片制造技术大幅度提升了 DSP 的主频，从而提高了

C55x 系列处理器的处理能力，表 1-9 所示为 C55x 系列的内部资源、封装、电源等基本情况。

表 1-9 C55x 处理器概况

型号 (TMS320)	频率 (MHz)	RAM (KB)	供电 (内核/外设)	封装	外 设
VC5501 -300	300	32	1.26V/3.3V	176LQFP 201BGA MICRO STAR	1 个 32 位 EMIF 接口，支持异步 SRAM、同步 SDRAM/SBSRAM，6 通道 DMA，8 位 HPI 接口，1 个 I ² C 接口，2 个 McBSP 接口，1 个 UART 接口，1 个看门狗定时器，2 个 6 位定时器
VC5502 -200 -300	200 300	64	1.26V/3.3V 1.26V/3.3V	176LQFP 201BGA MICRO STAR	1 个 32 位 EMIF 接口，支持异步 SRAM、同步 SDRAM/SBSRAM，6 通道 DMA，8/16 位 HPI 接口，1 个 I ² C 接口，3 个 McBSP 接口，1 个 UART 接口，1 个看门狗定时器，2 个 64 位定时器
VC5503 -200 -144 -108	200 144 108	64	1.2V, 1.35V, 1.6V/2.7V~ 3.6V	179BGA	1 个 16 位 EMIF 接口，支持异步 SRAM、同步 SDRAM，6 通道 DMA，16 位 HPI 接口，1 个 I ² C 接口，2 个 McBSP 接口，1 个实时时钟，1 个看门狗定时器，2 个 16 位定时器
C5504 -100 -120 -150	100 120 150	256	1.05V,1.3V,1.4/ 1.8V~3.3V	196NFBGA	1 个 16 位 EMIF 接口，支持异步 SRAM、同步 SDRAM，4 通道 DMA，1 个 USB 接口，2 个 MMC/SD 接口，1 个 I ² C 接口，1 个 UART 接口，1 个 SPI 接口，1 个实时时钟，1 个看门狗定时器，3 个 32 位定时器，支持 AAC-LC，MP3 和 WMA 编解码
C5505 -100 -120 -150	100 120 150	320	1.05V,1.3V,1.4V /1.8V~3.3V	196NFBGA	1 个 16 位 EMIF 接口，支持异步 SRAM、同步 SDRAM，4 通道 DMA，1 个 USB 接口，2 个 MMC/SD 接口,4 通道 10 比特 ADC，1 个 I ² C 接口，1 个 UART 接口，1 个 SPI 接口，1 个实时时钟，1 个看门狗定时器，3 个 32 位定时器，1 个 FFT 硬件加速器，支持 AAC-LC，MP3 和 WMA 编解码
VC5506 -108	108	128	1.2V/2.7V~ 3.6V	144LQFP 179BGA 179BGA MICRO STAR	1 个 16 位 EMIF 接口，支持异步 SRAM、同步 SDRAM，6 通道 DMA，1 个 USB2.0 接口，1 个 I ² C 接口，3 个 McBSP 接口，1 个实时时钟，1 个看门狗定时器，2 个 16 位定时器
VC5507 -200 -144 -108	200 144 108	128	1.2V, 1.35V, 1.6V/2.7V~ 3.6V	179BGA	1 个 16 位 EMIF 接口，支持异步 SRAM、同步 SDRAM/SBSRAM，6 通道 DMA，16 位 HPI 接口，1 个 USB2.0 接口，2 通道 10 位 ADC，(LQFP 为 4 通道)，1 个 I ² C 接口，3 个 McBSP 接口，1 个实时时钟，1 个看门狗定时器，2 个 16 位定时器
VC5509A -200 -144 -108	200 144 108	256	1.2V, 1.35V, 1.6V/2.7V~ 3.6V	144LQFP 179BGA	1 个 16 位 EMIF 接口，支持异步 SRAM、同步 SDRAM，6 通道 DMA，16 位 HPI 接口，1 个 USB2.0 接口，2 通道 10 位 ADC，(LQFP 为 4 通道)，1 个 I ² C 接口，3 个 McBSP 接口，1 个实时时钟，1 个看门狗定时器，2 个 16 位定时器

型号 (TMS320)	频率 (MHz)	RAM (KB)	供电 (内核/外设)	封装	外 设
VC5510A -160 -200	160 200	320	1.6V/3.3V	240BGA MICRO STAR	1 个 32 位 EMIF 接口, 支持异步 SRAM、同步 SDRAM, 6 通道 DMA, 16 位 HPI 接口, 3 个 McBSP 接口, 2 个 16 位定时器
C5514 -100 -120	100 120	256	1.05V,1.3V/ 1.8V~3.3V	196NF BGA	1 个 16 位 EMIF 接口, 支持异步 SRAM、同步 SDRAM, 4 通道 DMA, 1 个 USB 接口, 2 个 MMC/SD 接口, 1 个 I ² C 接口, 1 个 UART 接口, 1 个 SPI 接口, 1 个实时时钟, 1 个看门狗定时器, 3 个 32 位定时器, 支持 AAC-LC, MP3 和 WMA 编解码
C5515 -100 -120	100 120	320	1.05V,1.3V/ 1.8V~3.3V	196NF BGA	1 个 16 位 EMIF 接口, 支持异步 SRAM、同步 SDRAM, 4 通道 DMA, 1 个 USB 接口, 2 个 MMC/SD 接口, 4 通道 10 比特 ADC, 1 个 I ² C 接口, 1 个 UART 接口, 1 个 SPI 接口, 1 个实时时钟, 1 个看门狗定时器, 3 个 32 位定时器, 1 个 FFT 硬件加速器, 支持 AAC-LC, MP3 和 WMA 编解码
C5535 -50 -100	50 100	320	1.05V,1.3V/ 1.8V~3.3V	144BGA MICRO STAR	4 通道 DMA, 3 个 32 位定时器, 2 个嵌入式 MMC/SD 接口, 1 个 UART 接口, 1 个 SPI 接口, 1 个 I ² C 接口, 4 个 I ² S 接口, 1 个 USB 接口, 4 通道 10 比特 ADC, 1 个 FFT 硬件加速器, 支持 AAC-LC, MP3 和 WMA 编解码
C5534 -50 -100	50 100	320	1.05V,1.3V/ 1.8V~3.3V	144BGA MICRO STAR	4 通道 DMA, 3 个 32 位定时器, 2 个嵌入式 MMC/SD 接口, 1 个 UART 接口, 1 个 SPI 接口, 1 个 I ² C 接口, 4 个 I ² S 接口, 1 个 USB 接口, 支持 AAC-LC, MP3 和 WMA 编解码
C5533 -50 -100	50 100	320	1.05V,1.3V/ 1.8V~3.3V	144BGA MICRO STAR	4 通道 DMA, 3 个 32 位定时器, 2 个嵌入式 MMC/SD 接口, 1 个 UART 接口, 1 个 SPI 接口, 1 个 I ² C 接口, 4 个 I ² S 接口, 1 个 USB 接口, 支持 AAC-LC, MP3 和 WMA 编解码
C5532 -50 -100	50 100	320	1.05V,1.3V/ 1.8V~3.3V	144BGA MICRO STAR	4 通道 DMA, 3 个 32 位定时器, 2 个嵌入式 MMC/SD 接口, 1 个 UART 接口, 1 个 SPI 接口, 1 个 I ² C 接口, 4 个 I ² S 接口, 支持 AAC-LC, MP3 和 WMA 编解码

1.3.5 C66x 多核系列

C66x 系列处理器是 TI 公司推出的多核处理器, 在该处理器上实现了定点和浮点处理能力的融合, 用户可以根据需求选取其单核、双核、4 核及 8 核产品, 同第三代处理器相比, 处理能力得到大幅提升, 外设也实现了大幅升级, 使得接口的数据吞吐率能够与处理能力相匹配。

表 1-10 C66x 多核处理器概况

型号 (TMS320)	CPU	频率 (MHz)	RAM (KB)	供电 (内核/外设)	封装	外设
C6670 -1000 -1200	4 个 C66x	1000 1200	6400	0.9V~1.1V/ 1.0V~1.8V	841FC BGA	1 个 64 位 DDR3 EMIF 接口, 支持 1600MHz 的 DDR3 SDRAM, 64 通道 EDMA, 1 个 I ² C 接口, 8 个 64 位定时器, 硬件加速器有 VCP2、TCP3d、TCP3e、FFT、PA, 1 个 AIF2 天线接口, 4 通道 SRIO2.1 接口, 1 个 Hyperlink 接口, 1 个 UART 接口, 1 个 SPI 接口, 3 个 PLL
C6671 -1000 -1250	1 个 C66x	1000 1250	4672	0.9V~1.1V/ 1.0V~1.8V	841FC BGA	1 个 64 位 DDR3 EMIF 接口, 支持 1600MHz 的 DDR3 SDRAM, 64 通道 EDMA, 1 个 I ² C 接口, 9 个 64 位定时器, 1 个 PA 硬件加速器; 4 通道 SRIO2.1 接口, 1 个 Hyperlink 接口, 1 个 16 位 EMIF 接口, 1 个 UART 接口, 1 个 SPI 接口, 3 个 PLL
C6672 -1000 -1250 -1500	2 个 C66x	1000 1250 1500	5248	0.9V~1.1V/ 1.0V~1.8V	841FC BGA	1 个 64 位 DDR3 EMIF 接口, 支持 1600MHz 的 DDR3 SDRAM, 64 通道 EDMA, 1 个 I ² C 接口, 10 个 64 位定时器, 1 个 PA 硬件加速器; 4 通道 SRIO2.1 接口, 1 个 Hyperlink 接口, 1 个 16 位 EMIF 接口, 1 个 UART 接口, 1 个 SPI 接口, 3 个 PLL
C6674 -1000 -1250	4 个 C66x	1000 1250	6400	0.9V~1.1V/ 1.0V~1.8V	841FC BGA	1 个 64 位 DDR3 EMIF 接口, 支持 1600MHz 的 DDR3 SDRAM, 64 通道 EDMA, 1 个 I ² C 接口, 12 个 64 位定时器, 1 个 PA 硬件加速器; 4 通道 SRIO2.1 接口, 1 个 Hyperlink 接口, 1 个 16 位 EMIF 接口, 1 个 UART 接口, 1 个 SPI 接口, 3 个 PLL
C6678 -100 -120 -150	8 个 C66x	1000 1250	8704	0.9V~1.1V/ 1.0V~1.8V	841FC BGA	1 个 64 位 DDR3 EMIF 接口, 支持 1600MHz 的 DDR3 SDRAM, 64 通道 EDMA, 1 个 I ² C 接口, 16 个 64 位定时器, 1 个 PA 硬件加速器; 4 通道 SRIO2.1 接口, 1 个 Hyperlink 接口, 1 个 16 位 EMIF 接口, 1 个 UART 接口, 1 个 SPI 接口, 3 个 PLL
C6654 -850	1 个 C66x	850	1088	0.9V~1.1V/ 1.0V~1.8V	625FC BGA	1 个 32 位 DDR3 EMIF 接口, 64 通道 EDMA, 支持 1066MHz 的 DDR3 SDRAM, 8 个 64 位定时器, 1 个 16 位 EMIF, 2 个 UART 接口, 2 个 McBSP 接口, 1 个 I ² C 接口, 1 个 SPI 接口, 2 个 PLL

型号 (TMS320)	CPU	频率 (MHz)	RAM (KB)	供电 (内核/外设)	封装	外设
C6655 -1000 -1250	1个 C66x	1000 1250	1088	0.9V~1.1V/ 1.0V~1.8V	625FC BGA	1个32位DDR3 EMIF接口, 64通道EDMA, 支持1333MHz的DDR3 SDRAM, 硬件加速器有VCP2、TCP3d, 8个64位定时器, 4通道SRIO2.1接口, 1个HyperLink接口, 1个16位EMIF, 2个UART接口, 2个McBSP接口, 1个I ² C接口, 1个SPI接口, 2个PLL
C6657 -1000 -1250	2个 C66x	1000 1250	2176	0.9V~1.1V/ 1.0V~1.8V	625FC BGA	1个32位DDR3 EMIF接口, 64通道EDMA, 支持1333MHz的DDR3 SDRAM, 硬件加速器有VCP2、TCP3d, 10个64位定时器, 4通道SRIO2.1接口, 1个HyperLink接口, 1个16位EMIF, 2个UART接口, 2个McBSP接口, 1个I ² C接口, 1个SPI接口, 2个PLL

1.4 DSP 芯片的选择

一般来说, 选择 DSP 芯片时应考虑到如下几个因素。

1.4.1 运算速度

DSP 芯片是否符合应用要求, 运算速度是非常关键的。常见的运算速度指标有如下几种。

(1) 指令周期: 执行一条指令所需的最短时间, 数值等于主频的倒数; 指令周期通常以 ns (纳秒) 为单位。例如, 运行在 200MHz 的 TMS320VC5510 的指令周期为 5ns。

(2) MIPS: 百万条指令数每秒。

(3) MOPS: 百万次操作数每秒。

(4) MFLOPS: 百万次浮点操作数每秒。

(5) BOPS: 十亿次操作数每秒。

(6) MAC 时间: 一次乘法累加操作花费的时间。大部分 DSP 芯片可在一个指令周期内完成 MAC 操作。

(7) FFT 执行时间: 完成 N 点 FFT 所需的时间。FFT 运算是数字信号处理中的典型算法而且应用很广, 因此该指标常用于衡量 DSP 芯片的运算能力。

这些指标都有很大的局限性。比如, 指令周期和 MIPS 指标并不能公正地区别不同 DSP 速度性能上的差异, 因为不同的 DSP 在单个指令周期内完成的任务量是不一样的。例如, 采用超长指令字 (VLIW) 架构的 DSP 可以在单个周期时间内完成多条指令。虽然 MAC 时间采用一个基本操作的执行时间作为标准来比较 DSP 的速度性能, 但是 MAC 时间显然不能提供足够的信息。而且大多数 DSP 在单个指令周期内即可完成 MAC, 所以其 MAC 时间

和指令周期是一样的。至于 MOPS、BOPS 和 MFLOPS 指标，会因为厂商对“操作”内涵诠释的不同而很难体现客观公允的评价要求。FFT 执行时间虽然相对于其他指标要好一些，但要 DSP 在具体实时应用中对表现出的处理速度做出准确估计仍然是很困难的。

目前，比较可靠的办法是利用某些典型的数字信号处理标准例程，这些例程可能是 FIR 或 IIR 滤波等“核心”算法，也可能是语音编解码等整个或部分应用程序。TI 公司提供了利用各种 DSP 执行这些标准例程的运行时间的测试结果。

1.4.2 算法格式和数据宽度

DSP 算法格式主要分为定点算法和浮点算法两种。一般而言，定点 DSP 芯片价格较便宜，功耗较低，但运算精度稍低；浮点 DSP 芯片的优点是运算精度高，但价格稍贵，功耗也较大。

大多数 DSP 处理器使用定点算法，有些 DSP 处理器采用浮点算法。浮点算法比较复杂，因而浮点 DSP 的成本和功耗要比定点 DSP 高。但是使用浮点 DSP 更容易进行高级语言编程，而且一般不用特别解决动态范围、精度的问题。所以，如果产品对成本和功耗的要求较严格，一般选用定点 DSP。设计人员需要通过理论分析或软件仿真来确定所需的动态范围和精度。如果要求易于开发、动态范围宽、精度高，可以考虑采用浮点 DSP。此外，有些算法在定点 DSP 中采用“块浮点”方法也可以实现较宽动态范围和较高的处理精度。所谓“块浮点”就是将具有相同指数，而尾数不同的一组数据作为一个数据块进行处理。“块浮点”处理通常用软件来实现。

浮点 DSP 的数据宽度一般为 32 位，而定点 DSP 的数据宽度可以为 16 位、20 位、24 位或 32 位。显然，对于相同算法格式的 DSP，数据宽度越大，精度越高。但是，数据宽度与 DSP 尺寸、引脚数及存储器等有直接关系。数据宽度越大，DSP 尺寸越大，引脚越多，存储器要求也越高。所以，在满足设计要求的前提下，尽量选用数据宽度小的 DSP，以降低开发成本。而对少量精度要求高的代码可以采取双精度算法。如果大多数计算对精度要求都很高，那么就需要选用较大数据宽度的处理器。

1.4.3 存储器

DSP 片内都集成一定数量的存储器，并且可以通过外部总线进行存储器扩展。选择 DSP 时，要根据具体应用对存储空间大小及对外部总线的要求来选择。DSP 的内部存储器通常包括 Flash 存储器、RAM 等。Flash 存储器通常用来存储程序及重要的数据，Flash 存储器是一种非易失存储器，当系统掉电后还能够保留所存储的信息，Flash 存储器的缺点是读/写速度较慢，而向 Flash 存储器写入数据的过程比较烦琐。DSP 中最重要的存储器是 RAM，例如在 TMS320VC5510 处理器中就集成了 320KB 的 RAM。有的 DSP 片内集成了多存取存储器，允许在一个指令周期内对存储器进行多次访问；也有的 DSP 片内集成了指令缓存，允许从缓存读取指令，从而将存储器空闲出来进行数据读取。DSP 外部总线可以扩展多种存储器，其中既有 EPROM、Flash 等非易失存储器，又有 SRAM、FIFO 等可快速访问的存储器，还可以连接 SDRAM、DDR SDRAM 等大容量存储器，而外部总线的数据宽度也从 16 位向 32 位和 64 位发展。这些特点也是选择 DSP 时可以参考的依据。

1.4.4 功耗

由于 DSP 器件越来越多地应用在便携式产品中，因此功耗是一个重要的考虑因素。下面是一些常见的降低系统功耗的技术。

(1) 低工作电压。目前 DSP 的工作电压有 5V、3.3V、2.5V、1.8V 等多种。

(2) “休眠”或“空闲”模式。大多数处理器具有关断处理器部分时钟的功能以降低功耗。

(3) 可编程时钟分频器。有的 DSP 可以在运行时动态编程改变处理器时钟频率以降低功耗。

(4) 外围控制。一些 DSP 器件允许程序中止系统暂时不使用的电路功能。

显然，根据 DSP 器件提供的降低功耗技术，选择最适应目标系统的处理器意味着未来产品的竞争优势。

1.4.5 开发工具

选择 DSP 芯片时，必须注意其开发工具的支持情况（包括软件开发工具、硬件开发工具）。软件开发工具包括编译器、汇编器、链接器、调试器、模拟器、目标代码库及实时操作系统（Real Time Operation System, RTOS）等，而硬件工具包括开发板和仿真器等。利用这些工具的设计过程如图 1-4 所示。

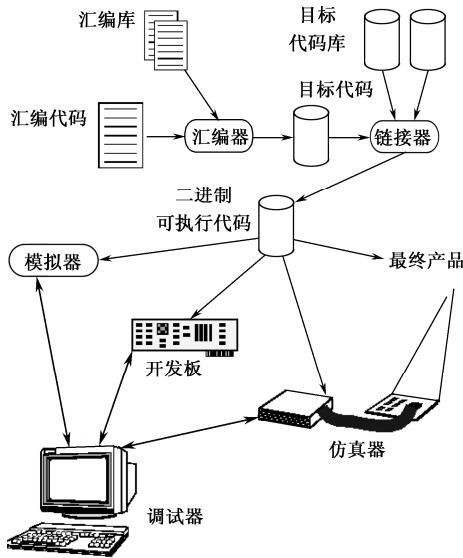


图 1-4 DSP 系统设计开发工具

此外，对于数据计算量很大的应用，需要考虑多处理器是否支持互连，以及互连性能（通信流量、开销和时间延迟）如何。选择 DSP 芯片还应考虑到封装的形式、质量标准、供货情况、生命周期等。

1.5 DSP 应用系统设计流程

DSP 系统的一般设计开发过程如图 1-5 所示。

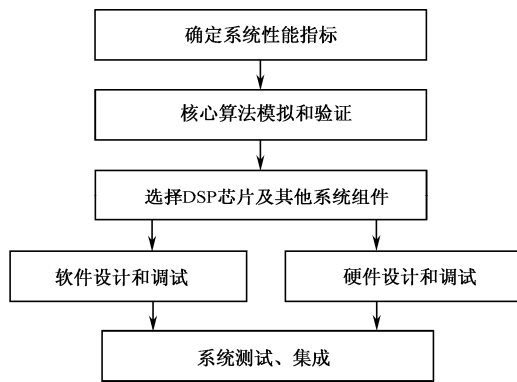


图 1-5 DSP 系统设计开发过程

(1) 确定系统性能指标。根据应用目标对系统进行任务划分，进行采样率、信号通道数、程序大小的确定。

(2) 核心算法模拟和验证。用 C 语言等高级语言或 MATLAB、SystemView 等开发工具模拟待选的或拟定的信号处理核心算法 (Algorithm)，进行功能验证、性能评价和优化，以确定最佳的信号处理方法。

(3) 选择 DSP 芯片及其他系统组件。选择一片合适的 DSP 芯片是至关重要的，因为这不仅关系到系统的性能和成本，而且决定着外部存储器、各种接口、ADC、DAC、电平转换器、电源管理芯片等其他系统组件的选择。

(4) 硬件设计和调试。根据选定的主要元器件建立电路原理图、设计制作 PCB、器件安装、加电调试。

(5) 软件设计和调试。用 DSP 汇编语言或 C 语言或两者嵌套的方法生成可执行程序，用 DSP 软件模拟器 (Simulator) 或 DSP 仿真器 (Emulator) 进行程序调试。

(6) 系统测试、集成。将软件加载到硬件系统中运行，并通过用 DSP 仿真器 (Emulator) 等测试手段检查其运行是否正常、稳定，是否符合实时要求。

思考与练习题

1. 简述典型实时数字信号处理系统的组成部分。
2. 简述 X86 处理器完成实时数字信号处理的优缺点。
3. 简述数字信号处理器的主要特点。
4. 给出存储器的两种主要结构，并分析其区别。
5. 简述选择数字信号处理器所需要考虑的因素。
6. 给出数字信号处理器的运算速度指标，并给出其具体含义。