

第 2 章 逻辑门电路

在数字电路中，集成逻辑门电路是组成各种逻辑运算电路的基本逻辑单元。

2.1 学习要点

1. 分立元件门电路

(1) 基本逻辑运算和基本逻辑门

基本逻辑运算有逻辑与、逻辑或和逻辑非。实现这 3 种逻辑运算的电路称作基本逻辑门。

二极管与门电路如图 2-1 (a) 所示，图 2-1 (b)、图 2-1 (c) 和图 2-1 (d) 分别为与门的惯用符号、国外符号和国标符号。A、B 为输入信号，F 为输出信号， VD_A 和 VD_B 为两个理想二极管。

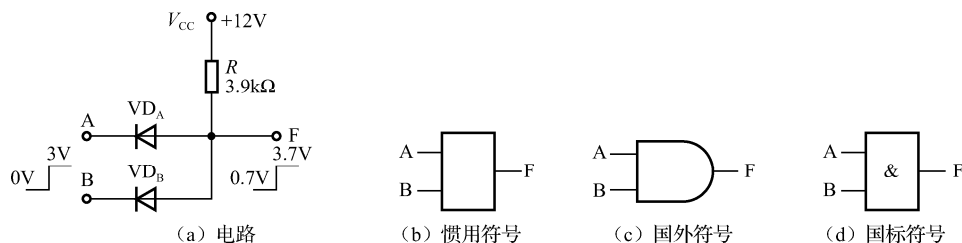


图 2-1 二极管与门电路及其常用的逻辑符号

二极管或门电路如图 2-2 (a) 所示。图 2-2 (b)、图 2-2 (c) 和图 2-2 (d) 分别为或门的惯用符号、国外符号和国标符号。

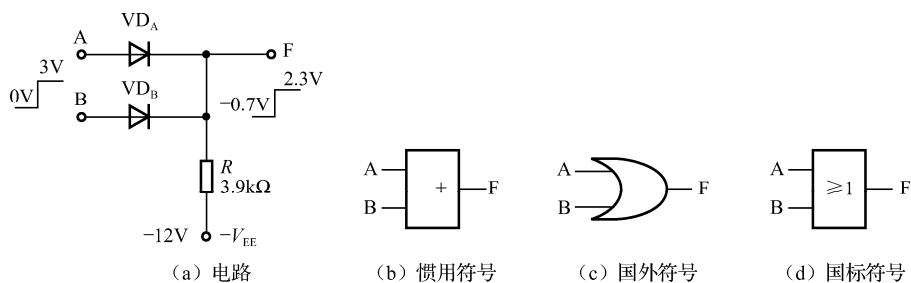


图 2-2 二极管或门电路及其常用的逻辑符号

三极管非门电路如图 2-3 (a) 所示。图 2-3 (b)、图 2-3 (c) 和图 2-3 (d) 分别为非门的惯用符号、国外符号和国标符号。

(2) 与非门和或非门电路

与非门电路由二极管与门和三极管非门连接构成，如图 2-4 所示。

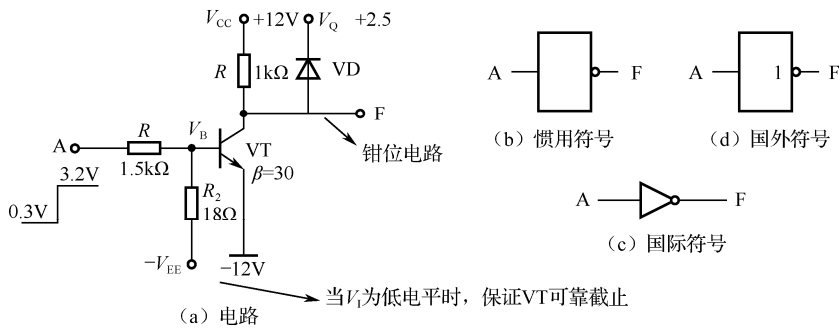


图 2-3 三极管非门及其常用的逻辑符号

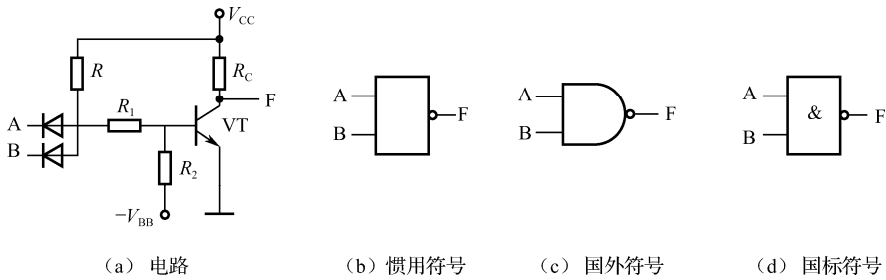


图 2-4 与非门电路及常用逻辑符号

或非门由二极管或门和三极管非门连接构成，如图 2-5 所示。

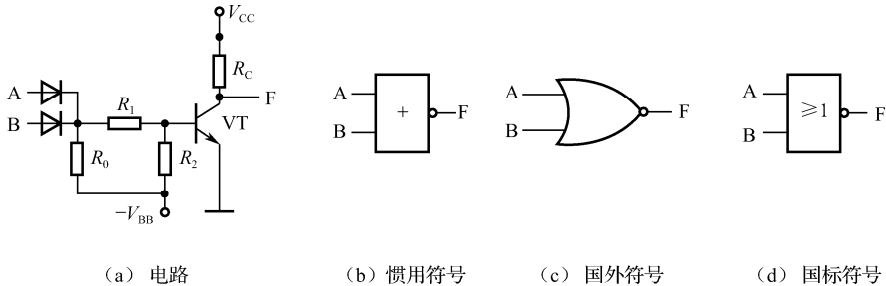


图 2-5 或非门电路及常用逻辑符号

2. TTL 集成逻辑门电路

(1) 集成电路的外部特性

集成电路的外部特性包括电路的逻辑功能和电气特性。集成电路的逻辑功能可以用逻辑符号、真值表、逻辑函数、卡诺图和时序波形图表示。电气特性包括输出高电平和输出低电平、开门电平和关门电平、扇出系数、平均延迟时间及功耗等。

1) 门电路的扇出系数

在给定的输入、输出特性曲线下，门电路可以驱动同类型门电路的最大数目称为门电路的扇出系数。计算方法：分别计算输出高、低电平时能带的负载门个数，保证最大负载电流不超过门电路的最大输出电流。与非门的驱动门输出低电平时，负载门输入端（无论有几个）并联在一起，总的输入都等于一个输入端接低电平时的 I_{IL} ；因为基极电流是固定的，

$i_{BI} = I_{IL} = \frac{V_{CC} - V_{BE1} - V_{IL}}{R_{b1}}$ 。与非门驱动门输出高电平时，总输入电流等于各个输入电流之和。

电流为负值，表明电流从器件流出，否则电流流入器件。或非门的输入特性和与非门相同，即并联后，无论输入高电平还是低电平，总的输入电流等于并联在一起的各个输入端的电流之和（或非门的输入端由独立的晶体管构成）。

2) 输入噪声容限（抗干扰能力）

在保证输出高、低电平基本不变（或变化大小不超过允许限度）的条件下，输入端允许的波动范围称为输入噪声容限。在将门电路连接成系统时，前一级的输出即为后一级的输入，因此输入噪声容限定义为：

$$\text{输入低电平噪声容限 } V_{NL} = V_{ILmax} - V_{OLmax}$$

$$\text{输入高电平噪声容限 } V_{NH} = V_{OHmin} - V_{IHmin}$$

3) TTL 门电路输入端负载特性

当使用门电路时，将输入端经过电阻接地，则有输入电流流过电阻，从而在电阻两端产生压降形成输入端电位 V_I ，电阻值 R 越大，输出电位 V_I 越高， V_I 随 R 的变化规律称为输入端负载特性。当 V_I 上升到 1.4V 以后，会使反相器内部的 VT_2 和 VT_5 管导通，使 V_I 被钳制不随 R 变化而上升。因此认为 R 较大时，输入端相当于接高电平。注意 CMOS 门电路没有输入端负载特性。

4) TTL 门电路的输出特性

对于 TTL 门电路，当输出为低电平时，驱动灌电流负载（负载电流从外部流入门电路）；当输出为高电平时，驱动拉电流负载（负载电流从门电路流出），但拉电流不能太大，太大会将输出电平拉低。

(2) 集电极开路（OC）门

OC 门允许多个 OC 门的输出端直接并接，并且在并接输出端实现“线与”功能，但必须外接上拉电阻。OC 门也能实现电平转换。集电极开路与非门的逻辑功能与普通的与非门相同，其逻辑符号如图 2-6 所示。

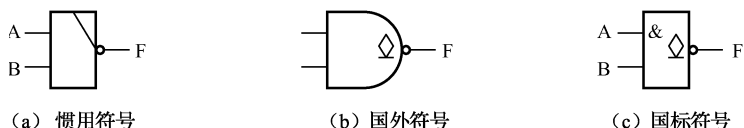


图 2-6 集电极开路与非门逻辑符号

(3) 三态输出门（TSL）

三态输出门（简称三态门）有三种输出状态：高电平、低电平和高阻态，高阻态相当于开路。当三态门处于高阻态时，三态门电路输出与其相连的电路脱离。三态门在数字电路中主要用于总线传输。高有效三态非门逻辑符号如图 2-7 所示。

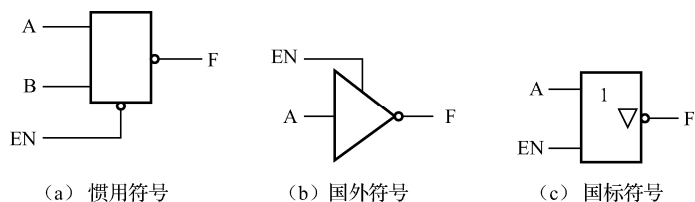


图 2-7 高有效三态非门逻辑符号

3. CMOS 门电路

CMOS 是以增强型 P 沟道 MOS 管和增强型 N 沟道 MOS 管串联互补或并联互补为基本单元电路的。本节要求掌握 CMOS 反相器、与非门、或非门的工作原理。

由于 CMOS 门电路的输入管是增强型 MOS 管，其输入电流近似等于零，因此在输入端接电阻不会像 TTL 门电路那样导致输入端的逻辑电平改变。由于输入阻抗很高，多余输入端不能悬空，应根据逻辑功能的需要接电源或地。

4. ECL 电路

ECL 电路是发射极耦合逻辑电路 (Emitter Coupled Logic) 的简称，是一种非饱和型高速逻辑电路，主要用于高速、超高速数字系统中。与 TTL 相比，它的优点是：速度快、带负载能力强、输出端可以并接、实现线或逻辑。它的主要缺点是：功耗大、输出电平稳定性差、抗干扰能力差。

5. Bi-CMOS 电路

Bi-CMOS 技术是一种将 CMOS 器件和双极型器件集成在同一芯片上的技术。Bi-CMOS 技术综合了双极型器件高跨导和强负载驱动能力及 CMOS 器件高集成度和低功耗的优点，是高速、高集成度、高性能超大规模集成电路又一可取的技术路线，主要应用在高性能数字与模拟集成电路领域。

6. TTL 电路与 CMOS 电路的接口

(1) TTL 电路驱动 CMOS 电路

如果 TTL 与 CMOS 的电源电压都为 +5V，则这两种门电路可以直接连接。因为 TTL 的输出高电平约为 3V 左右，此时在 TTL 输出端接一个上拉电阻至电源 +5V，便可抬高输出电压，如图 2-8 所示，用以满足后继 CMOS 电路高电平输入的需要，这时的 CMOS 电路就相当于一个同类的 TTL 负载。

当 CMOS 电路的电源电压高于 TTL 电路时，则使用 TTL OC 门实现电平转换，如图 2-9 所示。

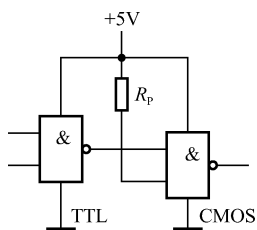


图 2-8 CMOS 用 +5V 电源时的接口

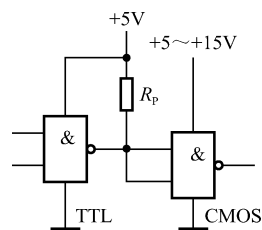


图 2-9 CMOS 用大于 +5V 电源时的接口

(2) CMOS 电路驱动 TTL 电路

CMOS 电路驱动 TTL 电路的一个问题是有些 CMOS 电路不能提供足够的驱动电流。CMOS 电路允许的最大灌电流为 0.4mA，而 TTL 的输入短路电流为 1.4mA，为了克服这个矛盾，可采用如图 2-10 所示的接口电路。

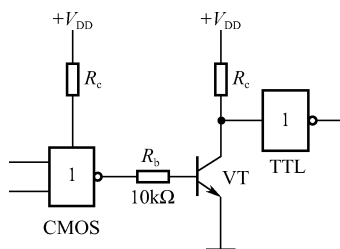


图 2-10 CMOS 通过晶体管驱动 TTL

选用 74HC/74HCT 系列或 74AHC/AHCT 系列的 CMOS 电路，可以直接驱动任何系列的 TTL 电路。

2.2 教学要求

1. 了解半导体二极管、三极管和 MOS 管的开关特性。
2. 了解 TTL、CMOS 门电路的组成和工作原理。
3. 掌握 TTL 和 CMOS 门电路的逻辑功能、特性、主要参数和使用方法。

2.3 解题指导

门电路的习题大致可分为：三极管工作状态的分析和判断、集成门电路逻辑功能的分析、根据集成门电路的特性计算相关参数和 TTL 及 CMOS 电路接口问题，其他类型的门电路如 OC 门、OD 门、传输门和三态门等。

【例 2-1】已知如图 2-11 所示电路中各元件参数满足使晶体管处于饱和与截止的条件，试写出各电路的输出表达式。

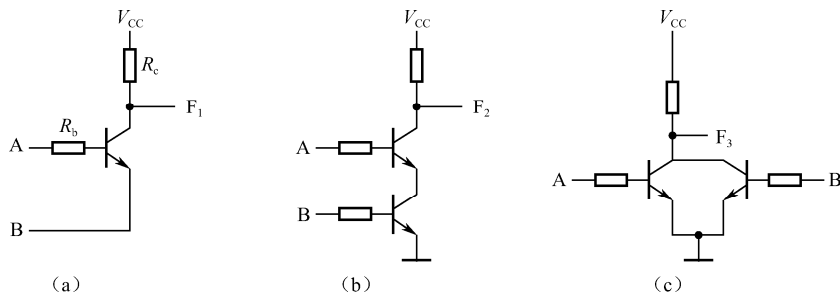


图 2-11 例 2-1 电路

解：对半导体三极管组成的基本电路进行分析时，需要分析电路中的三极管什么情况下导通、截止，从而分析出电路输入和输出的关系。

(a) 当 $A=0$ 或 $A=1, B=1$ 和 $A=0, B=0$ 时，晶体管截止， $F_1=1$ ； $A=1, B=0$ 时，晶体管饱和导通， $F_1=0$ 。因此 $F_1 = \bar{A} + AB = \bar{A} + B$ 。

(b) A 和 B 对应的两个三极管串联，因此 $A=B=1$ 时，两个三极管都导通， $F_2=0$ ； A 和 B 取其他值时，晶体管至少有一个截止使 $F_2=1$ ，因此 $F_2 = \overline{AB}$ 。

(c) 只要 A 和 B 中有一个为 1，则对应的晶体管导通， $F_3=0$ ；只有 $A=B=0$ 时 $F_3=1$ 。因

此 $F_3 = \overline{A \cdot B} = \overline{A + B}$ 。

【例 2-2】如图 2-12 所示电路中，已知 $R_1=4.3\text{k}\Omega$ ， $R_2=16\text{k}\Omega$ ， $R_c=1.5\text{k}\Omega$ ， $V_{CC}=12\text{V}$ ， $V_{BB}=8\text{V}$ ， $V_{C1}=5\text{V}$ ，输入电压 $V_{IH}=5.5\text{V}$ ， $V_{IL}=0.3\text{V}$ 。请问：（1）当晶体管 $\beta=30$ 时，晶体管能否可靠地饱和和截止？（2）为保证晶体管在输入信号为高电平时能可靠饱和，晶体管的 β 值最小是多少？（3）为保证晶体管在输入信号为低电平时能可靠截止， V_{BB} 的最小值是多少？

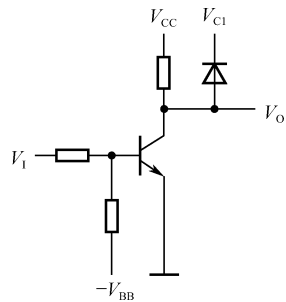


图 2-12 例 2-2 电路

解：（1）当输入低电平时，

$$\begin{aligned} V_{BE} &= V_B - V_E = V_{IL} - \frac{R_1}{R_1 + R_2}(V_{IL} + V_{BB}) \\ &= 0.3 - \frac{4.3}{4.3 + 16}(0.3 + 8) = -1.46\text{V} < 0 \end{aligned}$$

晶体管满足截止条件，能可靠截止。

当输入为高电平时，

$$\begin{aligned} V_{BE} &= V_B - V_E = V_{IH} - \frac{R_1}{R_1 + R_2}(V_{IH} + V_{BB}) \\ &= 5.5 - \frac{4.3}{4.3 + 16}(5.5 + 8) = 2.64\text{V} \\ I_{BS} &= \frac{I_{CS}}{\beta} = \frac{V_{CC} - V_{CES}}{\beta R_c} = \frac{12 - 0.3}{30 \times 1.5} = 0.26\text{mA} \\ I_B &= \frac{V_{IH} - V_{BES}}{R_1} - \frac{V_{BB} + V_{BES}}{R_2} \\ &= \frac{5.5 - 0.7}{4.7} - \frac{8 + 0.7}{16} = 0.57\text{mA} > I_{BS} \end{aligned}$$

$I_B > I_{BS}$ ，晶体管满足饱和条件，能可靠饱和和导通。

（2）在输入高电平时，要使三极管工作于饱和状态，需满足 $I_B \geq I_{BS}$ ，即

$$\frac{1}{\beta} \frac{V_{CC} - V_{CES}}{R_c} \leq I_B = 0.57\text{mA}$$

代入相应数据后求得 $\beta \geq 13.2$ 。因此，为使三极管在输入信号为高电平时能可靠饱和，三极管的 β 值最小应大于 14。

（3）在输入低电平时，要使三极管工作于截止状态，需满足 $V_{BE} \leq 0$ ，即

$$V_{IL} - \frac{R_1}{R_1 + R_2}(V_{IL} + V_{BB}) \leq 0$$

代入相应数据后求得 $V_{BB} \geq 1.1\text{V}$ 。因此，为使三极管在输入信号为低电平时可靠截止， V_{BB} 应不小于 1.1V。

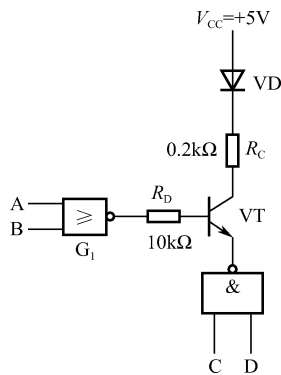


图 2-13 例 2-3 电路

【例 2-3】电路如图 2-13 所示， G_1 和 G_2 均为 TTL 门电路，其输出高电平 $V_{OH}=3\text{V}$ ，低电平 $V_{OL}=0.3\text{V}$ ，最大允许拉电流 $I_{HM}=0.4\text{mA}$ ，最大允许灌电流负载电流 $I_{LM}=30\text{mA}$ ，三极管 $\beta=40$ ，工作于开关状态，导通时 $V_{BE}=0.7\text{V}$ ，饱和时 $V_{CES}=0.3\text{V}$ ，最大允许

集电极电流 $I_{CM}=100\text{mA}$ ，发光二极管 VD 的正向导通压降 $V_D=1.4\text{V}$ ，发光时正向电流 $I_D=5\sim 10\text{mA}$ 。求：(1) 当输入 A、B、C、D 为何值时，发光二极管 VD 有可能发光？(2) 若使 VD 发光， R_c 的取值范围是多少？(3) 若 R_c 取 $0.2\text{k}\Omega$ ，使三极管 VT 饱和， β 应取多大值？

解：(1) 只有三极管 VT 导通，VD 才能发光。只有 G_1 门输出高电平、 G_2 门输出低电平时三极管才能导通，因此 $A=B=0, C=D=1$ 时满足要求。(2) 要保证 VD 发光，需要保证其正常工作电流。当 VT 饱和时， R_c 两端压降为 $5-1.4-0.3-0.3=3\text{V}$ ，要求流过的电流为 $5\sim 10\text{mA}$ ，因此 R_c 的范围为 $3\text{V}/10\text{mA}\sim 3\text{V}/5\text{mA}$ ，即 $0.3\sim 0.6\text{k}\Omega$ 。(3) 若 R_c 取 $0.2\text{k}\Omega$ ，则此时三极管饱和和集电极电流为：

$$I_{CS} = \frac{5 - 1.4 - 0.3 - 0.3}{0.2} = 15\text{mA}$$

基极电流为：

$$I_B = \frac{3 - 0.7 - 0.3}{10} = 0.2\text{mA}$$

若要三极管饱和和需要满足 $I_B > I_{BS} = I_{CS} / \beta$ ，故 β 至少应为 $15/0.2=75$ 。

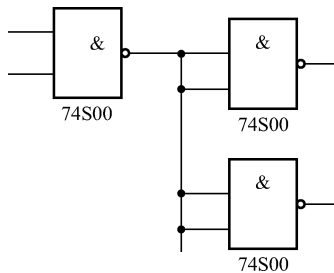


图 2-14 例 2-4 电路

【例 2-4】 试计算 74S00 与非门接成如图 2-14 所示电路时的扇出系数。已知输出电流 $I_{IH} = -1\text{mA}$ ， $I_{OL} = 20\text{mA}$ ，输入电流 $I_{IH} = 0.05\text{mA}$ ， $I_{IL} = -2\text{mA}$ 。若将图中与非门换成或非门 74S02，参数不变，试计算或非门的扇出系数。

解： 分别考虑输出高、低电平两种情况。

与非门的扇出系数分别为 $N_{OL} = \frac{I_{OL}}{I_{IL}} = \frac{20\text{mA}}{2\text{mA}} = 10$ ；

$$N_{OH} = \frac{I_{OH}}{2I_{IH}} = \frac{1\text{mA}}{2 \times 0.05\text{mA}} = 10$$

因此与非门扇出系数为 10。

或非门的扇出系数分别为：

$$N_{OL} = \frac{I_{OL}}{2I_{IL}} = \frac{20\text{mA}}{2 \times 2\text{mA}} = 5 \quad N_{OH} = \frac{I_{OH}}{2I_{IH}} = \frac{1\text{mA}}{2 \times 0.05\text{mA}} = 10$$

因此或非门扇出系数为 5。

【例 2-5】 (1) 某 TTL 逻辑电路的 $V_{OLmax}=0.3\text{V}$ ， $V_{OHmin}=2.4\text{V}$ ， $V_{ILmax}=0.8\text{V}$ ， $V_{IHmin}=2.0\text{V}$ ，求其噪声容限 V_{NL} 和 V_{NH} 。(2) 已知 CMOS 与非门 CD4011 静态参数 $V_{OLmax}=0.05\text{V}$ ， $V_{OHmin}=4.95\text{V}$ ， $V_{ILmax}=1\text{V}$ ， $V_{IHmin}=4\text{V}$ ，求其噪声容限 V_{NL} 和 V_{NH} 。

解： 根据门电路的噪声容限概念，(1) 输入低电平噪声容限 $V_{NL} = V_{ILmax} - V_{OLmax} = 0.8 - 0.3 = 0.5\text{V}$ ；输入高电平噪声容限 $V_{NH} = V_{OHmin} - V_{IHmin} = 2.4 - 2.0 = 0.4\text{V}$ 。

(2) 输入低电平噪声容限 $V_{NL} = V_{ILmax} - V_{OLmax} = 1 - 0.05 = 0.95\text{V}$ ；输入高电平噪声容限 $V_{NH} = V_{OHmin} - V_{IHmin} = 4.95 - 4 = 0.95\text{V}$ 。

【例 2-6】 已知 TTL 与非门和负载的连接如图 2-15 所示。与非门的有关参数为：输入短路电流 $I_{IL}=1\text{mA}$ ，输入漏电流为 $I_{IH}=40\mu\text{A}$ ，输出低电平为 $V_{OL}=0.1\text{V}$ ，输出高电平为 $V_{OH}=3.2\text{V}$ ，最大输入低电平 $V_{ILmax}=0.4\text{V}$ ，最小输入高电平 $V_{IH}=2.4\text{V}$ ，高电平输出电流为 $I_{OH}=500\mu\text{A}$ ，低电平输出电流 $I_{OL}=10\mu\text{A}$ ，问负载电阻最小值是多少？如果与非门输出端又连接了两个同样的与非门，为保证电路工作正常，负载电阻是增大还是减小？

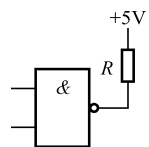


图 2-15 例 2-6 电路

解：与非门输出高电平时，负载电阻的最小值为：

$$R_{\min} = \frac{5 - V_{OH}}{I_{OH}} = \frac{5V - 3.2V}{500\mu A} = 3.6k\Omega$$

与非门输出低电平时，负载电阻的最小值为：

$$R_{\min} = \frac{5 - V_{OL}}{I_{OL}} = \frac{5V - 0.1V}{10\mu A} = 490k\Omega$$

负载电阻的最小值是 490kΩ。

如果与非门输出端又连接了两个同样的与非门，为保证电路工作正常，输出高电平时，负载电阻的最小值为：

$$R_{\min} = \frac{5 - V_{OH}}{4 \times I_{IH} + I_{OH}} = \frac{5V - 3.2V}{4 \times 40\mu A + 500\mu A} = 2.72k\Omega$$

输出低电平时，负载电阻的最小值为：

$$R_{\min} = \frac{5 - V_{OL}}{I_{IL} + I_{OL}} = \frac{5V - 0.1V}{1mA + 0.01mA} = 4.85k\Omega$$

与非门输出端连接两个同样的与非门之后，为保证电路工作正常，负载电阻的最小值必须减小为 4.85kΩ。

【例 2-7】 试判断能否用 74HC04 中的一个反相器驱动 6 个 74LS 系列门电路。已知 HC 系列的参数为： $I_{OLmax}=4mA$ ， $I_{OHmax}=4mA$ ， $V_{OLmax}=0.33V$ ， $V_{OHmin}=3.84V$ 。74LS 系列的参数为： $I_{ILmax}=0.4mA$ ， $I_{IHmax}=0.02mA$ ， $V_{ILmax}=0.8V$ ， $V_{IHmin}=2V$ 。

解：根据驱动门是否能给负载门提供足够的灌电流和拉电流，判断逻辑电平是否兼容。

(1) 驱动门和负载门的逻辑电平必须满足 $V_{OHmin} \geq V_{IHmin}$ ， $V_{OLmax} \leq V_{ILmax}$ ；驱动门 $V_{OLmax}=0.33V$ ， $V_{OHmin}=3.84V$ ；负载门 $V_{ILmax}=0.8V$ ， $V_{IHmin}=2V$ 。因此 HC 系列门与 74LS 系列门电路逻辑电平匹配。(2) 驱动门输出低电平时，74HC04 的 $I_{OLmax}=4mA$ ，6 个 74LS 的系列门电路总的输入电流 $I_{ILtotal}=6 \times 0.4mA=2.4mA$ ，故满足 $I_{OLmax} \geq I_{ILtotal}$ ；驱动门输出高电平时 74HC04 门电路的 $I_{OHmax}=4mA$ ，负载门电路总的输入电流 $I_{IHmax} \geq I_{IHtotal}$ ；一个 74HC04 反相器可以驱动 6 个 74LS 系列门电路。

【例 2-8】 已知 74LS 系列门电路参数 $V_{OLmax}=0.5V$ ， $V_{OHmin}=2.7V$ ；74HCT 系列参数 $V_{ILmax}=0.8V$ ， $V_{IHmin}=2V$ ；74HC 系列 $V_{IHmin}=3.5V$ ， $V_{ILmax}=1.5V$ 。试判断能否用 TTL 电路直接驱动 CMOS 电路？若不能应采取什么措施？

解：主要考虑逻辑电平是否兼容、驱动门和负载门必须满足 $V_{OHmin} \geq V_{IHmin}$ ， $V_{OLmax} \leq V_{ILmax}$ 。

当 TTL 驱动 74HCT 时，满足逻辑电平关系，可以直接相连；当 TTL 驱动 74HC 时，不满足 $V_{OHmin} \geq V_{IHmin}$ 的逻辑电平关系，在 TTL 输出端与 5V 电源间接一个上拉电阻 R_p ，以提高 TTL 输出高电平。TTL 电路输出级 VT₅ 管（见主教材图 2-6）截止时的漏电流 I_O 和 I_{IH} 都很小， $V_{OH}=V_{DD}-R_p(I_O+nI_{IH})$ ，故只要 R_p 不是很大，则 $V_{OH} \approx V_{DD}$ ，电路如图 2-16 所示。

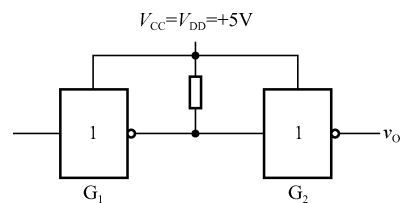


图 2-16 例 2-8 电路

【例 2-9】 用 4 个 74 系列 OC 与非门的输出端并联，

驱动 4 个 74 系列与非门的 6 个输入端。已知 OC 门高电平输出时的漏电流 $I_{OH}=250\mu A$ ， $I_{OLmax}=16mA$ ； $V_{OLmax}=0.4V$ ， $V_{OHmin}=2.4V$ 。与非门的参数 $I_{IH}=40\mu A$ ， $I_{IL}=1mA$ 。试计算上拉电阻 R_p 的取值范围。

解：由上拉电阻计算公式可求得

$$R_{p\max} = \frac{V_{CC} - V_{OH\min}}{I_{OH\text{total}} + I_{IH\text{total}}} = \frac{5 - 2.4}{4 \times 0.25 + 6 \times 0.04} = 2.1\text{k}\Omega$$

$$R_{p\min} = \frac{V_{CC} - V_{OL\max}}{I_{OL\text{total}} - I_{IL\text{total}}} = \frac{5 - 2.4}{16 - 4 \times 1} = 0.38\text{k}\Omega$$

因此 $0.38\text{k}\Omega \leq R_p \leq 2.1\text{k}\Omega$ ，取其中间标称值即可。

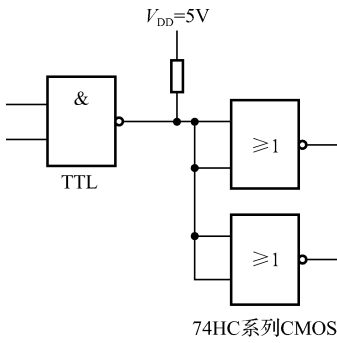


图 2-17 例 2-10 电路

【例 2-10】如图 2-17 所示 TTL 电路驱动 CMOS 电路，试计算上拉电阻 R_L 的取值范围。TTL 与非门在 $V_{OL} \leq 0.3\text{V}$ 时 $I_{OL\max} = 8\text{mA}$ ；输出端 VT_5 管截止时 $I_{OH} = 50\mu\text{A}$ ，CMOS 或非门的高电平输入电流最大值和低电平输入电流最大值均为 $1\mu\text{A}$ ，要求加到 CMOS 或非门输入端的电压满足 $V_{IH} > 4\text{V}$ ， $V_{IL} \leq 0.3\text{V}$ ， $V_{DD} = 5\text{V}$ 。

解：根据 $V_{IH} > 4\text{V}$ 的要求及已知的 TTL 门电路输出高电平时的漏电流和 CMOS 电路的高电平输入电流，即可求得 R_L 的最大允许值：

$$R_{L\max} = \frac{V_{CC} - V_{IH}}{I_{OH} + 4I_{IH}} = \frac{5 - 4}{0.05 + 4 \times 0.001} \approx 18.5\text{k}\Omega$$

根据 $V_{IL} \leq 0.3\text{V}$ 的要求及 TTL 门电路低电平时输出电流最大值和 CMOS 电路的低电平输出电流，即可求得 R_L 的最小允许值：

$$R_{L\min} = \frac{V_{CC} - V_{IL}}{I_{OL\max} - 4I_{IL}} = \frac{5 - 0.3}{8 - 4 \times 0.001} \approx 0.59\text{k}\Omega$$

【例 2-11】判断 CMOS、TTL 输入端通过电阻接地时的逻辑电平。如图 2-18 所示逻辑门均为 5V 电源供电，分别讨论电路是 CMOS 和 TTL 情况下的输出是什么？TTL 门电路为 74LS 系列， $V_{IL} = 0.8\text{V}$ ， $V_{IH} = 2\text{V}$ 。

解：该题目考查 TTL 门电路输入端负载特性，而 CMOS 门电路不具有输入端负载特性。当两个门电路都是 CMOS 门时，由于 MOS 管栅极是绝缘的，栅极电流近似为 0，所以输入端通过电阻接地，无论电阻取何值，只要不是无穷大，其输入端为地电位，因此图 2-18 (a) 和图 2-18 (b) 所示与非门输出均为高电平，即 $F_1 = F_2 = \overline{A \cdot B \cdot 0} = 1$ 。

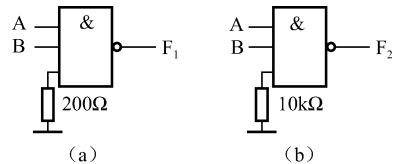


图 2-18 例 2-11 电路

当两个门都是 TTL 门电路时，根据 TTL 与非门电路原理图，得出 R_{OFF} 和 R_{ON} 的计算公式：

$$R = \frac{R_1}{\frac{V_{CC} - V_{BE1}}{V_1} - 1}$$

分别计算得 $R_{OFF} \approx 685\Omega$ ， $R_{ON} \approx 2.6\text{k}\Omega$ 。在图 2-18 (a) 中， $R < R_{OFF}$ ，该输入端为低电平 $F_1 = \overline{A \cdot B \cdot 0} = 1$ ；在图 2-18 (b) 中， $R > R_{ON}$ ，该输入端为高电平 $F_2 = \overline{A \cdot B}$ 。

【例 2-12】已知图 2-19 (a) 所示 TTL 门电路中，OC 门输出管截止时，漏电流 $I_{OH} \leq 100\mu\text{A}$ ，输出管导通时允许通过的最大负载电流为 $I_{LM} \leq 15\text{mA}$ ，输出 F 的高、低电平分别为 $V_{OH} \geq 3\text{V}$ ， $V_{OL} \leq 0.4\text{V}$ 。G₁~G₅ 的输入特性如图 2-19 (b) 所示。求：(1) F 的逻辑功能是什么？(2) 求 R 的取值范围，并写出表达式。

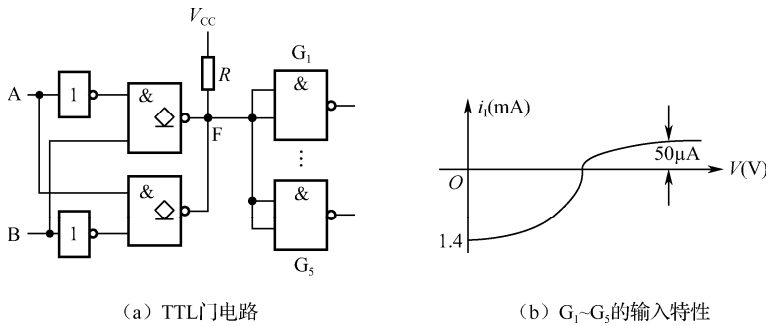


图 2-19 例 2-12 电路

解：(1) F 的逻辑功能为：

$$F = \overline{A}B \cdot A\overline{B} = A \oplus B$$

(2) 与非门无论有几个输入端并联在一起，总的低电平输入电流都等于一个输入端接低电平时的电流 I_{IL} 。当输入高电平时，总输入电流等于各个输入端电流之和，因为 VT_1 管（见主教材图 2-6）此时处于倒置工作状态，多发射结反偏。因此：

当 OC 门输出高电平时：

$$R_{\max} = \frac{V_{CC} - V_{OH}}{nI_{OH} + mI_{IH}} = \frac{5 - 3}{2 \times 0.1 + 10 \times 0.05} = 2.85k\Omega$$

当 OC 门输出低电平时：

$$R_{\min} = \frac{V_{CC} - V_{OL}}{I_{LM} - m'I_{IL}} = \frac{5 - 0.4}{15 - 5 \times 1.4} = 0.575k\Omega$$

因此 R 的取值范围为 $0.575 \sim 2.85k\Omega$ 间的标称值。

【例 2-13】已知在图 2-20 所示电路中，其中图 2-20 (a) 和图 2-10 (b) 为 TTL 门电路，图 2-20 (c) 和图 2-20 (d) 为 CMOS 门电路，判断 4 个电路能否正常工作。

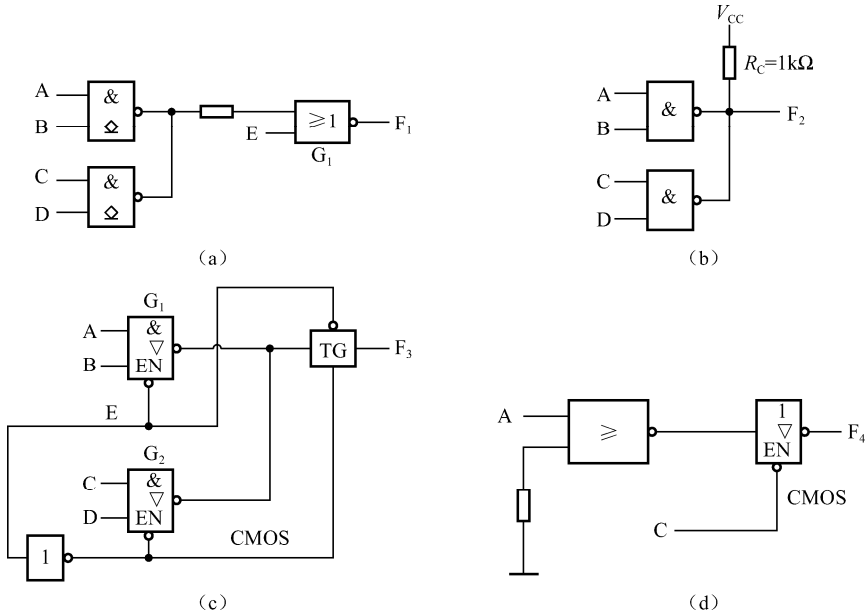


图 2-20 例 2-13 电路

解：图 2-20 (a) 所示的 TTL 的 OC 门电路可以直接实现线与，但无电阻和电源，无法正常工作。

图 2-20 (b) 所示的 TTL 的与非门不能线与，无法正常工作。

图 2-20 (c) 所示的 CMOS 门电路，三态门可以直接线与，但必须满足任意一时刻只有一个三态门工作。E=0 时，G₁ 门工作，传输门导通，F₃ = \overline{AB} ；E=1 时，G₂ 门工作，但此时传输门 TG 截止，F₃ 无信号输出，故 F₃ = $\overline{E} \cdot \overline{AB}$ 。

图 2-20 (d) 所示的 CMOS 门电路，C=0 时，F₄ = A，C=1 时，高阻，故 F₄ = $\overline{C} \cdot A$ 。

2.4 习题解答

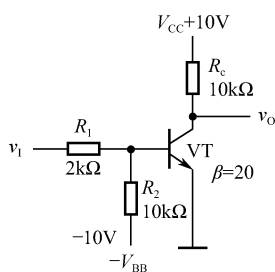


图 2-21 习题 2-1 电路

2-1 电路如图 2-21 所示，其三极管为硅管， $\beta=20$ ，试求：(1) v_1 小于何值时，三极管 VT 截止， v_1 大于何值时，三极管 VT 饱和。

解：设 $v_{BE}=0V$ 时，三极管 VT 截止。VT 截止时， $I_B=0$ 。此时

$$\frac{v_1 - 0}{2} = \frac{0 - (-10)}{10} \quad v_1 = 2V$$

VT 临界饱和时， $v_{CE}=0.7V$ 。此时

$$I_{BS} = \frac{10 - 0.7}{20 \times 10} = 0.0465mA$$

$$I_B = I_{BS} = \frac{v_1 - 0.7}{2} - \frac{0.7 - (-10)}{10} = 0.0465mA$$

$$v_1 = 4.2V$$

上述计算说明 $v_1 < 2V$ 时，VT 截止； $v_1 > 4.2V$ 时，VT 饱和。

2-2 电路如图 2-22 所示。

(1) 已知 $V_{CC}=6V$ ， $V_{CES}=0.2V$ ， $I_{CS}=10mA$ ，求集电极电阻 R_c 的值。

(2) 已知三极管的 $\beta=50$ ， $V_{BE}=0.7V$ ，输入高电平 $V_{IH}=2V$ ，当电路处于临界饱和时， R_b 值应是多少？

解：(1) $R_c = \frac{V_{CC} - V_{CES}}{I_{CS}} = \frac{6 - 0.2}{10} = 0.58k\Omega$

(2) 临界饱和时， $I_B = I_{BS}$ 。

$$I_{BS} = \frac{I_{CS}}{\beta} = \frac{10}{50} = 0.2mA$$

$$R_b = \frac{V_I - V_{BE}}{I_{BS}} = \frac{2 - 0.7}{0.2} = 6.5k\Omega$$

2-3 在图 2-22 所示电路中，当电路其他参数不变，仅 R_b 减小时，三极管的饱和程度是减轻还是加深？仅 R_c 减小时，三极管的饱和程度是减轻还是加深？

解： R_b 减小时， I_B 增加，在 I_C 不变的前提下，三极管的饱和程度加深了。 R_c 减小时， I_{CS} 增加，在 I_B 不变的前提下，三极管随着 I_C 增加，饱和程度将减轻。

2-4 为什么说 TTL 与非门输入端在以下三种接法时，在逻辑上

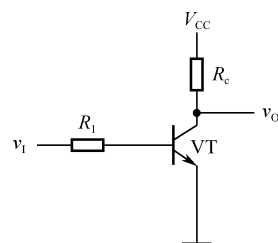


图 2-22 习题 2-2 电路

都属于输入为 0?

- (1) 输入端接地。
- (2) 输入端接低于 0.8V 的电源。
- (3) 输入端接同类与非门的输入低电平 0.4V。

解：因为四种系列的 TTL 与非门的 V_{ILmax} 都等于 0.8V，所以小于、等于 0.8V 的输入在逻辑上都为 0。

2-5 为什么说 TTL 与非门输入端在以下三种接法时，在逻辑上都属于输入为 1?

- (1) 输入端接同类与非门的输出高电平 3.6V。
- (2) 输入端接高于 2V 的电源。
- (3) 输入端悬空。

解：四种系列的 TTL 与非门的 $V_{IHmin}=2V$ ，当 $v_i \geq 2V$ 时，逻辑上为 1。此时，发射极电流不会从发射极流出。当输入端悬空时，因没有发射极电流的通路，也不会有发射极电流从发射极流出，与输入端接高电平等效，故 TTL 门输入端悬空，逻辑上认为是 1。

2-6 在挑选 TTL 门电路时，都希望选用输入低电平电流比较小的与非门，为什么?

解：负载门的输入端电流小，驱动门的负载电流才小，才可能带更多的门。

2-7 在实际应用中，为避免外界干扰的影响，有时将与非门多余的输入端与输入信号输入端并联使用，这时对前级和与非门有无影响?

解：有影响。将使前级拉电流负载随并联输入端数成正比例增加。

2-8 在用或非门时，对多余输入端的处理方法同与非门的处理方法有什么区别?

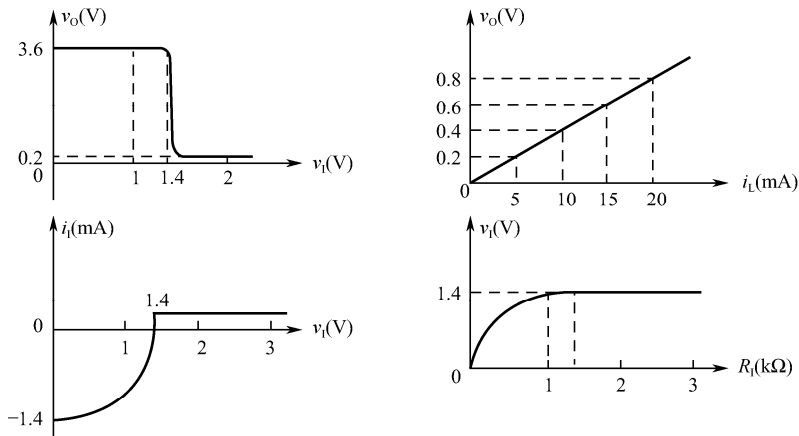
解：对于或非门，其多余输入端必须接低电平，否则输出端将永远固定为低电平。而非门的多余输入端必须接高电平。

2-9 异或门能作为非门使用吗? 为什么?

解：异或门可以作为非门使用。因为根据 $F = A \oplus B = A\bar{B} + \bar{A}B$ ，若使 $F = \bar{A}$ ，必须一端接 A，另一端接高电平。此时 $F = A \cdot \bar{1} + \bar{A} \cdot 1 = \bar{A}$ 。

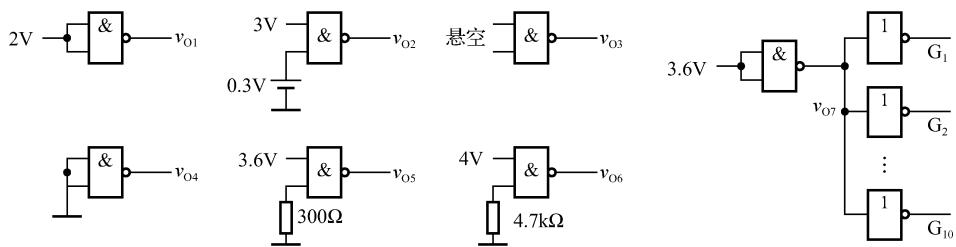
2-10 根据图 2-23 (a) 所示 TTL 与非门的电压传输特性、输入特性、输出特性和输入端负载特性，求图 2-23 中 (b) 中 $v_{O1} \sim v_{O7}$ 的各个值。

解：已知所求电路、电压传输特性、输入特性、输出特性和输入端负载特性如图 2-23 所示。



(a) TTL与非门的电压传输特性、输入特性、输出特性和输入端负载特性

图 2-23 TTL 与非门的特性及门电路



(b) TTL与非门的门电路

图 2-23 TTL 与非门的特性及门电路 (续)

由电压传输特性看出： $V_{OH}=3.6V$ ， $V_{OL}=0.2V$ ；阈值电压 $V_T=1.4V$ 。从输入特性看出： $I_{IL}\approx 1.4mA$ 。从输入负载特性看出： $R_I=1.4k\Omega$ 时， $V_I=1.4V$ 。从输出特性看出 $v_O=0.8V$ 时， $I_L=20mA$ ； $v_O=0.6V$ 时， $I_L=15mA$ 。据此，可写出： $v_{O1}=0.2V$ ； $v_{O2}=3.6V$ ； $v_{O3}=0.2V$ ； $v_{O4}=3.6V$ ； $v_{O5}=3.6V$ ； $v_{O6}=0.2V$ ； $v_{O7}=0.6V$ ($10\times 1.4=14mA$)。

2-11 已知两个相同的 TTL 非门连接如图 2-24 (a) 所示，非门的传输特性曲线如图 2-24 (b) 所示，其输入电压波形如图 2-24 (c) 所示，试画出 v_{O1} 和 v_{O2} 的波形图，从画出的波形图能得出什么结论？

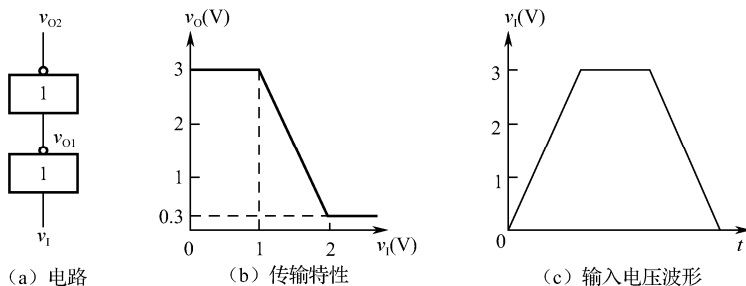


图 2-24 TTL 与非门电路、传输特性和输入电压波形

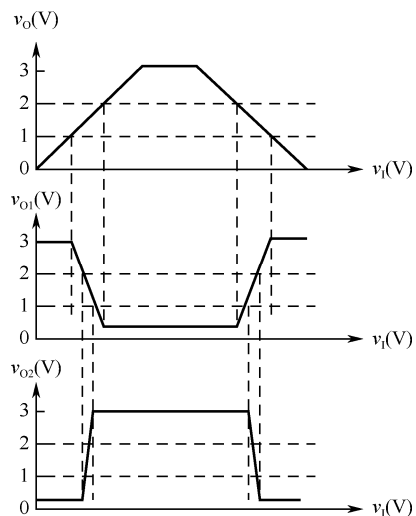


图 2-25 习题 2-11 的输出波形图

解：已知所求电路、电压传输特性和输入电压波形如图 2-24 所示。

非门的输出电压 v_O 必须遵循电压传输特性随输入电压 v_I 变化。 $v_I < 1V$ 时 $v_O = 3V$ ， $v_I > 2V$ 时 $v_O = 0.3V$ ， $1V < v_I < 2V$ 期间 v_O 随 v_I 线性减少。据此，画出 $v_I < 1V$ 时 $v_O = 3V$ ， v_{O1} 和 v_{O2} 的波形如图 2-25 所示。

2-12 在图 2-26 电路中， G_1 、 G_2 是两个集电极开路与非门，每个门在输出低电平时允许灌入的最大电流 $I_{OLmax}=16mA$ ，输入高电平电流 $I_{OH} < 250\mu A$ 。 $G_3 \sim G_6$ 是 4 个 TTL 与非门，它们的输入低电平电流 $I_{IL}=1.6mA$ ，输入高电平电流 $I_{IH} < 5\mu A$ ，计算外接负载电阻 R_L 的取值范围，即求 R_{Lmax} 和 R_{Lmin} 的值。

解：两个 OC 门中只要有一个输出为低电平，线与的结果就为低电平。此时的低电平不得大于 $V_{ILmax}=0.8V$ ，故：

$$R_{L\min} = \frac{V_{CC} - V_{IL\max}}{I_{OL\max} - 4I_{IL}} = \frac{5 - 0.8}{16 - 4 \times 1.6} = 0.44\text{k}\Omega$$

两个 OC 门的输出全为 1 时，线与的结果才为 1。输出高电平不得低于 $V_{IH\min} = 2\text{V}$ 。TTL 与非门有一个输入端接高电平就有一个倒置三极管时的 I_e 电流，为此

$$R_{L\max} = \frac{V_{CC} - V_{IH\min}}{2I_{OH} + 6I_{IH}} = \frac{5 - 2}{2 \times 0.25 + 6 \times 0.005} \approx 5.66\text{k}\Omega$$

故 R_L 应在 $0.44 \sim 5.66\text{k}\Omega$ 之间选取某一标称值。

2-13 分析图 2-27 (a)、(b)、(c) 中 3 个逻辑电路的功能是否一样，并分别写出 F_1 、 F_2 、 F_3 的逻辑表达式。

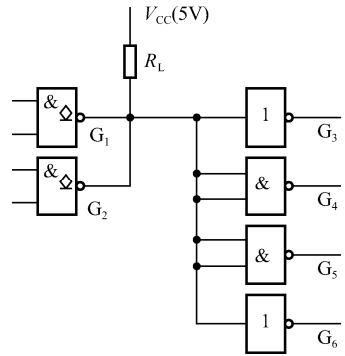


图 2-26 集电极开路门电路

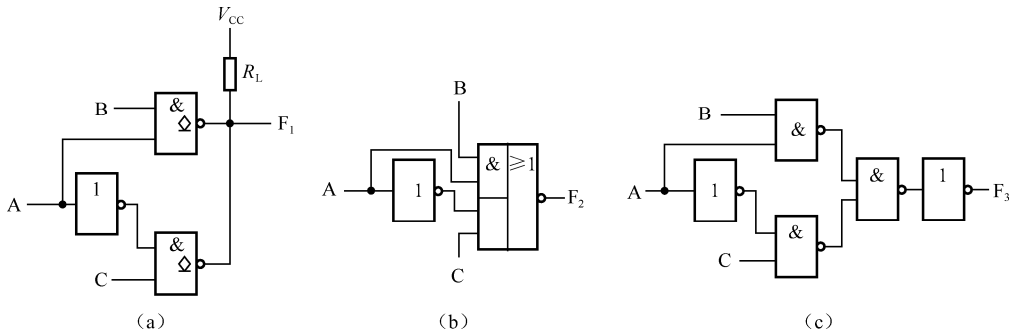


图 2-27 门电路逻辑图

解：根据逻辑门的功能和 OC 门线与的特点，可以写出：

$$F_1 = \overline{AB} \cdot \overline{AC} = \overline{AB + AC}$$

$$F_2 = \overline{AB + AC}$$

$$F_3 = \overline{AB} \cdot \overline{AC} = \overline{AB + AC}$$

因为 $F_1 = F_2 = F_3$ ，说明 3 个电路的逻辑功能是一样的。

2-14 写出图 2-28 中各逻辑电路的输出 F_1 、 F_2 的逻辑表达式。

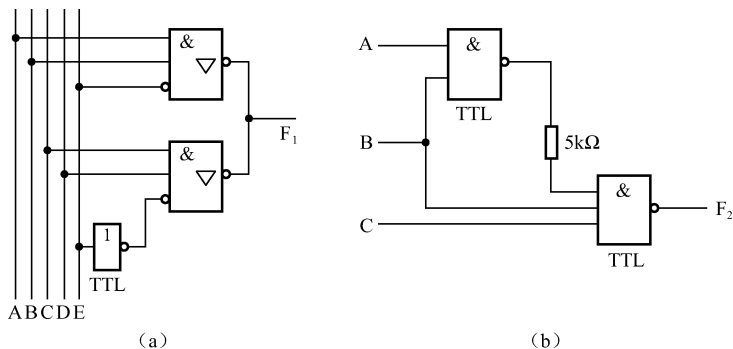


图 2-28 TTL 门电路逻辑图

解：E=0 时， $F_1 = \overline{AB}$ ；E=1 时， $F_1 = \overline{CD}$ 。将两者合并起来，可写成 $F_1 = \overline{AB} \cdot \overline{E} + \overline{CD} \cdot E$ 。

因有 $5\text{k}\Omega$ 的存在，所以 $F_2 = \overline{BC}$ 。

2-15 用 CMOS 实现逻辑表达式 $F = \overline{A + B}$ ，画出电路图。

解： $F = \overline{A + B} = \overline{AB}$ 即为与非门，如图 2-29 所示。

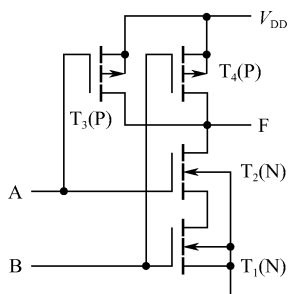


图 2-29 CMOS 与非门

2-16 写出图 2-30 中各逻辑电路的输出 F_1 、 F_2 、 F_3 的逻辑表达式或真值表。

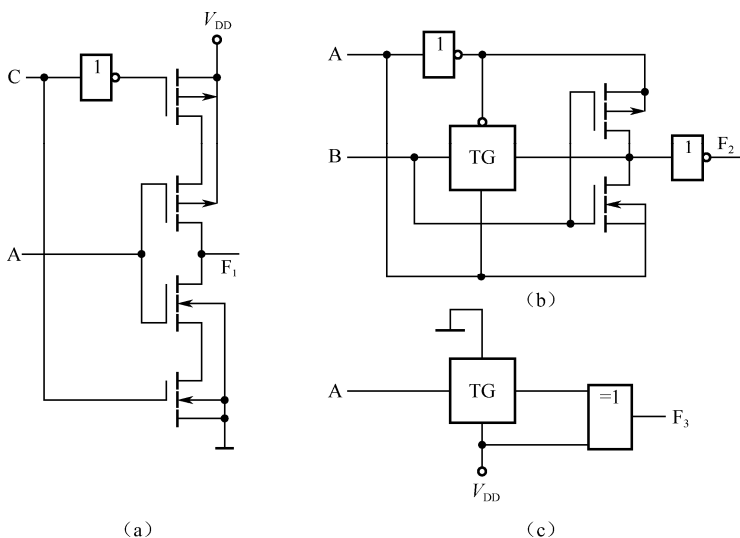


图 2-30 MOS 门电路逻辑图

解：图 2-30 (a) 中的 $C=1$ 时，最上面的 PMOS 管和最下面的 NMOS 管都导通， $F_1 = \overline{A}$ 。
 $C=0$ 时，最上面的 PMOS 管和最下面的 NMOS 管都不导通，输出 F 呈现高阻态。

图 2-30 (b) 中的 $A=1$ 时，传输门导通，MOS 管不导通， $F_2 = \overline{B}$ 。 $A=0$ 时，传输门截止，MOS 管导通，构成 CMOS 非门，此时 $F_2 = B$ 。

图 2-30 (c) 中的传输门始终导通， $F_3 = A \oplus 1 = \overline{A}$ 。

2-17 已知几种门电路及其输入 A 、 B 的波形，如图 2-31 (a)、(b) 所示，试分别写出 $F_1 \sim F_5$ 的逻辑函数表达式，并画出它们的波形图。

解：(1) $F_1 = \overline{AB}$ ，有 0 为 1，全 1 为 0。

(2) $F_2 = \overline{A + B}$ ，有 1 为 0，全 0 为 1。

(3) $F_3 = \overline{\overline{A + B}} = AB$ ，有 0 为 0，全 1 为 1。

(4) $F_4 = \overline{\overline{A} \cdot \overline{B}} = A + B$ ，有 1 为 1，全 0 为 0。

(5) $F_5 = A \oplus B = \overline{A}B + A\overline{B}$ ，相同为 0，不同为 1。

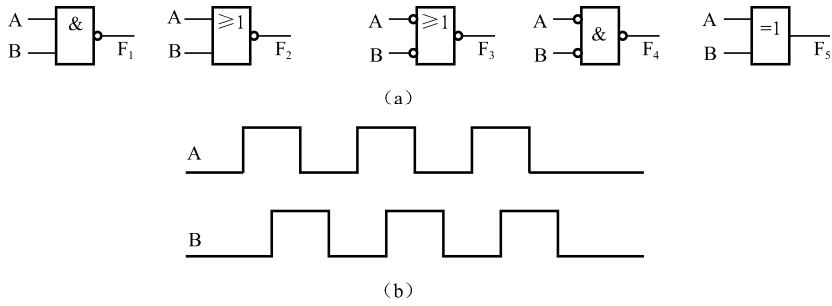


图 2-31 门电路逻辑图及波形图

输出波形图如图 2-32 所示。

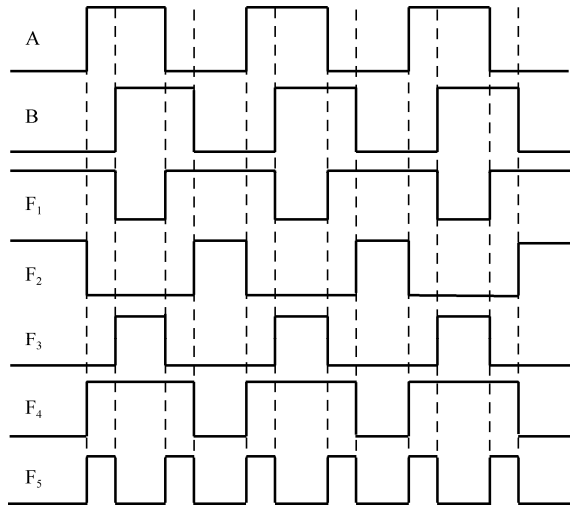


图 2-32 习题 2-17 波形图

2-18 试说明能否将与非门、或非门、异或门当作反相器使用？如果可以，各输入端应如何连接？

解：能。将与非门的输入端并接或将其中一端接高电平、或非门的输入端并接或将其中一端接低电平、异或门的其中一端接高电平，如图 2-33 所示。

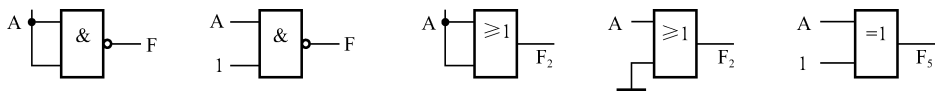


图 2-33 习题 2-18 解图

2-19 试说明下列各种门电路中哪些可以将输出端并联使用（输入端的状态不一定相同）。

- (1) 具有推拉式输出级的 TTL 电路。
- (2) TTL 电路的 OC 门。
- (3) TTL 电路的三态输出门。
- (4) 普通的 CMOS 门。
- (5) CMOS 电路的三态输出门。

解：(1) TTL 与非门电路不允许将输出端直接连在一起，实现线与。因为这些具有推拉

式输出级的门电路，无论输出高电平还是输出低电平，其输出电阻都很小。若把两个 TTL 与非门输出端直接并联，当一个门的输出为高电平而另一个门的输出为低电平时，就会在电源和地之间形成一个低阻通路，如图 2-34 所示。在这个低阻通路中产生一个很大电流，这个电流会使导通门输出低电平抬高，造成并联输出既非 0 又非 1，破坏了逻辑关系，更会因功耗过大损坏截止门中的导通管 VT_4 。

(2)、(3)、(5) TTL 电路的 OC 门、TTL 电路的三态输出门、CMOS 电路的三态输出门都可以将输出端并联使用。

(4) 普通的 CMOS 门不可以将输出端并联使用。

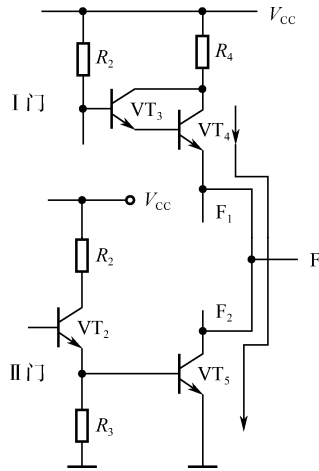


图 2-34 两个 TTL 与非门线与时输出的情况

2-20 指出图 2-35 中各种门电路的输出是什么状态（高电平、低电平或高阻态）？已知这些门电路都是 74 系列 TTL 电路。

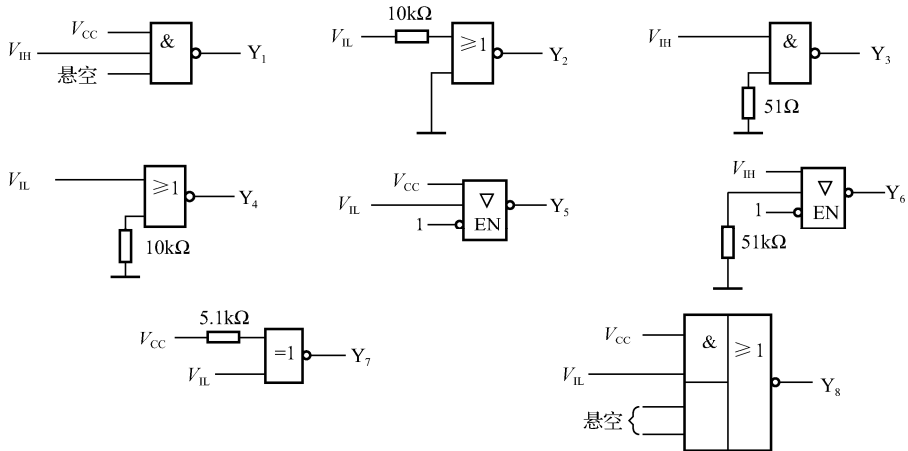


图 2-35 门电路逻辑图

解：与非门的 3 个输入端接高电平，输出为 $Y_1=0$ ；或非门的输入分别为高、低电平，输出为 $Y_2=0$ ；与非门的输入端一个接高电平，一个接低电平，输出为 $Y_3=1$ ；或非门的输入一个高一个低，输出为 $Y_4=0$ ；三态门的使能端输入无效电平，输出 Y_5 为高阻态；三态门的使能端输入依然是无效电平，输出 Y_6 为高阻态；异或非门的输入端一个为高电平，一个为低电

平, 输出 $Y_7=0$; 与或非门的 3 个输入端接高电平, 一个输入为低电平, 输出为 $Y_8=0$ 。

2-21 图 2-36 所示逻辑门均为 CMOS 电路, 写出各种电路输出的逻辑表达式。

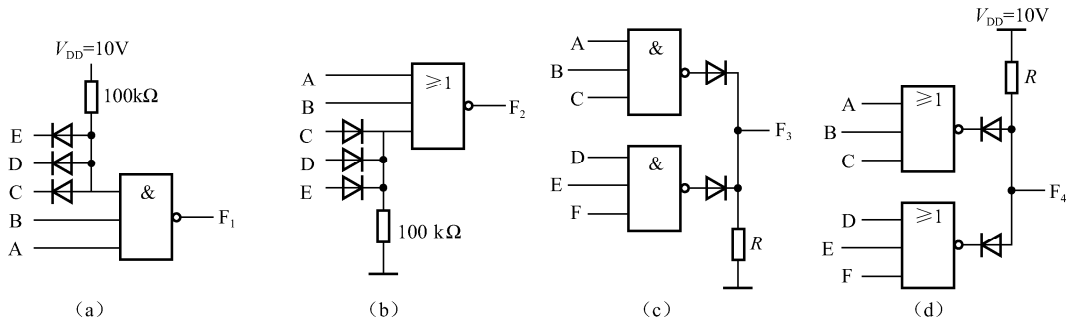


图 2-36 CMOS 电路逻辑图

解: 由题中给定逻辑图写出:

$$F_1 = \overline{A \cdot B \cdot C \cdot D \cdot E}$$

$$F_2 = \overline{A + B + C + D + E}$$

$$F_3 = \overline{A \cdot B \cdot C + D \cdot E \cdot F}$$

$$F_4 = \overline{A + B + C \cdot D + E + F}$$

2-22 计算图 2-37 所示电路中接口电路输出端 v_c 的高、低电平, 并说明接口电路参数的选择是否合理。CMOS 或非门的电源电压 $V_{DD}=10V$, 空载输出的高、低电平分别为 $V_{OH}=9.95V$ 、 $V_{OL}=0.05V$, 门电路的输出电阻小于 200Ω 。TTL 与非门的高电平输入电流 $I_{IH}=20\mu A$, 低电平输入电流 $I_{IL}=-0.4mA$ 。

解: CMOS 门的输出 $V_O=V_{OH}$ 时,

$$I_B = \frac{V_{OH} - V_{BE}}{R_b} = \frac{9.95 - 0.7}{51} \approx 0.18mA$$

$$I_{CS} = \frac{V_{CC} - V_{CES}}{R_c} + 2I_{IL} = \frac{5 - 0.3}{2} + 2 \times 0.4 = 3.15mA$$

$$I_{BS} = \frac{I_{CS}}{\beta} = \frac{3.15}{30} \approx 0.105mA$$

$I_B > I_{BS}$, 保证三极管处于饱和状态。CMOS 输出 $V_O=V_{OL}=0.05V$ 时, 三极管截止, TTL 输入电压 $V_I=V_{IH}=V_{CC}-4I_{IH}R_c=5-4 \times 0.02 \times 2=4.84 > V_{IHmin}$ 。只要 CMOS 输出 V_{OH} 时, 可以提高 $0.18mA$ 电流, 参数选择就是合理的。

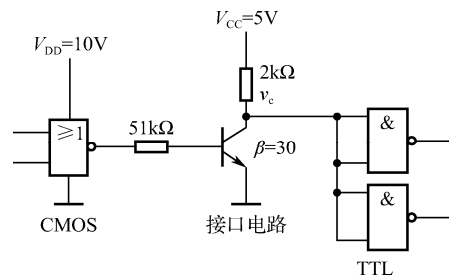


图 2-37 CMOS 与 TTL 的接口电路