

第5章 触 发 器

触发器是一种有记忆功能的器件，它是构成时序逻辑电路的基本器件。本章介绍触发器的类型、电路结构和功能的表示方法，并介绍基于 Verilog HDL 的触发器的设计，为时序逻辑电路的学习打下基础。

5.1 概 述

在数字系统中，不仅需要对二进制信号进行各种算术运算、逻辑运算和逻辑操作，还需要把参与这些运算和操作的数据以及结果保存起来。例如，在第4章介绍的编码器电路是一种组合逻辑电路，它没有记忆功能，当输入信号消失后，编码输出也会立即消失。因此，在编码器的输出端还需要接具有记忆功能的部件，将编码的结果保存起来。触发器就是构成记忆功能部件的基本器件。

触发器（Flip-Flop，简称 FF）的逻辑符号如图 5.1 所示。它有两个互非的输出端 Q 和 $\bar{Q}$ ，还有 1~2 个输入端。一个实际使用的触发器都应具有以下特点：

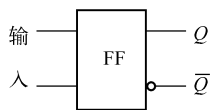


图 5.1 触发器的逻辑符号

① 触发器具有两个稳定的状态，即 0 态和 1 态。当触发器的输出 $Q=0$ ($\bar{Q}=1$) 时，称触发器处于 0 态；当 $Q=1$ ($\bar{Q}=0$) 时，称触发器处于 1 态。

② 没有外加输入信号作用时，触发器可以保持原来的状态不变，这是触发器具有的保持功能或记忆功能。1 级触发器可以记忆 1 位二进制信息，共 2 个状态（即 0 和 1）； N 级触发器可以记忆 N 位二进制信息，共 2^N 个状态。

③ 在外加输入信号的作用（触发）下，触发器可以改变原来的状态，这是触发器具有的置 0 和置 1 功能。需要触发器记忆 0 信息时，就必须先将触发器置 0；需要记忆 1 信息时，就必须先将触发器置 1。为了方便叙述，一般把触发器原来的状态称为原态，用 Q^n 表示；改变后的状态称为次态，用 Q^{n+1} 表示。

根据电路结构和功能的不同，有 RS 触发器、D 触发器、JK 触发器、T 触发器和 T' 触发器等常用类型。

5.2 基本 RS 触发器

基本 RS 触发器可以用与非门和或非门构成。

5.2.1 由与非门构成的基本 RS 触发器

由两个与非门 G_1 和 G_2 交叉连接构成的基本 RS 触发器的电路结构和逻辑符号如图 5.2 所示。它有 Q 和 $\bar{Q}$ 两个输出端，还有 $\bar{R}_D$ 和 $\bar{S}_D$ 两个输入端。

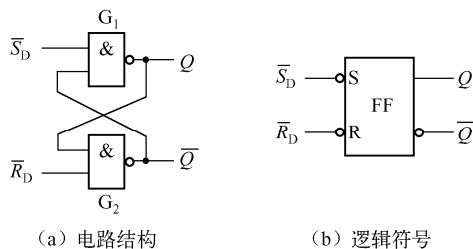


图 5.2 基本 RS 触发器

根据与非门的工作特性，对基本 RS 触发器的工作原理分析如下：

当两个输入 $\bar{R}_D = 1$ 、 $\bar{S}_D = 1$ 时，如果触发器的原态为 0（即 $Q = 0$ 、 $\bar{Q} = 1$ ），则门 G_1 的输出 $Q = 0$ ，使门 G_2 的输出 $\bar{Q} = 1$ 保持不变，而 $\bar{Q} = 1$ 与 $\bar{S}_D = 1$ ，又使门 G_1 的输出 $Q = 0$ 保持不变；若触发器的原态为 1（即 $Q = 1$ 、 $\bar{Q} = 0$ ），则门 G_2 的输出 $\bar{Q} = 0$ ，使门 G_1 的输出 $Q = 1$ 保持不变，而 $Q = 1$ 与 $\bar{R}_D = 1$ ，又使门 G_2 的输出 $\bar{Q} = 0$ 保持不变。上述分析体现了基本 RS 触发器的保持功能，没有输入信号作用时，触发器保持原态不变。高电平是输入的有效电平，它不能改变触发器的状态。

当 $\bar{R}_D = 0$ 、 $\bar{S}_D = 1$ 时，不管触发器的原态是 0 还是 1，都会由于 $\bar{R}_D = 0$ 使门 G_2 的输出 $\bar{Q} = 1$ ，而 $\bar{Q} = 1$ 与 $\bar{S}_D = 1$ 又使门 G_1 的输出 $Q = 0$ 。这是基本 RS 触发器的置 0 功能，在输入 $\bar{R}_D$ 为低电平的作用下，触发器的次态变为 0。低电平是输入的有效电平，它能改变触发器的状态。由于 $\bar{R}_D$ 端的触发信号到来后，触发器被置 0，所以把 $\bar{R}_D$ 称为置 0 端。输入信号名称上的非号表示低电平有效，并在逻辑符号上标记一个小圆圈。信号名称的下标“D”，表示输入信号直接（Direct）控制触发器的输出，因此基本 RS 触发器也称为直接触发器。

当输入 $\bar{R}_D = 1$ 、 $\bar{S}_D = 0$ 时，不管触发器的原态是 0 还是 1，都会由于 $\bar{S}_D = 0$ 使门 G_1 的输出 $Q = 1$ ，而 $Q = 1$ 与 $\bar{R}_D = 1$ 又使门 G_2 的输出 $\bar{Q} = 0$ 。这是基本 RS 触发器的置 1 功能。在输入 $\bar{S}_D$ 低电平的触发下，触发器的次态变为 1。 $\bar{S}_D$ 称为触发器的置 1 端，低电平有效。

如果 $\bar{R}_D = 0$ 、 $\bar{S}_D = 0$ 两个输入端都是有效电平时，那么 $\bar{R}_D = 0$ 使门 G_2 的输出 $\bar{Q} = 1$ ， $\bar{S}_D = 0$ 使门 G_1 的输出 $Q = 1$ ，两个输出均为高电平。这种情况不仅破坏了触发器输出互非的特性，而且当输入信号同时消失时，由于与非门传输延迟时间的不同而产生竞争，使电路的状态不确定。因此，输入组合 $\bar{R}_D = 0$ 、 $\bar{S}_D = 0$ 在实际使用中是不允许出现的，它是基本 RS 触发器的约束条件。

基本 RS 触发器的逻辑功能可以用真值表、特性方程、状态转换图和时序图来表示。触发器的真值表是电路输出次态与原态以及输入之间功能关系的表格，也称特性表。用与非门构成的基本 RS 触发器的特性表如表 5.1 所示。从表中可见，基本 RS 触发器具有保持功能（ $\bar{R}_D = 1$ 、 $\bar{S}_D = 1$ ）、置 0 功能（ $\bar{R}_D = 0$ 、 $\bar{S}_D = 1$ ）和置 1 功能（ $\bar{R}_D = 1$ 、 $\bar{S}_D = 0$ ）。另外， $\bar{R}_D = 0$ 、 $\bar{S}_D = 0$ 是约束条件，用“x”表示。

触发器的特性方程是反映触发器次态与原态以及输入之间功能关系的函数表达式。它不

表 5.1 基本 RS 触发器的特性表

$\overline{R}_D$	$\overline{S}_D$	Q^n	Q^{n+1}
0	0	0	x
0	0	1	x
0	1	0	0
0	1	1	0
1	0	0	1
1	0	1	1
1	1	0	0
1	1	1	1

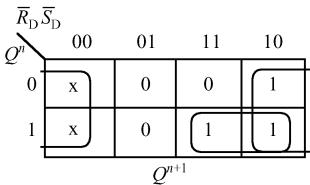


图 5.3 基本 RS 触发器的卡诺图

仅可以表示触发器的功能，也是分析和设计时序逻辑电路的重要工具。特性方程可以通过特性表化简后得到。根据特性表画出的特性卡诺图如图 5.3 所示，由卡诺图化简得到基本 RS 触发器的特性方程为

$$Q^{n+1} = \overline{\overline{S}_D} + \overline{R}_D Q^n = S_D + \overline{R}_D Q^n$$
$$\overline{\overline{S}_D} + \overline{R}_D = 1 \text{ (约束条件)}$$

(5.1)

式中， $\overline{\overline{S}_D} + \overline{R}_D = 1$ 是约束条件，它表示两个输入端不允许同时为 0（至少有一个为 1）。如果把约束条件等式两边进行非运算，则可以得到约束条件的另一种形式，即 $S_D R_D = 0$ 。

状态转换图简称为状态图，是用来表示触发器状态变化的图形。基本 RS 触发器的状态图如图 5.4 所示，图中用标有“0”符号的圆圈表示触发器的 0 态，用标有“1”符号的圆圈表示 1 态，用带箭头的线表示触发器的状态变化方向；箭头线旁的数据表示触发器状态变化需要的输入条件。例如，触发器从 0 态转换到 1 态时，需要的输入条件是 $\overline{R}_D \overline{S}_D = 10$ ；从 0 态到 0 态（即保持不变）时，输入条件是 $\overline{R}_D \overline{S}_D = 11$ （保持功能），或者 $\overline{R}_D \overline{S}_D = 01$ （置 0 功能），因此归纳为输入条件是 $\overline{R}_D \overline{S}_D = x1$ 。 x 表示条件任意，即为 0、为 1 均可。状态图也是分析和设计时序逻辑电路的重要工具。

触发器的输出随输入变化的波形称为时序图。由与非门构成的基本 RS 触发器的时序图如图 5.5 所示（为了使时序图画面清晰，将图中的坐标省略）。 $\overline{R}_D \overline{S}_D = 00$ 是基本 RS 触发器的约束条件，使用时是不允许出现的。但为了让读者更深入地理解触发器的特性，在图中有意识地加入了约束条件下的输入组合以及相应的输出波形。

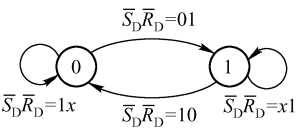


图 5.4 基本 RS 触发器的状态图

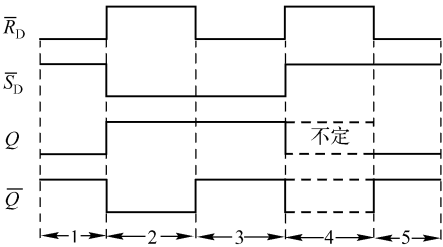


图 5.5 基本 RS 触发器的时序图

为了便于分析，根据输入波形的变化把时序图分为 5 个时间阶段，即 1~5 时段。在第 1 时段前的触发器状态称为初态，它是触发器加上电源电压后的状态。触发器的初态是随机的，可能是 0 态，也可能 1 态，因此画时序图时应首先假设触发器的初态，一般都把初态设置为 0。

在时序图的第 1 时段， $\overline{R_D}\overline{S_D}=01$ ，触发器被置 0， $Q=0$ 、 $\overline{Q}=1$ 。在第 2 时段， $\overline{R_D}\overline{S_D}=10$ ，触发器被置 1， $Q=1$ 、 $\overline{Q}=0$ 。在第 3 时段， $\overline{R_D}\overline{S_D}=00$ （出现约束状态），触发器的 $Q=1$ 、 $\overline{Q}=1$ ，使输出的互非特性被破坏。在第 4 时段， $\overline{R_D}\overline{S_D}=11$ ，触发器应该处于保持状态。在此时段之前，触发器的输出 $Q=1$ 、 $\overline{Q}=1$ ，此时，门 G_1 的输入 $\overline{S_D}=1$ 、 $\overline{Q}=1$ 将使其输出 $Q=0$ ；而门 G_2 的输入 $\overline{R_D}=1$ 、 $Q=1$ 也将使其输出 $\overline{Q}=0$ 。但 G_1 和 G_2 的传输延迟时间是不同的，因此出现竞争。假设 G_1 比 G_2 的速度快，则 Q 先变为 0，使 $\overline{Q}=1$ ，触发器的次态为 0，并被保持下来；若 G_2 比 G_1 的速度快，则 $\overline{Q}$ 先变为 0，使 $Q=1$ ，触发器的次态为 1，并被保持下来。对于一个具体的触发器来说，并不知道哪一个门的速度快，因此也不知道触发器保持的是 0 态还是 1 态，一般把这种情况称为触发器的状态未知或者不确定。在时序图中，不确定状态用上下两条虚线表示。在第 5 时段， $\overline{R_D}\overline{S_D}=01$ ，触发器被置 0。

5.2.2 由或非门构成的基本 RS 触发器

由两个或非门 G_1 和 G_2 交叉连接构成的基本 RS 触发器的电路结构和逻辑符号如图 5.6 所示。它有 Q 、 $\overline{Q}$ 两个输出端和 R_D 、 S_D 两个输入端。

根据或非门的工作特性，可得到用或非门构成的基本 RS 触发器的特性，如表 5.2 所示。当两个输入 $R_D=0$ 、 $S_D=0$ 时，触发器的状态不会变化，处于保持状态，低电平是输入的无效电平。

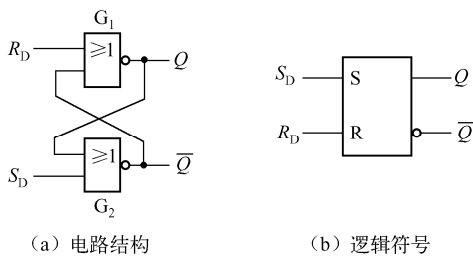


图 5.6 由或非门构成的基本 RS 触发器

表 5.2 图 5.6 电路的特性表

$R_D S_D Q^n$	Q^{n+1}
0 0 0	0
0 0 1	1
0 1 0	1
0 1 1	1
1 0 0	0
1 0 1	0
1 1 0	x
1 1 1	x

当 $R_D=1$ 、 $S_D=0$ 时，不管触发器的原态是 0 还是 1，它的次态都是 0，这是基本 RS 触发器的置 0 功能。 R_D 是直接置 0 输入端，高电平有效。信号名称上没有非号表示高电平有效，在逻辑符号上，也没有标记小圆圈。

当 $R_D=0$ 、 $S_D=1$ 时，不管触发器的原态是 0 还是 1，它的次态都是 1，这是基本 RS 触发器的置 1 功能。 S_D 是直接置 1 输入端，高电平有效。

如果 $R_D=1$ 、 $S_D=1$ （即两个输入端都是有效电平），那么两个门的输出均为低电平，破坏了触发器输出互非的特性，这是触发器的约束条件，用“x”表示。

根据特性表画出电路的特性卡诺图如图 5.7 所示，由卡诺图化简得到基本 RS 触发器的特性方程为

$$\left. \begin{aligned} Q^{n+1} &= S_D + \overline{R_D}Q^n \\ S_D R_D &= 0 \text{ (约束条件)} \end{aligned} \right\} \tag{5.2}$$

其中， $S_D R_D=0$ 是约束条件，它表示两个输入端至少有一个为 0，不允许同时为 1。把式 (5.1) 与式 (5.2) 进行比较后可知，两种结构的基本 RS 触发器的特性方程是相同的。

由或非门构成的基本 RS 触发器的时序图如图 5.8 所示。图中也加入了约束条件下的输入组合以及相应的输出波形。当 $S_D R_D = 11$ 时，触发器输出互非被破坏，两个输出均为 0。此时，如果 S_D 和 R_D 同时变为无效电平 0，则门 G_1 和 G_2 也会产生竞争使输出不确定。

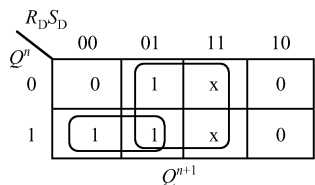


图 5.7 基本 RS 触发器的卡诺图

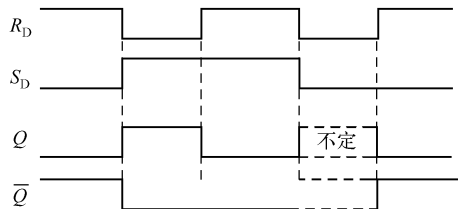


图 5.8 由或非门构成的基本 RS 触发器的时序图

5.3 钟控触发器

在数字系统中，为了协调各部分电路的运行，常常要求某些触发器在时钟信号的控制下同时动作，有时钟控制端的触发器称为钟控触发器。由于钟控触发器可以在时钟控制下同步工作，所以也称为同步触发器。

1. 钟控 RS 触发器

钟控 RS 触发器的电路结构和逻辑符号如图 5.9 所示。钟控 RS 触发器由 4 个与非门 $G_1 \sim G_4$ 构成，其中 G_1 和 G_2 构成基本 RS 触发器， G_3 和 G_4 构成输入控制电路。输入控制电路由时钟脉冲 CP（Clock Pulse）控制，CP 是有 0、1 两种电平的矩形波。当 $CP = 0$ 时，门 G_3 和 G_4 截止，输入 R 和 S 不能改变触发器的状态，同时使 $\bar{R}_D = 1$ 、 $\bar{S}_D = 1$ ，基本 RS 触发器处于保持状态。当 $CP = 1$ 时，门 G_3 和 G_4 导通，允许输入 R 和 S 改变触发器的状态。

钟控 RS 触发器的特性表如表 5.3 所示。从表中可以看出， $CP = 1$ 时触发器的输出受输入信号 R 和 S 的控制，具有基本 RS 触发器的功能，因此称为钟控 RS 触发器。 R 是钟控 RS 触发器的置 0 端， S 是置 1 端，高电平有效，信号名称取消了下标，表示不是直接控制信号（需要 CP 的配合）。当 $R = 0$ 、 $S = 0$ 时，是保持功能， $R = 1$ 、 $S = 0$ 是置 0 功能， $R = 0$ 、 $S = 1$ 是置 1 功能。输入同样需要遵守 $RS = 0$ 的约束条件，即 $R = 1$ 、 $S = 1$ 是不允许出现的。

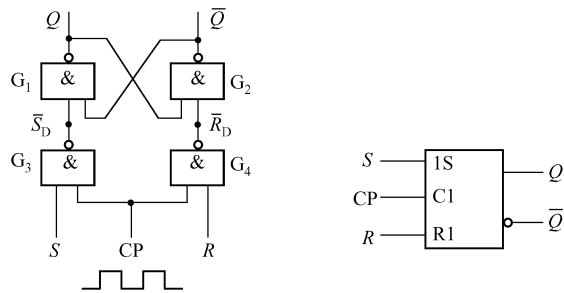


图 5.9 钟控 RS 触发器的电路结构和逻辑符号

表 5.3 钟控 RS 触发器的特性表

CP	R	S	Q^n	Q^{n+1}
0	x	x	0	0
0	x	x	1	1
1	0	0	0	0
1	0	0	1	1
1	0	1	0	1
1	0	1	1	1
1	1	0	0	0
1	1	0	1	0
1	1	1	0	x
1	1	1	1	x

由特性表得到钟控 RS 触发器的状态图如图 5.10 所示。由特性表得到钟控 RS 触发器的特性方程为

$$\left. \begin{aligned} Q^{n+1} &= S_D + \overline{R}Q^n \\ RS &= 0 \text{ (约束条件)} \end{aligned} \right\} \tag{5.3}$$

钟控 RS 触发器的时序图如图 5.11 所示。如果触发器的初态为 0，在第 1 个 CP 高电平到来之前，由于 CP=0 使触发器保持 0 态不变。当 CP 脉冲到来后，先是 R=0、S=1，触发器被置为 1 态，使 Q=1、Q̄=0。随后 R=1、S=0，触发器被置为 0 态，使 Q=0、Q̄=1。第 1 个 CP 结束后 CP=0，触发器的状态保持 Q=1、Q̄=0 不变。按照钟控 RS 触发器的特性，可以分析并画出其他时钟周期的输出波形。

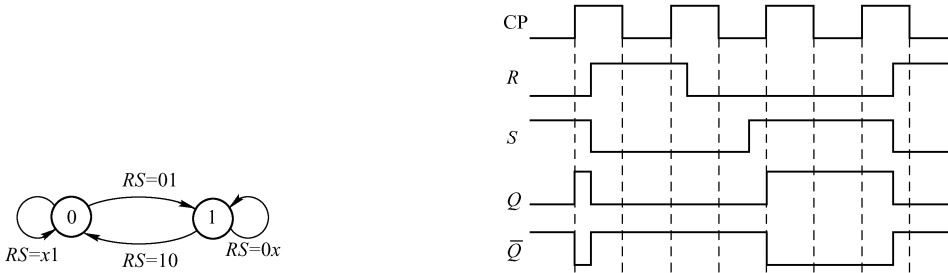


图 5.10 钟控 RS 触发器的状态图

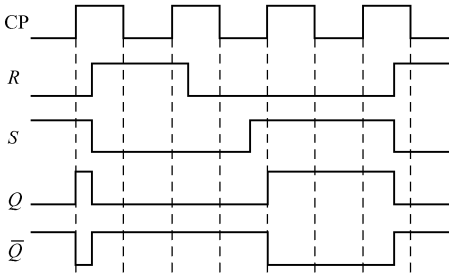


图 5.11 钟控 RS 触发器的时序图

2. 钟控 D 触发器

钟控 RS 触发器存在约束条件，给触发器的使用带来不便。而约束状态是由于触发器的两个输入 R 和 S 同时为高电平产生的，为了防止这种现象出现，可以用 1 个非门把两个输入信号分开。钟控 D 触发器就是根据这个原理设计出来的。

钟控 D 触发器的电路结构和逻辑符号如图 5.12 所示。其电路结构是把钟控 RS 触发器的 S 输入端改为 D 输入端，然后经过 G₃ 与非门接至 R 端。

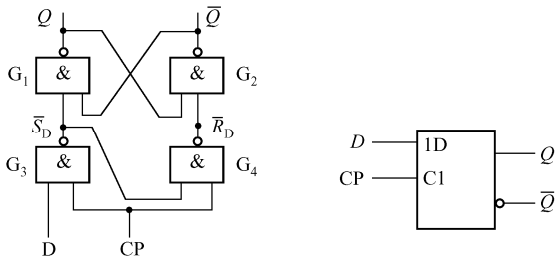


图 5.12 钟控 D 触发器的电路结构和逻辑符号

根据 RS 触发器的特性，很容易推导出 D 触发器的工作原理。当 D=0 时，相当于 R=1、S=0，触发器被置为 0；当 D=1 时，相当于 R=0、S=1，触发器被置为 1。由此得到 D 触发器的特性表如表 5.4 所示。

从表可见，D 触发器只有置 0 和置 1 功能，它依靠 CP=0 来保持状态不变（表中用 $Q^{n+1}=Q^n$ 来表示保持特性）。在 CP=1 时，其特性方程为

$$Q^{n+1} = D \tag{5.4}$$

根据 D 触发器的特性，画出的时序图如图 5.13 所示。由时序图可见，当 CP = 1 期间，输出 Q 的波形与输入 D 的波形相同。这种波形变化的特征，与后面将要介绍的集成 D 触发器不同。集成 D 触发器的状态变化只发生在 CP 脉冲的上升沿或下降沿到来的时候，CP = 1 时触发器的状态不会发生变化。因此，为了与集成 D 触发器有所区别，一般把图 5.12 所示的电路称为 D 锁存器。换句话说，锁存器是电平触发的，而触发器是脉冲边沿触发的。

表 5.4 D 触发器的特性表

CP	D	Q^{n+1}
0	x	Q^n
1	0	0
1	1	1

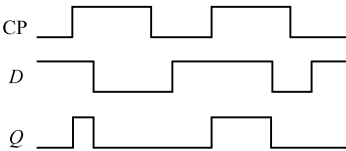


图 5.13 D 触发器的时序图

3. 钟控 JK 触发器

D 锁存器虽然没有约束条件，但功能较少。JK 触发器是一种功能最全面，而且没有约束条件的触发器。

JK 触发器的电路结构和逻辑符号如图 5.14 所示。由电路结构可见，它是在钟控 RS 触发器电路的基础上增加了两条反馈线，一条反馈线把 Q 的输出信号反馈到原 R 钟控门的输入端，并把 R 改名为 K；另一条反馈线把 $\bar{Q}$ 反馈到原 S 钟控门的输入端，把 S 改名为 J。JK 触发器的特性表如表 5.5 所示，其功能分析如下。

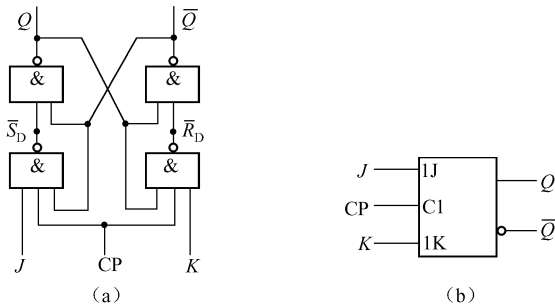


图 5.14 钟控 JK 触发器的电路结构和逻辑符号

表 5.5 JK 触发器的特性表

CP	J	K	Q^n	Q^{n+1}
0	x	x	0	0
1	x	x	1	1
1	0	0	0	0
1	0	0	1	1
1	0	1	0	0
1	0	1	1	0
1	1	0	0	1
1	1	0	1	1
1	1	1	0	1
1	1	1	1	0

当 CP = 0 时，触发器的状态保持不变。CP = 1 时，JK 触发器的状态根据 J、K 输入的 4 种组合，具有 4 种功能。当输入 J = 0、K = 0 时，是保持功能，触发器的状态不会变化；当 J = 0、K = 1 时，是置 0 功能，触发器的输出变为 0；当 J = 1、K = 0 时，是置 1 功能，输出变为 1；当 J = 1、K = 1 时，是翻转功能。在翻转功能下，如果触发器的原态是 0 则翻转为 1，若原态是 1 则翻转为 0。翻转是 JK 触发器增加的功能，在时序逻辑电路中，常常用翻转功能来完成计数，因此翻转也称为计数功能。

为了更清晰地看出 JK 触发器的功能，可以把其特性归纳到如表 5.6 所示的简化特性表中。当触发器处于翻转功能时，其输出的次态总是与原态相反，所以用 $Q^{n+1} = \bar{Q}^n$ 来表示翻转功能。

由特性表画出 JK 触发器的特性卡诺图如图 5.15 所示，化简得到其特性方程

$$Q^{n+1} = J\bar{Q}^n + \bar{K}Q^n \tag{5.5}$$

JK 触发器的状态图如图 5.16 所示。

表 5.6 JK 触发器的简化特性表

J	K	Q^{n+1}
0	0	Q^n
0	1	0
1	0	1
1	1	$\bar{Q}^n$

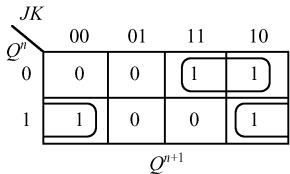


图 5.15 JK 触发器的卡诺图

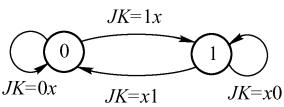


图 5.16 JK 触发器的状态图

图 5.14 所示的 JK 触发器结构，在实际使用中存在“空翻”现象。处于翻转功能的 JK 触发器，在一个时钟周期内最多只能翻转 1 次，超过 1 次的翻转就是空翻。存在空翻现象的触发器会造成数字系统误动作，在使用中会受到限制。JK 触发器的空翻现象可用如图 5.17 所示时序图来说明。

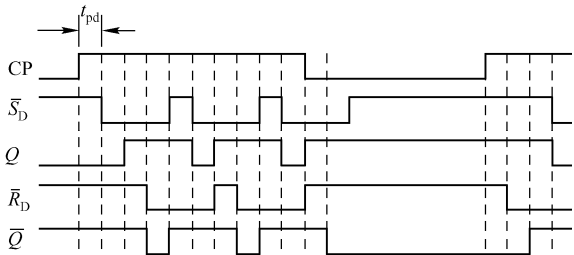


图 5.17 钟控 JK 触发器的空翻现象

在时序图中，假设 JK 触发器处于翻转功能，即 $J=1$ 、 $K=1$ （JK 的波形没有在图中画出），触发器的初态为 0，每个与非门的平均传输延迟时间为 t_{pd} 。当 $CP=1$ 到达后，由于触发器初态是 0， $Q=0$ 使门 G_4 截止， $\bar{Q}=1$ 使门 G_3 导通，经历 2 个 t_{pd} 时间后， Q 端输出由 0 变为 1，再经过 1 个 t_{pd} 后， $\bar{Q}$ 端输出由 1 变为 0，触发器完成了状态的第 1 次翻转。当触发器翻转为 1 态后，如果 $CP=1$ 继续保持，则由于 $\bar{Q}=0$ 使门 G_3 截止、 $Q=1$ 使门 G_4 导通，经历 1 个 t_{pd} 时间后， $\bar{Q}$ 端输出由 0 变为 1，再经过 1 个 t_{pd} 后， Q 端输出由 1 变为 0，又使触发器完成状态的第 2 次翻转。如果 $CP=1$ 持续时间较长，则触发器的状态将不断翻转，直至 CP 由 1 变为 0 为止。为了保证在 $CP=1$ 期间触发器只翻转 1 次，则要求 CP 脉冲宽度应小于 $3t_{pd}$ ，而要触发器能可靠翻转，则要求 CP 的宽度大于 $2t_{pd}$ ，对 $CP=1$ 的宽度要求十分苛刻。而且每个与非门的延迟时间也有差异，所以这种要求实际上是无法实现的。

4. 钟控 T 触发器

钟控 T 触发器的电路结构和逻辑符号如图 5.18 所示。T 触发器是把 JK 触发器的两个输入端合并为一个输入端得到的，并把这个输入端命名为 T 。

根据 JK 触发器的特性，推导出 T 触发器的特性表，如表 5.7 所示。当 $T=0$ 时，相当于

$J=0$ 、 $K=0$ ，触发器处于保持状态；当 $T=1$ 时，相当于 $J=1$ 、 $K=1$ ，是翻转功能，次态为原态的非。将 T 代替式 (5.5) 中的 J 和 K ，得到 T 触发器的特性方程为

$$Q^{n+1} = T\overline{Q}^n + \overline{T}Q^n \tag{5.6}$$

由于钟控 T 触发器的结构与 JK 触发器的结构相似，因此也存在空翻现象。

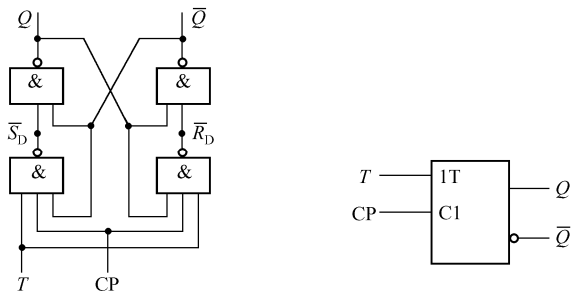


图 5.18 钟控 T 触发器的电路结构和逻辑符号

5. 钟控 T’ 触发器

把钟控 JK 触发器的两个输入端 JK 并在一起接在高电平上，就得到钟控 T’ 触发器电路，如图 5.19 所示。对于 TTL 电路，与非门的输入端悬空相当于接高电平，因此图中接高电平的 J 、 K 端没有画出，也就是说 T’ 触发器没有输入端。

把 $J=1$ 、 $K=1$ 代入式 (5.5)，得到 T’ 触发器的特性方程为

$$Q^{n+1} = \overline{Q}^n \tag{5.7}$$

T’ 触发器只具有翻转功能，即每来 1 个 CP 脉冲，触发器就翻转 1 次，所以一般把它称为翻转型触发器。

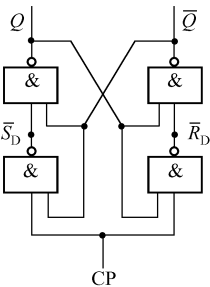


图 5.19 钟控 T’ 触发器的电路结构

5.4 集成触发器

为了方便使用，部分触发器类型已形成集成电路产品。集成触发器主要有主从 JK 触发器、边沿 JK 触发器和维持-阻塞 D 触发器。不同结构的集成触发器有各自的特点，使用者可以根据不同应用场合的需要来选择。

5.4.1 主从 JK 触发器

主从 JK 触发器是由两个时钟控制的触发器串接而成的，如图 5.20 所示。图中 $G_1 \sim G_4$ 组成主触发器，输出为 Q_m 和 $\overline{Q}_m$ ； $G_5 \sim G_8$ 组成从触发器，输出为 Q 和 $\overline{Q}$ 。时钟 CP 直接控制主触发器，而用 $\overline{CP}$ 控制从触发器。另外，还把从触发器的输出 Q 和 $\overline{Q}$ 分别反馈到主触发器的时钟控制门 G_2 、 G_1 的输入端。

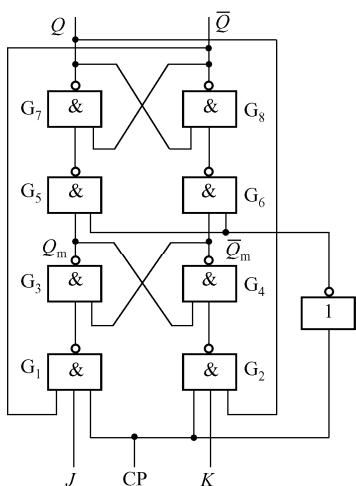


图 5.20 主从 JK 触发器的电路结构

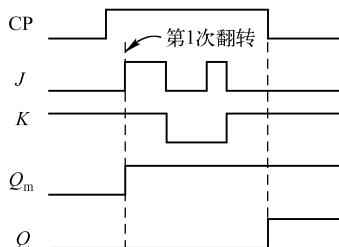


图 5.21 主从 JK 触发器的时序图

当 $CP = 1$ ($\overline{CP} = 0$) 时, G_5 、 G_6 被封锁, 从触发器的 Q 和 $\overline{Q}$ 保持状态不变。同时 G_1 、 G_2 被开启, 主触发器可以按照 JK 特性发生 1 次状态变化。在时钟脉冲 CP 从高电平下降到低电平的瞬间 (即 $CP = 0$ 、 $\overline{CP} = 1$), G_1 、 G_2 被封锁, 主触发器 Q_m 和 $\overline{Q}_m$ 保持状态不变。同时 G_5 、 G_6 被开启, 从触发器接收主触发器的状态 (即 $Q = Q_m$ 、 $\overline{Q} = \overline{Q}_m$)。此后, 主触发器的状态不会变化, 从触发器的状态也不会变化。从上述的分析可知, 主从 JK 触发器输出端 (即 Q 和 $\overline{Q}$) 的状态变化, 只发生在时钟脉冲 CP 从高电平下降到低电平的瞬间, 相当于 CP 的下降沿到来时触发, 其特性方程可以写为

$$Q^{n+1} = (J\overline{Q}^n + \overline{K}Q^n)CP \downarrow \quad (5.8)$$

采用主从结构的目的是为了防止触发器的空翻现象, 主从 JK 触发器防止空翻的时序图如图 5.21 所示。由图可见, 在 $CP = 1$ 期间不管 J 、 K 输入信号怎样变化, 主触发器的状态最多只能发生 1 次变化, 因而防止了空翻。只能发生 1 次变化的原因是 $CP = 1$ 期间, 从触发器的状态保持不变, 而它的输出 Q 和 $\overline{Q}$ 直接控制主触发器的钟控门, 防止主触发器的状态多次变化。

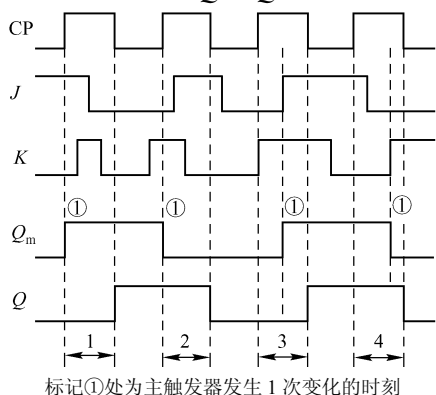


图 5.22 存在 1 次变化的主从 JK 触发器的时序图

虽然主从 JK 触发器可以防止空翻现象发生, 但由于在 $CP = 1$ 期间, 主触发器只能发生 1 次变化, 又带来了 1 次变化问题。所谓 1 次变化问题是指主从 JK 触发器在 $CP = 1$ 期间, 由于 J 、 K 的变化而使触发器的状态变化不符合其特性的现象。为了使读者清楚 1 次变化问题, 再用如图 5.22 所示时序图加以说明。图中的时钟脉冲有 4 个周期, 在每个时钟周期的 $CP = 1$ 期间, 输入 J 、 K 都有变化。

从图中可见, 在时钟第 1 个周期的 $CP = 1$ 期间, 由于 $J = 1$ 、 $K = 0$, 主触发器被置 1 (假设触发器的初态为 0), 发生了 1 次变化。此后, 不管 J 、 K 如何变化, $Q_m = 1$ 不再变化。当 CP 的下降沿到来时, 从触发器接受主触发器的状态, 使 Q 由 0 变为 1, 发生了状态变化。根据 JK 触发器的特性, 在 CP 的下降沿到来时刻, 输入 $J = 0$ 、 $K = 0$, 触发器处于保持功能而不应该变化, 此时的状

态变化不符合 JK 触发器的特性，这就是 1 次变化问题。CP 其他周期内的输出波形也是按照这种方法画出来的，即在 CP = 1 期间，根据 J、K 的组合找出主触发器的 1 次变化（在图中标①处），然后在 CP 的下降沿到来时，将 Q_m 的状态传递给 Q 。

1 次变化问题是由于 CP = 1 期间，输入 J、K 发生变化造成的，因此为了防止 1 次变化问题出现，就要求输入 J、K 在 CP = 1 期间不变化。使用窄脉冲作为 CP，避开 J、K 的变化，也可以有效防止 1 次变化问题出现。

国产主从 JK 触发器产品有 CT7472 单 JK 触发器和 CT74111 双 JK 触发器。CT7472 的逻辑符号如图 5.23 所示。为了方便使用，CT7472 的 J 和 K 都分别有构成与逻辑关系的 3 个输入端，即 $J_1J_2J_3$ 和 $K_1K_2K_3$ 。另外，还有直接置 0 端 $\bar{R}_D$ 和直接置 1 端 $\bar{S}_D$ 。CT7472 的特性表如表 5.8 所示。

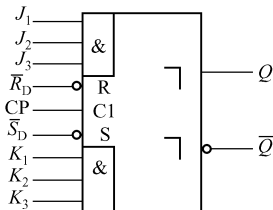


图 5.23 CT7472 的逻辑符号

表 5.8 CT7472 的特性表

$\bar{R}_D$	$\bar{S}_D$	CP	J	K	Q^{n+1}	功能
0	1	x	x	x	0	复位
1	0	x	x	x	1	置位
0	0	x	x	x	x	不允许
1	1	↓	0	0	Q^n	保持
1	1	↓	0	1	0	置 0
1	1	↓	1	0	1	置 1
1	1	↓	1	1	$\bar{Q}^n$	翻转

由特性表可见，只要在 $\bar{R}_D$ 或 $\bar{S}_D$ 端加上低电平，触发器将被置 0（复位）或置 1（置位），而时钟信号 CP 和输入信号 J、K 无效。因此， $\bar{R}_D$ 称为异步复位（置 0）端， $\bar{S}_D$ 称为异步置位（置 1）端，低电平有效。当 $\bar{R}_D = 1$ 、 $\bar{S}_D = 1$ （无效）时，电路才具有 JK 触发器的功能，其特性方程为

$$Q^{n+1} = (J\bar{Q}^n + \bar{K}Q^n)CP \downarrow$$

5.4.2 边沿 JK 触发器

边沿 JK 触发器是利用传输延迟的差异而引导触发的触发器。边沿 JK 触发器的电路结构如图 5.24 所示。图中采用与或非门交叉连接构成基本 RS 触发器，门 G_3 和 G_4 起触发引导作用。电路的工作原理分析如下。

当 $J = 0$ ， $K = 0$ 时，门 G_3 和 G_4 截止，无论时钟 CP 是 1 还是 0，均不能改变门 G_1 和 G_2 的状态，此时触发器执行保持功能。

当 $J = 1$ ， $K = 1$ 时，门 G_3 和 G_4 开启，而且 Q 和 $\bar{Q}$ 的状态被反馈到门 G_3 和 G_4 。如果 $Q = 0$ ，则当 CP = 1 时，门 G_3 导通、 G_4 截止；然后当 CP 由 1 下降为 0 的瞬间，由于已导通了的 G_3 还来不及截止，所以由门 G_1 和 G_5 组成的与或非门将被截止；由门 G_2 和 G_6 组成的与或非门将由于 G_2 的导通而导通，使 Q 由 0 变为 1， $\bar{Q}$ 由 1 变为 0，触发器被翻转。在门 G_3 完成了翻转动作后也随之截止。此时触发器执行翻转功能。

当 $J = 0$ ， $K = 1$ 时，如果 $Q = 0$ ，则 CP = 1 时门 G_2 、 G_6 和 G_4 截止，门 G_3 也因 $J = 0$ 截止，唯有门 G_5 和 G_1 导通，当 CP 由 1 下降为 0 的瞬间， G_5 虽然被 CP 所截止，但 G_1 仍保持导通状态，因而 Q 和 $\bar{Q}$ 状态不变，即 $Q = 0$ 、 $\bar{Q} = 1$ 。

$J = 0$ 、 $K = 1$ 不变，如果 $Q = 1$ 、 $\bar{Q} = 0$ ，则 CP = 1 时门 G_5 、 G_1 和 G_3 因 $\bar{Q} = 0$ 而截止，门

G_6 又因 $Q = 1$ 导通, 门 G_4 也因 $J = 1$ 和 $Q = 1$ 导通, G_2 因 G_4 导通而截止。当 CP 由 1 下降为 0 的瞬间, 在 CP 还未来得及由 0 变为 1 时, 由于 $CP = 0$ 而使 G_6 截止, 从而导致 G_1 由截止变为导通, 即 Q 被翻转为 0。只要 Q 一旦由 1 变为 0, 则 G_2 的截止便不再受 G_4 状态的影响。

综合上述分析可知, 当 $J = 0$ 、 $K = 1$ 时, 触发器执行置 0 功能。

当 $J = 1$ 、 $K = 0$ 时, 触发器执行置 1 功能。此时触发器输出状态的确立与上述过程类同。

这种利用传输延迟的差异而引导触发的边沿 JK 触发器, 从工作原理来说, 是稳定和可靠的。它的状态变化, 仅仅取决于 CP 下降沿到达时刻的输入信号的状态, 因此, 增强了抗干扰能力。边沿 JK 触发器的时序图如图 5.25 所示。由图可见, 触发器的状态变化都是在 CP 的下降沿到来时刻, 由输入 J 、 K 输入决定的。

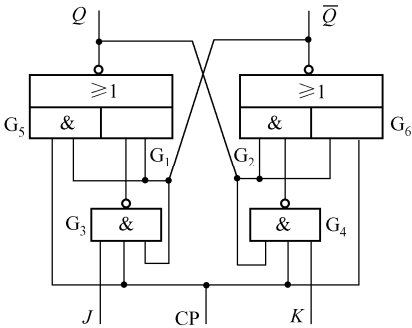


图 5.24 边沿 JK 触发器的电路结构

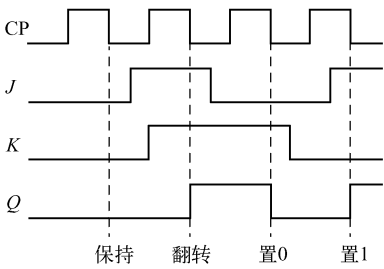


图 5.25 边沿 JK 触发器的时序图

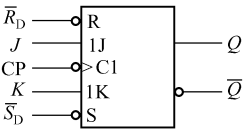


图 5.26 CT7479 的逻辑符号

CT7479 是国产 TTL 集成边沿 JK 触发器。它的逻辑符号如图 5.26 所示, 它比图 5.24 所示的电路结构多增加了异步置 0 端 $\bar{R}_D$ 和异步置 1 端 $\bar{S}_D$ 。CT7479 的特性表与主从 JK 触发器 CT7472 相同, 如表 5.8 所示。但请读者注意边沿 JK 触发器与主从 JK 触发器在逻辑符号上的区别。边沿 JK 触发器是 CP 的下降边沿触发的, 因此在逻辑符号中的 CP 端增加了一个三角形和一个小圆圈。三角形表示边沿触发, 小圆圈表示下降沿触发。虽然主从触发器的状态变化也是发生在时钟脉冲 CP 的下降沿到来的时刻, 但实际上是电平触发的。它的主触发器由 CP 的高电平触发, 而从触发器由 CP 的低电平触发。因此, 主从 JK 触发器的逻辑符号的 CP 端没有三角形标记。另外, 主从 JK 触发器的输出端标记有“ $\neg$ ”, 而边沿 JK 触发器的输出端没有标记。

5.4.3 维持-阻塞结构集成触发器

采用维持-阻塞结构形式构成的触发器也是边沿触发的。在 TTL 电路中, 这种电路结构形式用得比较多, 包括维持-阻塞结构 RS、JK 和 D 触发器。下面以维持-阻塞结构 D 触发器为例, 简单介绍这种电路的结构和特性。

维持-阻塞 D 触发器的电路结构和逻辑符号如图 5.27 所示。在逻辑符号的 CP 端有三角形标记, 表示边沿触发, 但没有小圆圈, 表示上升沿触发。其特性表如表 5.9 所示。由表可知, $\bar{R}_D$ 是异步置 0 端, $\bar{S}_D$ 是异步置 1 端。当 $\bar{R}_D$ 和 $\bar{S}_D$ 为高电平 (无效) 时, 电路才具有 D 触发器的特性, 而且是 CP 的上升沿触发的。因此, 维持-阻塞 D 触发器的特性方程可写成:

$$Q^{n+1} = D \cdot CP \uparrow \tag{5.9}$$

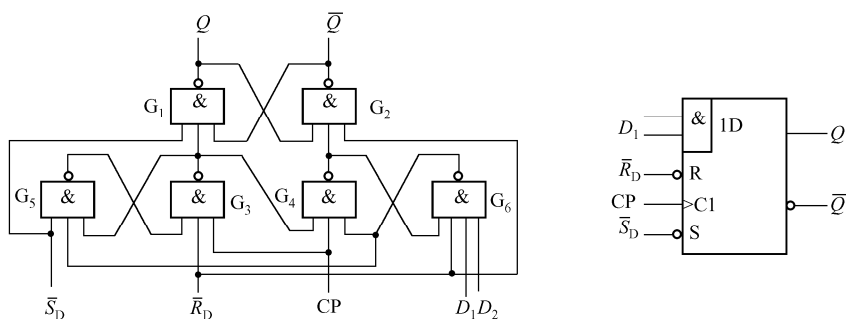


图 5.27 维持-阻塞 D 触发器的电路结构和逻辑符号

根据维持-阻塞 D 触发器的特性画出的时序图如图 5.28 所示。从时序图可见，维持-阻塞 D 触发器的状态变化，只发生在 CP 上升沿到来的时刻，在 CP 的高电平、低电平以及下降沿都不会变化，与 D 锁存器的时序图存在区别。

表 5.9 维持-阻塞 D 触发器的特性表

R_D	S_D	CP	D	Q^{n+1}	功能
0	1	x	x	0	复位
1	0	x	x	1	置位
0	0	x	x	x	不允许
1	1	↑	0	0	置 0
1	1	↑	1	1	置 1

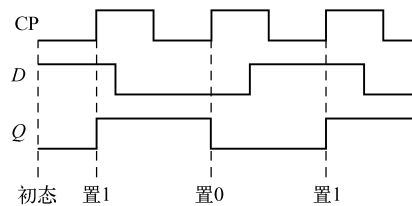


图 5.28 维持-阻塞 D 触发器的时序图

5.5 触发器之间的转换

常用的触发器有 5 种类型，但它们并没有全部形成集成电路产品。在实际电路设计中，如果碰到需要的触发器类型缺少时，可以通过触发器的转换方法，将其他现有的触发器转换为需要的触发器。

触发器的转换方法如图 5.29 所示。它是在现有的触发器前，增加一个组合逻辑电路。将转换后的触发器的输入和现有触发器的 Q 或 $\bar{Q}$ 端作为组合逻辑电路的输入，组合逻辑电路的输出作为现有触发器的驱动信号。下面分别以 JK 触发器和 D 触发器为例，介绍一些常用触发器之间的转换方法。

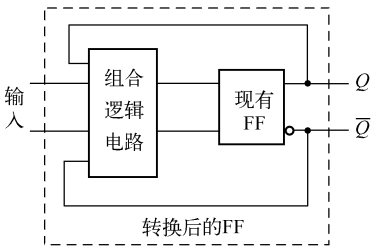


图 5.29 触发器之间转换的一般方法

1. 用 JK 触发器实现其他类型触发器

(1) 用 JK 触发器实现 D 触发器

用 JK 触发器实现 D 触发器转换的示意图如图 5.30 所示。现有的是 JK 触发器，转换后的是 D 触发器。组合逻辑电路的输出作为 J 、 K 的驱动信号。已知 JK 触发器的特性方程为

$$Q^{n+1} = J\bar{Q}^n + \bar{K}Q^n \tag{5.10}$$

而 D 触发器的特性方程为

$$Q^{n+1} = D = D(\overline{Q}^n + Q^n) = D\overline{Q}^n + DQ^n \quad (5.11)$$

由于现有的 JK 触发器与转换后的 D 触发器的输出端都是 Q ，所以式 (5.10) 与式 (5.11) 相等，即

$$J\overline{Q}^n + \overline{K}Q^n = D\overline{Q}^n + DQ^n \quad (5.12)$$

由式 (5.12) 可得到组合逻辑电路的输出表达式（即 JK 输入端的驱动方程）

$$J = D, \quad K = \overline{D} \quad (5.13)$$

根据式 (5.13) 画出用 JK 触发器实现的 D 触发器电路如图 5.31 所示。

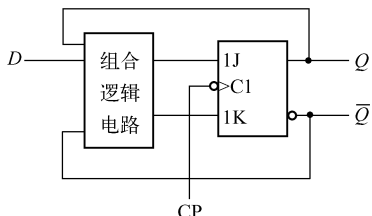


图 5.30 JK 到 D 触发器转换的示意图

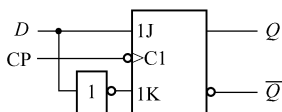


图 5.31 用 JK 触发器实现 D 触发器电路

(2) 用 JK 触发器实现 T 触发器

把 JK 触发器的两个输入端合并作为 T 输入端，就形成了 T 触发器，如图 5.32 所示。

(3) 用 JK 触发器实现 T' 触发器

把 JK 触发器的两个输入端接高电平，就形成了 T' 触发器，如图 5.33 所示。

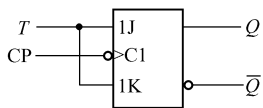


图 5.32 用 JK 触发器转换为 T 触发器电路

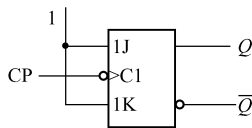


图 5.33 用 JK 触发器转换为 T' 触发器电路

2. 用 D 触发器实现其他类型触发器

(1) 用 D 触发器实现 JK 触发器

已知现有的 D 触发器的特性方程为

$$Q^{n+1} = D \quad (5.14)$$

而 JK 触发器的特性方程为

$$Q^{n+1} = J\overline{Q}^n + \overline{K}Q^n \quad (5.15)$$

由于式 (5.14) 与式 (5.15) 相等，即得到组合逻辑电路的输出表达式

$$D = J\overline{Q}^n + \overline{K}Q^n \quad (5.16)$$

根据式 (5.16) 画出用 D 触发器实现的 JK 触发器电路如图 5.34 所示。

(2) 用 D 触发器实现 T' 触发器

由 D 触发器转换为 T 触发器时，需要首先将 D 触发器转换为 JK 触发器，然后把 JK 触发器的输入端合并为 T 输入端即可。

(3) 用 D 触发器实现 T' 触发器

已知 D 触发器的特性方程为

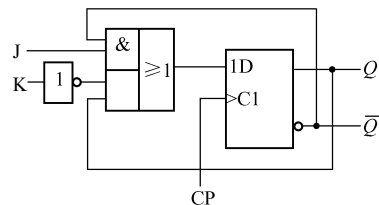


图 5.34 用 D 触发器实现 JK 触发器

$$Q^{n+1} = D \quad (5.17)$$

而 JK 触发器的特性方程为

$$Q^{n+1} = \overline{Q}^n \quad (5.18)$$

即得到组合逻辑电路的输出表达式

$$D = \overline{Q}^n \quad (5.19)$$

根据式 (5.19) 画出用 D 触发器实现的 T' 触发器电路如图 5.35 所示。

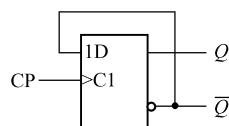


图 5.35 用 D 触发器实现 T' 触发器

5.6 基于 Verilog HDL 的触发器设计

在现代数字逻辑设计中，用 HDL 设计的触发器可以作为共享的基本元件保存在设计程序包（文件夹）中，供其他设计和系统调用。下面以 RS 触发器、D 触发器和 JK 触发器为例，介绍基于 Verilog HDL 的触发器的设计。

5.6.1 基本 RS 触发器的设计

基本 RS 触发器电路可以由与非门或者或非门交叉耦合得到。用与非门交叉耦合构成的基本 RS 触发器的电路结构如图 5.36 所示。其特性如表 5.10 所示。基于 Verilog HDL 的基本 RS 触发器的设计可以采用结构描述和行为描述来实现。根据图 5.36 所示的电路结构，写出的基本 RS 触发器输出表达式为：

$$Q = \overline{\overline{S_D} \cdot \overline{Q}} \quad \overline{Q} = \overline{\overline{R_D} \cdot \overline{Q}}$$

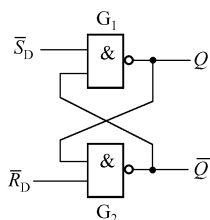


图 5.36 基本 RS 触发器的电路结构

表 5.10 基本 RS 触发器的特性表

$\overline{R_D}$	$\overline{S_D}$	Q^n	Q^{n+1}
0	0	0	x
0	0	1	x
0	1	0	0
0	1	1	0
1	0	0	1
1	0	1	1
1	1	0	0
1	1	1	1

根据基本 RS 触发器的输出表达式用 Verilog HDL 的结构描述方式编写的源程序 RS_FF.v 如下：

```
module RS_FF(Q,QN,SDN,RDN);
    input  SDN,RDN;
    output Q,QN;
    assign Q=~(SDN && QN);
    assign QN = ~(RDN && Q);
endmodule
```

在源程序中，用 Q、QN、SDN 和 RDN 分别作为基本 RS 触发器的 Q 、 $\overline{Q}$ 、 $\overline{S_D}$ 和 $\overline{R_D}$ 端口的标识符。

基于 Verilog HDL 结构描述方式设计的基本 RS 触发器的仿真波形如图 5.37 所示。在仿

真波形的 0~100.0ns 时间段，由于输入 SDN = 1 和 RDN = 1，使触发器处于保持功能，但该时间段是触发器上电时刻的初始阶段，其状态是随机的，即可能是 0 态，也可能是 1 态，因此仿真软件给出了保持未知“x”的结果。另外，在 400.0ns~600.0ns 阶段，由于两个输入有效（低电平）后同时（600.0ns 时刻）变为无效（高电平），因竞争使触发器输出出现高频振荡。这种结果与上述用实际门电路构成的基本 RS 触发器的分析结果是吻合的。

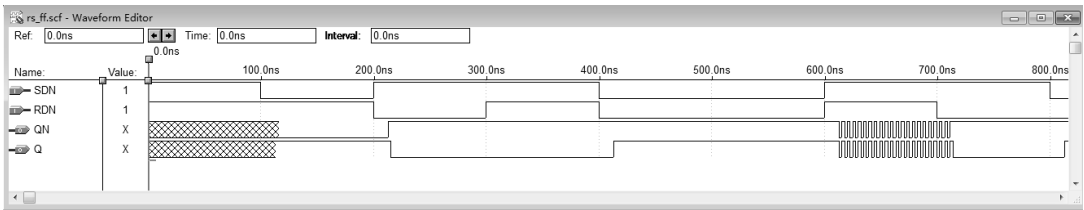


图 5.37 基本 RS 触发器的仿真波形

根据基本 RS 的特性（参见表 5.10），也可以用 Verilog HDL 行为描述方式设计基本 RS 触发器，源程序 RS_FF_1.v 如下：

```
module RS_FF_1(RN,SN,Q,QN);
    input RN,SN;
    output Q,QN;
    reg Q,QN;
    always @(RN or SN)
    begin
        case({RN,SN})
            'b00 : begin Q = 'bx; QN = 'bx; end
            'b01 : begin Q = 0; QN = 1; end
            'b10 : begin Q = 1; QN = 0; end
            'b11 : begin Q = Q; QN = QN; end
        endcase
    end
endmodule
```

基于 Verilog HDL 行为描述方式设计的基本 RS 触发器的仿真波形如图 5.38 所示。在仿真波形中，由于当 SN 和 RN 两个输入有效（低电平）后同时（900.0ns 时刻）变为无效（高电平），电路设计其结果为未知“x”，而仿真软件又将未知设置为“0”电平，所以波形中没有出现图 5.31 所示的高频振荡结果，而出现 Q = 0 和 QN = 0 的结果。

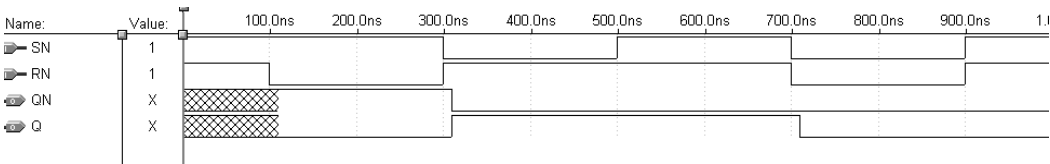


图 5.38 基于 Verilog HDL 行为描述方式设计的基本 RS 触发器的仿真波形

5.6.2 D 锁存器的设计

D 锁存器是用时钟 CP 的电平（高电平或低电平）触发的触发器，对于高电平触发的锁

存器来说，当 CP=0（低电平）时，触发器保持原来的状态不变；当 CP=1（高电平）时，则输出 Q 与输入 D 的状态相同。

根据 D 锁存器的特性，编写的 Verilog HDL 源程序 D_FF_1.v 如下：

```
module D_FF_1(CP,D,Q,QN);
    input CP,D;
    output Q,QN;
    reg Q,QN;
    always
    begin
        if (CP == 0) begin Q = Q;QN = QN; end
        else begin Q = D;QN = ~Q; end
    end
endmodule
```

D 锁存器设计电路的仿真波形如图 5.39 所示，在仿真波形的 0~100.0ns 时间段，也由于 CP=0 而保持了初始的未知“x”状态。仿真结果验证了设计的正确性。

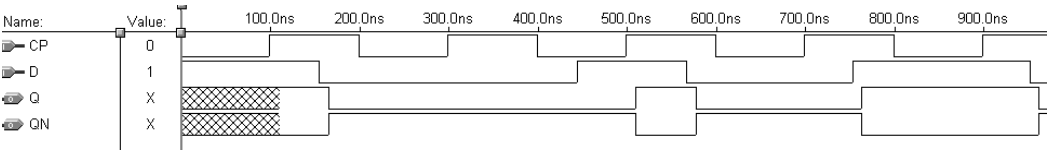


图 5.39 D 锁存器设计电路的仿真波形

5.6.3 D 触发器的设计

D 触发器与 D 锁存器的区别在于它是用时钟信号的边沿（上升沿或下降沿）触发的。在 Verilog HDL 中，利用 always 语句中的敏感参数表很容易得到边沿触发信号。如果 CP 是时钟输入端，则敏感参数“posedge CP”表示 CP 的上升沿到来时刻，而“negedge CP”表示下降沿到来时刻。

利用“posedge CP”敏感参数设计的上升沿触发的 D 触发器的 Verilog HDL 源程序 D_FF_2.v 如下：

```
module D_FF_2(CP,D,Q,QN);
    input CP,D;
    output Q,QN;
    reg Q,QN;
    always @(posedge CP)
    begin
        Q = D;
        QN = ~Q;
    end
endmodule
```

上升沿触发的 D 触发器设计电路的仿真波形如图 5.40 所示，请读者自行分析它与图 5.39 所示的 D 锁存器仿真波形的区别。

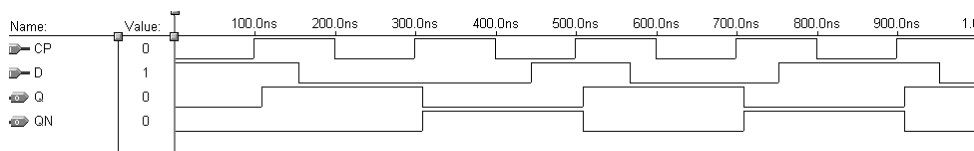


图 5.40 D 触发器设计电路的仿真波形

5.6.4 JK 触发器的设计

下面以 CT7472 为例，介绍下降沿触发的 JK 触发器的设计。CT7472 的特性如表 5.8 所示。说明：CT7472 集成芯片是主从结构的 JK 型触发器，它不具有下降沿触发特性，但其具有常用触发器的端口，因此将其作为边沿触发器来设计。用 HDL 设计的 CT7472 的元件符号如图 5.41 所示，J3、J2 和 J1 是触发器的 3 个具有与逻辑关系的 J 输入端 ($J = J3 \cdot J2 \cdot J1$)；K3、K2 和 K1 是 3 个具有与逻辑关系的 K 输入端 ($K = K3 \cdot K2 \cdot K1$)；RDN 是复位输入端，低电平有效；SDN 是置位输入端，低电平有效；CPN 是时钟输入端，下降沿有效；Q 和 QN 是触发器的互补输出端。

根据 CT7472 的功能编写的 Verilog HDL 源程序 CT7472.v 如下：

```
module    CT7472(RDN,J1,J2,J3,CPN,K1,K2,K3,SDN,Q,QN);
    input  RDN,J1,J2,J3,CPN,K1,K2,K3,SDN;
    output Q,QN;
    reg    Q,QN;
    wire    J_SIG,K_SIG;
    assign  J_SIG = J3 & J2 & J1;
    assign  K_SIG = K3 & K2 & K1;
    always  @(negedge RDN or negedge SDN or negedge CPN)
    begin
        if (~RDN)    Q = 0;
        else if (~SDN) Q = 1;
        else case ({J_SIG, K_SIG})
            'b00: Q = Q;
            'b01: Q = 0;
            'b10: Q = 1;
            'b11: Q = ~Q;
        endcase
        QN = ~Q;
    end
endmodule
```

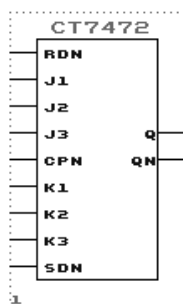


图 5.41 CT7472 的元件符号

CT7472 设计电路的仿真波形如图 5.42 所示。为了便于读者阅图，将设计电路中的 J3、J2、K3 和 K2 等 4 个输入端设置为高电平，使它们不影响 JK 触发器的仿真结果，并把它们从图中删除。仿真结果验证了设计电路的正确性。

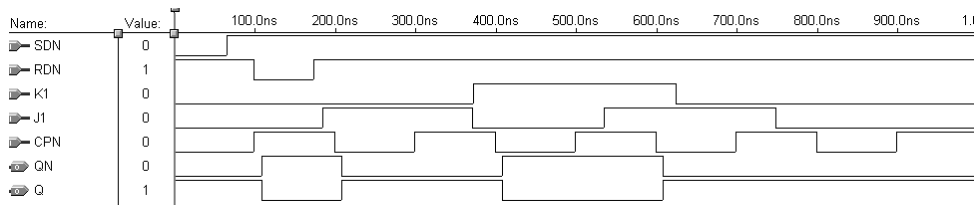


图 5.42 CT7472 设计电路的仿真波形