

第 1 章 简介:信号完整性的重要性

1.1 计算能力:过去和未来

据估计在 2025 年至 2050 年间的某个时候,普通个人计算机的计算能力将超过人脑。根据历史趋势进行外插法估算的结果表明,大约 2060 年至 2100 年间,单个普通个人计算机的运算能力将超过人类。在不到 100 年的时间里,运算能力能有如此巨大的提升吗?这个很难肯定,因为我们无法断言未来。当然,谁都会当事后诸葛亮,不过如果按照历史趋向于不断重复的观点,依据 20 世纪计算能力的发展情况,可以大约推知历史数据是否体现了一定的增长速率足以达到这种程度。卡内基·梅隆大学机器人研究所的研究员 Hans Moravec 估计到一台计算机需要大约 100 兆机器指令/秒(MIPS)的运算能力才足以近似地模仿人脑 [Moravec, 1998]。根据神经元的数量进行估测,他认为当前的计算机技术大致与动物大脑的运算能力相等。这些数据描绘了一个特别有趣的、通过计算机性能和动物大脑相对照进行阶层集合划分来对运算能力发展历史进行研究的方法。

图 1.1 描绘了 100 年来机械电子计算机的运算能力。图中标注了一些富有意义的数据点,覆盖了从手工计算(约 $1/100\,000\,000$ MIPS)到 2002 年的奔腾 4 处理器(10 000 MIPS),而奔腾 4 处理器与猴脑运算能力的估值(1 000 000 MIPS)甚至相差两个数量级。由图可知,根据 30 多年来个人计算机性能的发展情况进行外插法估测,最早在 2020 年计算机才能与人脑的运算能力相比肩。如果使用整个 20 世纪的历史数据,时间将推迟到 2050 年。如果扩展到使用目前地球上所有人类(约 60 亿)等价运算能力来进行外插法估测,将得到更恶劣的情况。这种情况下,如图 1.2 所示,计算机将需要 6×10^{17} MIPS 的运算能力,大约在 2060 年出现。现在的问题是:是否能保持历史前进的步伐呢?观察数据发现,历史发展非但没有变慢的迹象,事实上呈现出增长的态势。

然而,很多计算机业界行家撰写了文章表明运算能力发展的趋势不能继续保持而且指数增长的时代终将停止。1998 年就有文献报道,在一个基于 FR4 电介质的普通印制电路板(PCB)上,无法支持 300 MHz 以上速度的数据总线 [Porter, 1998]。而目前的普通个人计算机中的基于 FR4 的基板的设计方案超过了这个速度将近 10 倍(PCI Express Gen 2 数据总线运行速度是 5 G/s,它的基准速度是 2.5 G/s)。历史上有很多“专家”错估未来的例子:

不可能有比空气重的飞行器。

——英国数学家和物理学家、英国皇家学会会长 Lord Kelvin 于 1895 年如是说
研究交流电完全是浪费时间。永远不会有人用它的。

——美国发明家 Thomas Edison 于 1889 年如是说

高速铁路旅行不太可能,因为旅客不能呼吸,将窒息而死。

——伦敦大学学院的自然哲学和天文学教授 Dionysys Lardner 博士(1793-1859)如是说

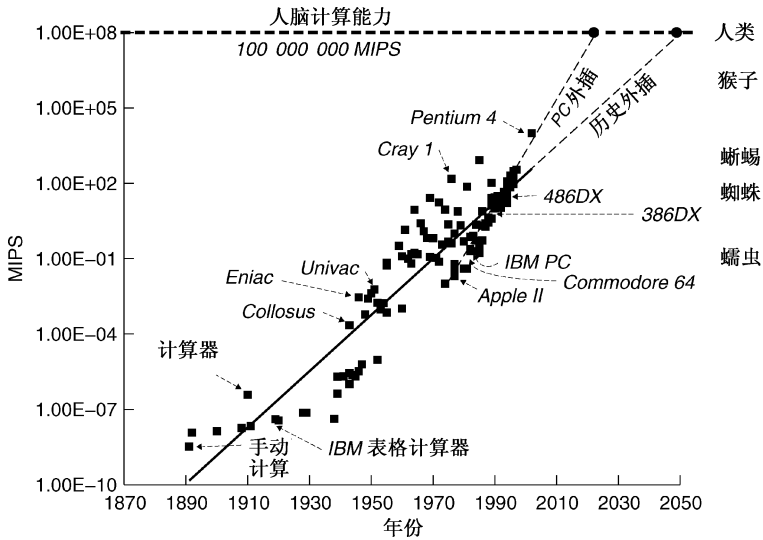


图 1.1 运算能力发展史及用外插法估测的未来运算能力(根据 Moravec[1998]改编)

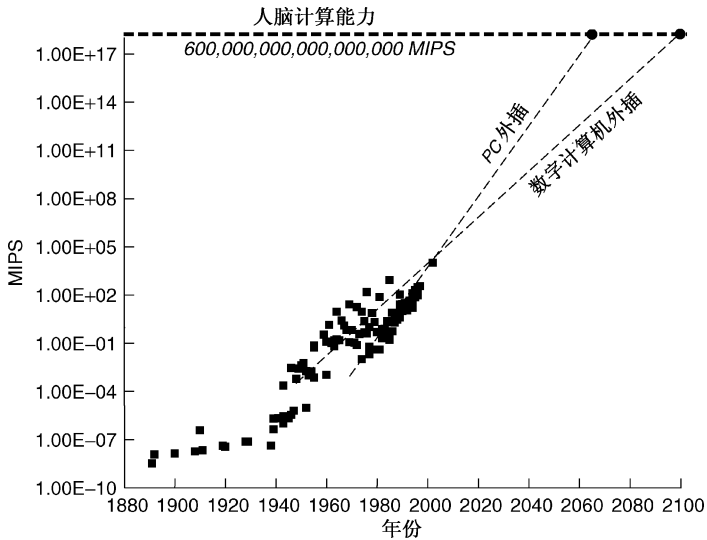


图 1.2 运算能力发展史及用外插法估测的未来运算能力

在 20 世纪 70 年代中期, 集成电路能容纳大约 10 000 个元件, 足以用 $3\ \mu\text{m}$ 大小的设备来构架一台完整的计算机。经验丰富的工程师担心半导体技术已达到其极点。 $3\ \mu\text{m}$ 几乎不比光刻芯片的光波长大多少。靠得很近的互连线间的相互作用将对所传输的信号造成破坏。芯片会产生极大的热量, 不用冷却单元将无法降温。这样的例子不胜枚举。

计算机发展曲线的研究表明, 上面所列问题业界都一一给予了解决。芯片不仅持续发展着, 甚至变得更快。受潜在利益的驱使, 众多科技公司投入了巨大的资源寻求将“不可能”变成可能的措施: 开发更高效的晶体管设计、开发更好的散热器、寻求新的制造工艺、探索更先进的分析技术。历史数据表明, 芯片性能将继续以指数速率增长。

历史上, 高级运算结构趋向于将各部件微型化, 在较小空间里能容纳更多的设备并能正常运作, 使得单位体积能实现更多的功能。首先, 缩小机械计算器中的齿轮使其更快旋转。

然后,减小电子机械计算器中的继电器尺寸使其更快翻转。接着,数字计算机中的开关,从猎枪子弹般大小的真空管,演变为豌豆大小的晶体管,再演变为微型集成电路芯片[Moravec, 1998]。每一项技术的进步都是有代价的:总会出现很多从来没有考虑过但又亟待解决的新问题。

这些与信号完整性有什么关系呢?信号完整性研究领域是运算能力指数增长的直接产物。除了处理器之外,计算机系统通常由若干集成部件组成,包括存储器、缓存器和芯片组件等。这些部件之间的相互连接整体上称为系统总线。本质上,总线是数字系统中不同部件之间进行数据传输的一组集成的互连线。相应地,为了利用业已提升的处理器运算能力,系统总线必须以一个较高的数据传输速率工作。举个例子,假如存储总线上数据的传输不够快,那么处理器只能无谓地等待数据的到来。这种瓶颈将导致高效处理器的很多性能无法发挥。因此,总线速率与处理器性能相匹配是至关重要的。

1.2 问题

历史上用以匹配总线和处理器性能的方法是从速度和宽度两方面来进行的。速度通过在给定时间内传输更多的字节,来实现更高的信息传输速率。宽度则以并行方式传输更多的字节来实现更多的信息传输。本书从此以后,将总线上信息的传输速率称为总线带宽。

提高总线速率可以克服带宽限制,不过由于多种原因,该方法有很多问题。随着总线频率的快速提升,由总线构成被称为互连线(Interconnect)的各数据通道开始呈现高频行为。这些高频行为一直困惑着传统的数字电路设计人员。这就要求对数字领域中涉及到的微波系统及射频设计中常用的模拟技术和理论有着通透的理解。随着数字系统工作频率的提高,这些模拟效应将更加突出,如果不认真对待,将严重影响系统的整体性能。再者,高速的总线需要更多的电能支撑,而电能是数字系统中极其宝贵的资源,尤其是在依赖于电池供电的诸如笔记本计算机的移动设计中。

增加总线宽度也可以解决带宽问题,但此方法也有其自身的限制。由于封装、插槽、连接器的引脚数增多,以及PCB技术的缺点,实际机械的局限性将随之快速呈现出来。而且,紧密相邻的互连线之间的相互作用将降低信噪比的量级,数据传输因而会变得更加困难。摩尔定律表明,计算机性能每18个月就将翻一番,而总线带宽也必须对应地成比例增加。将总线上传输的信号数翻番能得到足够的带宽。不过这种方法的适用期不会超过两年。增加总线的宽度只是一个短期的“创可贴”(band-aid)而已。而某些场合需要更快的总线速率。

现在的问题是,随着总线设计变得更宽更快,尺寸缩小以提供更强单位体积内的运算能力,以往的设计前提变得过时,必须开发新的技术。结果,信号完整性领域持续发展,内容囊括了众多与以往的设计无关的新效应。现代总线已变得极快,设计者们必须计算小到毫伏的电压和小到皮秒的时延量。小到这种程度在若干年前是不曾有过的。我们看一下这个问题的真实情况,从一个人鼻尖反射的光线传到他的眼睛上大约需要85 ps的时间,正好是一些现代总线时延基准(分辨率)的10倍左右。总线时延基准尺寸要求的急剧减小带来很多问题。首先,在设计阶段就必须考虑更多的效应。这些效应要么是二阶的,要么是在设计的前几个阶段完全被忽略的,但现在主导着系统的性能。这样一来,需考虑的变量总数增多,导致问题越来越复杂。另外,用传统的方法很难或者说基本上不可能对新出现的变量建模。除

除此之外，当前实验室中的设备通常不适用于分析太小的时序变化，使得验证完整的设计工作很难或者说不可能进行，也很难或者说不可能将模型与实际情况关联起来。

1.3 基础

众所周知，数字设计的基础是用代表 1 和 0 的信号来传递信息。这一般包括了发送和接收一系列梯形电压信号。其中高电平表示 1，低电平表示 0。传导数字信号的通道称为互连线。互连线包括了收发信号芯片间的全部电路。这包括芯片封装、连接器、插槽、传输线和通孔。一组互连线称为总线。介于数字信号接收器所能识别的高低电平之间的电压范围称为阈值范围。在这个范围内，接收器要么向上翻转，要么向下翻转。在集成电路中，实际翻转电压随温度、电源电压、硅工艺以及其他因素的变化而变化。从系统设计者的角度来看，阈值范围在接收端通常又分为高电平阈值和低电平阈值，分别为 V_{ih} 和 V_{il} 。高于高电平阈值或低于低电平阈值的电平在任何条件下都能保证被接收。这样，设计者就要保证他所设计的系统在任何情况下都能发出一个不低于 V_{ih} 的高电平，或不高于 V_{il} 的低电平，以确保数据的完整性。

为了最大可能地提高数字系统的运行速度，必须将穿过阈值范围的数据传输的时序不确定性做得最小。也就是说，数字信号的上升或下降必须足够快。理想状态下可以使用无限快的边缘翻转速度。当然，这在实际中是不可能的。实际中边缘翻转时间可以快到 35 ps。读者可以用傅里叶方法分析一下，越快的边缘速度，在信号的频谱图中会发现越多的高频分量。每个导体具有与频率相关的电容、电感、电导和电阻。频率足够高时，这些参数无法忽略。因此，一条互连线不再只是一条单纯的导线而是一个频率相关的、具有分布参数的元件，具有延迟和瞬态阻抗的特性。这些特性在从驱动芯片到接收芯片的波形传播中表现为失真和干扰。互连线是一个与周边设备有着交叉影响的元件，包括电源线、地线、散热片、其他互连线，甚至无线网络。信号不是只存在于传输它的导体中，而是存在于导体周围的局部电场和磁场中。互连线中的信号将影响其他互连线中的信号，或者被影响。在互连线紧密相邻的情况下，所有设备中的电感、电容和电阻等在保证接收端在适当的时延下实现翻转的这个简单任务中起着至关重要的作用。

高速设计中的一个最难的问题是有许多互相依赖的变量影响着数字系统的输出。有些变量可控，有些则使设计者不得不与随机变量打交道。数字设计的难点之一就是对这些可控或不可控的众多变量的处理。通常可以用忽略某些变量或给变量估值的方式来简化问题，不过这样会引起一些原由不明的错误。随着时序的限制性不断增强，对现代设计者来说，过去曾用过的简化方法的可用性急剧降低。本书也将给出处理大量变量的方法，这些问题如处理不当将变得难以驾驭。若没有处理大量变量的策略，不论设计者多么了解实际的系统，最终的设计只能是臆想之作。处理所有变量的最后一步通常是最困难的部分，这往往容易被设计者忽视。因为不能处理大量变量而陷入困境的设计者们，最后转而寻求证明一些“临时解”，并期望它们能代表所有的已知条件。这是一个很危险的猜谜游戏，虽说有时这样的方法无法避免。当然，设计中有一定量的臆测部分，不过设计的目标是 최소화系统的不确定性。

1.4 总线设计的新领域

技术在不断进步,数字设计已进入一个新的领域,要求有新的设计技术和概念。这些新设计技术和概念甚至最熟练的数字系统设计者也难以理解。事实上,如果不能对本书中罗列的基本原则有着透彻的理解,现在或未来的诸如个人计算机等最新的数字系统是不可能设计出来的。为什么这在从前不成问题呢?原因是从前数字设计者不需要理解这些概念。随着现在数字电路的速度快速发展,不得不对这些概念进行深入了解。熟练的工程师们面临着这样的威胁,如果不适应新的设计理念就会被淘汰。本书将帮助工程师们适应新的形势。

从 Monroe 计算器到奔腾芯片,从打孔卡片到闪存,从真空管到集成电路,计算机性能以指数速率增长着。本书中,我们论述了现代数字设计者在现代或未来高速数字系统设计中碰到大量新的挑战时所需要的、不得不去学习的、以前看来不需要的知识。当传统数字设计者跨入高速设计领域时,他们将对高速逻辑信号有着完全不同的看法。本书将帮助他们触摸高速数字系统中那个怪异的、扭曲的、模糊化的信号波形。

1.5 本书适用对象

本书是为信号完整性的深入学习而撰写的。虽然也涉及一些基础知识,但本书假定读者具有良好的电磁场理论、向量计算、微分方程、统计学和传输线分析等方面的知识。本书以传统知识为基础,探讨了现在和未来的数字系统所需要的知识。

1.6 小结

当前形势的是:出现许多新问题需要解决。那些能解决这些问题的工程师们将决定未来。本书期望能用解决现代高速数字设计中出现的问题的必要的、实际的理解,以及充分的理论知识来将读者武装起来,以站在超越本书的角度来解决一些甚至作者也还没有碰到过的问题。

错误声明

虽然经过了反复校稿,但有些错误仍属难免。这些错误在随后的印刷中会得到修正,我们还将勘误表汇总在 ftp://ftp.wiley.com/public/sci_tech_med/high_speed_design, 期望对大家有所帮助^①。

参考文献

- Moravec, Hans, 1998, When will computer hardware match the human brain?, *Journal of Evolution and Technology*, vol. 1.
- Porter, Chris, 1998, High chip speeds spell end for FR4, *Electronic Times*, Mar. 30.

^① 已根据作者 2009 年 10 月发布的勘误表更正了书中内容——编者注。