

第1章 绪 论

Dan Oh, 袁兴朝

计算类设备,如计算机服务器、工作站、个人计算机(PC)、游戏机、智能手机等,随着一代又一代新半导体工艺的出现而变得越发强大。摩尔定律指出,芯片上的晶体管数量每两年增加一倍^[1]。在一个芯片中不仅功能增多,而且性能也不断增强。与性能的提高相匹配,在计算设备各构件间的数据通信速度也在不断提高,从20世纪90年代初的数百兆比特每秒(Mb/s),已经上升到2008年的数吉比特每秒(Gb/s)。预计,不久将提高至数十吉比特每秒(Gb/s)的数据通信速率。例如,下一代PCIe的技术规范正在把8 Gb/s作为目标数据率,并于2012年投入生产。

由于数据通信已经达到数Gb/s的速率,确保片上和片外都具有良好的信号完整性变得非常重要。理解由导线或互连引发的高频物理效应,已经和芯片设计本身同等重要。此外,为了对系统级的行为(如抖动的放大和抵消)建模,片上电路产生的抖动,现在也成为一种信号完整性(SI)的问题。以前那种当芯片做好后再研究信号完整性问题,这样的事已经是过去了。I/O接口设计师或系统设计师,必须彻底进行信号完整性分析,以避免产生不可靠或过于受限的系统,或造成要花高价从市场召回产品。

必须在事先通盘考虑信号完整性的设计,才能确保现代高速数字系统的鲁棒工作。需要引入并采用新的设计方法学,以应对那些在较低数据率时可以被忽略的物理效应。为了尽量降低高目标数据率下通道设计的时序误差,应该优化设计时令(clocking)或时序电路。在研制任何硬件或系统之前,要先评估并分析最坏情况设计参数和互连的电气性能。详细并准确地理解互连的电气性能、高级信令、电路技术(如均衡)等,有助于消除由非理想互连造成的影响。

准确预估数Gb/s数据率时系统的行为是一项艰巨的任务,需要信号完整性工程师具有几种不同工程学科的知识和经验。具体而言,这些工程师必须有数字系统工程、高速I/O电路设计、电子封装及印制电路板设计、通信理论、微波工程、计算电磁学等方面的知识。基于这种对多学科的需求,信号完整性工程师可能具有许多各不相同的技术背景,如电路和印制电路板设计、射频/微波工程、电磁建模等。信号完整性工程师需要在今后工作中再获得必要的知识和经验。面对信号完整性工程师的需求缺口日益扩大,只有很少几所大学提供了专门讲授信号完整性的课程和培养方案。

由于信号完整性属于一个相对较新、快速发展的多学科领域,关于这一问题的优秀参考书籍不多。H. B. Bakoglu在1990年出版的书,是一本介绍信号完整性的入门教材^[2]。Bakoglu的主要读者对象是那些想了解高速数据传输下互连影响的芯片电路设计师。H. W. Johnson在1993年出版的书^[3],是信号完整性工程师的一本实用手册。1998年由剑桥大学出版社出版W. Dally的著作^[4],为高速数字系统设计提供了系统全面的信息。他明确指出在设计高速信令系统时,如何应对由电路设计、封装和互连设计、电源分配网络设计

造成的影响。最近,有了比较多的信号完整性设计和工程方面的书籍^[5~19]。这些书籍涵盖了广泛的专题范围,包括印制电路板设计、系统时序分析、衬底噪声耦合、电源噪声建模等。

虽然上述专著对于信号完整性工程师已经够用,但是其中大部分都集中在一个特定的专题上。很少有给出系统性的解决方案;讨论如何从体系架构阶段直到生产全过程去设计一个高速系统;如何确保在最坏条件下系统仍能鲁棒工作。再者,他们很少提供如何提高大批量生产中成品率的工艺信息。因为当今的数据率已经从数 Mb/s 上升到数 Gb/s,有一些资料显得已经过时了。这样,信号完整性工程师必须在缺乏足够参考资料的情况下,面对数 Gb/s 设计的新挑战。他们必须研究在通信理论、电路理论、微波工程、计算电磁理论中遇到的共性课题,以便理解和设计出数吉赫兹的系统。

本书是一个对高速信号完整性工程的全面研讨。力图帮助信号完整性工程师们获得必要的技能和知识,以便对数 Gb/s 数字系统进行建模和设计,成为一个中级到高级水平的手册。这里,假定读者对几个电子专业学科,包括超大规模集成电路(VLSI)设计、传输线理论、微波工程等已经有了一些基本了解。本书是 Rambus 公司 20 多位工程师 10 多年从事高速信号完整性设计经验的结晶。Rambus 设计 I/O 接口数据率的范围很宽,从 20 世纪 90 年代早期的 800 Mb/s,直到 2009 年的 16 Gb/s。这些 I/O 接口大多数是 Rambus 专有的,公司的信号完整性工程师与其他电路和结构工程师们密切合作,确保了通道性能的可靠。信号完整性工程师负责定义信令和电路技术规范;表征并仿真原型虚拟通道;掌控大规模生产的环境等。本书将分享超过 10 年分析各种 I/O 接口的集体经验,包括:板上并行总线、背板、消费类存储器、PC 主存等。

什么是本书的特色呢?

- 本书给出一种系统化的方案,探究从系统架构设计阶段到大批量生产全过程的信号完整性问题。
- 本书涵盖的主题范围广泛,包括高速 I/O 接口的设计、实现和验证。
- 非常深入地讨论无源通道的建模、电源噪声和抖动的建模,并预估系统的容限等。
- 将信号完整性和电源完整性看成一个整体问题,为了求得整个系统的行为而统一设计。统一考虑电源噪声(包括片和片外两种噪声)对信号质量的影响。
- 详细解释对系统电压预算和时序预算折中的方法学,以确保系统在大批量生产过程中的鲁棒性。
- 因为网络和传输线理论是通道分析的重要内容,本书首次给出实用又稳定的各种网络参数换算公式。互连宽带建模具有相当的挑战性。文中阐述了现有模型和工具的一些基本问题,提出一些可能避免不准确建模的技巧改进方法。
- 本书展示了信号完整性和电源完整性工程的最新进展。特别是,在较高的层次解释均衡技术对通道性能的改善。首次对大批量生产过程建模;给出链路抖动/统计的仿真方法学;详细探讨了抖动和时令拓扑之间的关系。还介绍了进行链路性能原地测试的片上测量技术。

1.1 信号完整性分析的走向

信号完整性工程是一个相对年轻的工程学科,设计出高速数字系统就是推动其发展的原动力。在 20 世纪 90 年代初,数字系统的工作速率相对较低,信号完整性往往是一种附加

的选项。工程师不必担心无源互连的寄生效应，包括封装和印制电路板的走线、过孔切换和连接器等。那时的封装和 PCB 物理设计，往往就是用版图设计工具进行简单的“点间连接”。然而，随着高速系统数据率的提高，人们遇到了无数由于寄生效应引起的系统故障，如串扰、反射、电源噪声等。因此，信号完整性工程就从默默无闻，变成为最重要的工程学科之一。本节将回顾信号完整性工程的发展史；讨论过去 10 年的演变历程；探讨今后的发展方向。

1.1.1 1990 年之前：“黑魔盒”时代

在计算机发展的初期阶段，晶体管器件的速度决定了 I/O 的速度。这时，数字系统上的寄生效应是微不足道的。除非是设计超级计算机，一般都不去关注信号完整性问题。在此期间，对于串扰和电源噪声等问题，都是在个案的基础上加以解决。为了调试系统故障，具有各种技术背景和经验的工程师进入信号完整性工程领域。典型的工程背景包括：模拟设计、I/O 电路设计、印制电路板 (PCB) 和封装设计、微波工程、电磁建模等。事实上，信号完整性任务被视为“副业”，而不是作为一种主流的工作职责。

在这些早期的日子里，信号完整性工程处于幼年期。有几个问题成为这一时期的象征：首先，对数字系统中的噪声机理知之甚少。虽然在相关的微波工程中对高频寄生效应有了深入的研究，但这些知识很少被引用到数字设计中。其次，数字设计师在设计阶段常常忽略寄生效应的影响。只有当出现系统不稳定或故障时，才在事发后去面对问题。人们并未认真地尝试去理解故障发生的机理。因此，信号完整性被戏称为“黑魔盒”，而不是工程。第三，可用的工具和方法学非常有限，无法对数字系统中寄生效应准确建模。最后，信号完整性工程师的角色和责任没有明确界定。如前所述，大多数工程师具有不同的技术背景，大多数又都有一个信号完整性工程以外的主要工作岗位。

幸运的是，在一些高端系统制造商(如 IBM、DEC、HP、Bell Labs)和工院校工作的研究人员倾注了大量的精力对互连系统进行建模和分析。从 20 世纪 70 年代初开始，他们的成果就陆续发表在各种学术期刊和会议上。由于其应用范围局限于超级计算机和大型机等高端计算系统，所以并没有出现针对信号完整性专题内容的教科书。

1.1.2 1990 年至 2000 年：“无源通道”时代

20 世纪 90 年代初，计算机系统内部的数据率已经达到数百 Mb/s。例如，20 世纪 90 年代初高端 PC 系统的存储系统已经工作在 500 ~ 800 Mb/s；Intel 公司的微处理器则工作在吉赫兹频段。这种系统中的噪声设计变得非常重要。这一时期称为 EPEP(电子封装的电气性能)的信号完整性专业学术会议于 1992 年诞生；其他一些电气工程会议则是将信号完整性作为会议的一个专题。在此期间，信号完整性工程迅速发展并改变了技术的广度和深度。给出更多实际问题的解决方案；很快完善了早先由高端系统制造商和高等院校研究人员给出的研究成果。图 1.1 说明了在典型设计过程中信号完整性工程师的各项任务。必须将许多迷人的技术片段相结合，才能设计出一个鲁棒的高速数字系统。与在 1990 年前的早期信号完整性工程相比，现在信号完整性工程已不再是一个可有可无的东西，而是高速数字系统设计中的一个有机部分。曾经用于少数高端系统制造商的工具和方法，从各个 EDA 供应商那里已经变得随时可以得到。

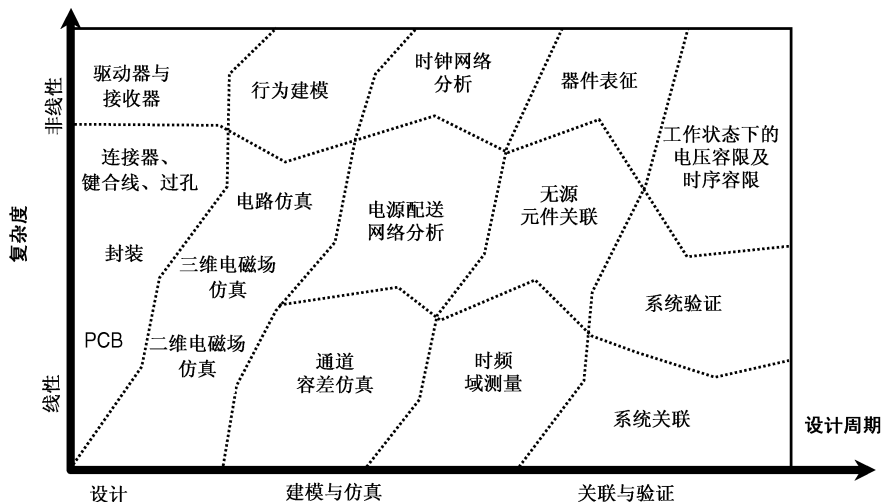


图 1.1 高速数字系统设计的信号完整性工程任务

在 20 世纪 90 年代期间，信号完整性分析侧重于对传输线的建模。有了 HSPICE 提供的稳定和准确传输线模型，工程师们终于能够评估串扰、反射和损耗的影响。采用瞬态分析可以方便地评估由介质和导体趋肤引起的频率相关损耗。电磁场的二维和三维求解器可用于提取 RLGC(电阻、电感、电导、电容)矩阵或散射参数。信号完整性工程师可以使用电磁场建模工具构建基于物理设计的 SPICE 电路模型。对无源模型与实测的关联与验证过程可以通过在时域用时域反射计(TDR)/示波器；或在频域用矢量网络分析仪(VNA)进行。最后，还要验证系统在最坏工作条件下的电压容限和时序容限。

在此期间，信号完整性工作侧重于对无源通道的建模以及它与硬件实测结果的一致性关联上。这一时期可看成“从发送芯片焊盘到接收芯片焊盘的建模”。对无源通道中所有构件进行建模。然而，芯片中的所有实现被视为黑盒子。常常采用发送器和接收器的行为模型(如 IBIS)，以尽量降低 SPICE 瞬态仿真时间。无源通道和有源(Tx/Rx)电路之间的相互作用被忽略，或者模型过于粗糙。即使发现有与无源通道技术规范相“违背”的现象，整个系统可能不一定出现故障。此外，许多企业不理解信号完整性工程的重要性，有的继续把信号完整性作为后端的一个工艺，直到设计周期后期发现问题时才加以处理。此外，仍然对信号完整性工程师职责和信号完整性工程走向有一些不同的看法^[20]。总之，在 20 世纪 90 年代信号完整性工程在高速数字系统设计中发挥着重要但又有限的作用。

1.1.3 2000 年至今：“全链路”时代

目前，计算系统的数据率已经达到数吉赫兹的等级。例如，索尼(Sony)的 PlayStation 3 采用了差分 XDR 存储器系统，支持的数据率范围为 3.2 ~ 6.4 Gb/s。目前 Intel 微处理器已经工作在 3 GHz 以上。板上并行接口以及高端图形显示存储器接口的数据率已经达到数 Gb/s 的量级。现代路由器和交换机中的数据通信需要采用甚高速的串行链路。例如，根据光互联网论坛(OIF)的标准，要求背板系统的数据率为 6 ~ 12 Gb/s。对于数吉赫兹的应用，通道往往决定了速度的上限。因此，设计的关注点聚焦于如何降低通道造成的非理想物理效应，尤其是符号间干扰(ISI, Inter-Symbol Interference)上。

在此期间,信号完整性已经成为架构设计的重要推动力。在整个设计周期,包括从概念设计到批量生产、降低成本的全过程中,信号完整性工程师不停地与系统架构师、电路设计师、系统工程师进行交流互动。信号完整性工程已经超越了常规的无源互连建模,开始试图对整个链路建模。其中,包括发送器、接收器、时钟、通道等。信号完整性工程擅长于信令结构的分析和性能的权衡折中。对整个链路的信号完整性建模分析影响到设计中的许多内容,如均衡化架构、时钟架构、时序校正架构、编码和/或纠错架构等。本书的重点内容将奉献给称为“信令分析”的这一信号完整性分析新时代。

1.1.4 今后:“电源被优化的链路”时代

本节作者将根据目前的经验和对技术发展趋势的判断,探讨今后进行信号完整性分析的一些新领域。为此先简要地从器件的角度,回顾一下过去发生了什么? CMOS 特征尺寸和电压同时按比例缩小使得单位面积功耗得以维持恒定^[21],在同样的芯片面积上可以容纳更多的晶体管。这直接改善了芯片的性能,并进而要求有高速的 I/O 接口。但是,由于功耗泄漏的缘故,导致阈值电压(V_{th})无法继续下降,从而电压的下降已明显放缓。因此,每单位面积的功耗不再是恒定的,而是不断升高。图 1.2 给出了这个变化的趋势和微处理器的功耗情况。

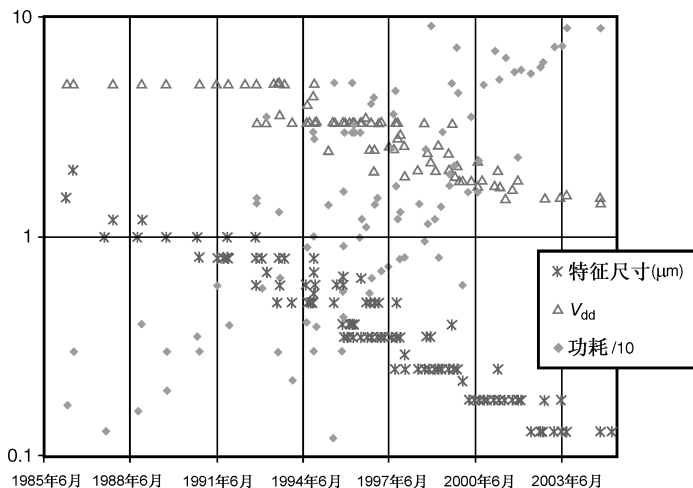


图 1.2 不同年代微处理器 V_{dd} 、功耗/10、特征尺寸^[21] (© 2005 IEEE)

由于电压缩减的放缓,目前这一代 I/O 接口的设计需要研究在给定目标工艺下的数据率优化问题。在评估链路性能时,将以每位的功耗而不是单纯的性能作为一个公共的度量。有人以 FO4(扇出系数为 4)的时延为基准,把给定工艺下的功耗归一化,以便预估出独立于工艺技术的最佳数据率^[22]。对不同信号调理方案下的数据率和功耗进行基本的权衡折中分析,将在今后的信令分析中非常有用。

传统的 I/O 接口设计只专注于目标数据率,认为在表征性能的数据率、功耗、系统成本当中,数据率是最高要求。但是,这对于功耗是关键的情况,例如快速增长的移动设备,已经不再合适。这种系统应用的处理器具有多个 I/O 数据传输速率,为的是优化各种应用下的功耗。此外,各种电源管理方案,例如关闭全部(或部分) I/O 接口,已被普遍采用^[23]。这时,信令设计必须考虑到多种数据率,信号完整性分析也必须考虑在非理想情

况(主要是在不同电源模式或数据率之间的切换)出现时,能做到不中断或 I/O 性能退化的最小化。

三维集成是运用信令分析的另一个新领域。三维集成缩短了 I/O 通道,但由于小外形下提供稳压电源的难度很大,它将承受更多的片上噪声。这类应用中,时钟树跨越的距离要比 I/O 互连本身更长, I/O 性能严重受制于时钟分配网络。建模并降低由时钟分配网络造成的抖动,是应用中的关键难题。到目前为止,芯片内核噪声对 I/O 的影响在很大程度上未被重视。以前的 I/O 有一个单独的电源轨道,但在三维集成中则不太可能。对于具有高速 I/O 的三维集成,最好在片上有电源稳压器。如何在片上稳压器设计和 I/O 接口之间进行权衡折中,就成为一个关键问题。

因为低摆幅信令适合于低功耗应用,片上稳压器配上片外接口将变得更加普遍^[23]。这种接口即使是单端信令设计,也会有最小的输出电源噪声;由电源噪声引起的抖动将主要源自前置驱动器或时钟树。电路中由电源噪声引起的抖动将占有重要的分量,信令分析必须包括这类效应的影响。总之,今后的信号完整性分析将更具挑战性,需要更多接口架构方面的知识。

1.2 高速信号完整性设计的挑战

本节将详细论述在高速信号完整性设计中信号完整性工程师将面临的诸多挑战。

挑战之一就是必须改变系统设计的方法学,对信号完整性关注要从架构阶段开始,而不是放到后面的工艺中。这一问题在设计高数据率时更为重要。过去的工程师们依靠自己的经验行事,直到一些错误的出现。这样,一旦出现产品的延误和返修,就变得非常昂贵。

信号完整性工程师需要理解关键时序参数、电压参数以及在设计中的关系。很好地理解信令方案和时令架构是非常重要的。并非所有的信号完整性工程师都有机会研发一个新的信令方案;大多数工程师是基于行业协会已定义标准之上工作的。即使这种情况下,信号完整性工程师也需要理解信令的工作原理及其关键技术要求;能辨识出最坏场景是至关重要的。

信号完整性工程师还必须对无源互连,包括封装、PCB、连接器建立准确的模型。模型要能提取出与频率相关的损耗、串扰和反射;也要提取出三维及全波效应。这些模型可用于时域仿真或频域仿真。

信号完整性工程师必须在时域以及频域用 TDR 和 VNA 等硬件进行详细的关联度测试,以建立对无源模型准确性的可信度。在大批量生产时还必须考虑制造容差的影响。

信号完整性工程师还需要建立一个准确的电源分配网络模型,以分析电源噪声对系统性能的影响。电源分配网络必须不仅适用于片上电源配送网络的分析(如 IR、电磁场、电源交流噪声等);还必须能够用于求得系统的行为,例如在信号和电源轨道之间的耦合等。必须定义出在晶体管和封装引脚处的电源电压容差。为了抑制高、中、低频电源噪声,必须定义出对芯片、封装、PCB 旁路滤波的要求。

信号完整性工程师需要掌握非理想电路行为的影响,如发送器抖动以及接收器的偏移和/或灵敏度等。必须为确定性噪声源(如占空比失真或符号间干扰);随机噪声源(如热噪声或散弹噪声)建模。信号完整性工程师在多学科环境下的工作能力是非常重要的,

需要评价各种设计方案的风险或优势；需要根据速度和功耗定义出最佳的信令架构。此外，信号完整性工程师必须弄清在给定时令架构下电源噪声与抖动间的关系。某些时令架构比起其他架构，可能对噪声更敏感。最要紧的一件事是就求解出噪声抖动间的传递函数。

最后，信号完整性工程师必须学会实验室的实测工作，掌握各种测试技术，包括 VNA、TDR、DCA(数字采样示波器)、频谱分析仪、BERT(误码率测试仪)等。必须学会通过实验检测并提取波形，将它们与仿真进行关联，解释所观察到的系统行为。必须学会利用实测关联过的模型找出故障或不稳定的源头，提出改进设计的建议。

1.3 本书的章节编排

第2章对信令基础知识进行了综述。其中，阐述了 I/O 信令通道的基本模块；介绍了基本的 I/O 接口设计。该章略去对细节的介绍，描绘了 I/O 接口的总体设计，包括在传统信号完整性设计中被忽视的各种时令和拓扑结构选项。该章涵盖了高速 I/O 链路中的主要噪声分量。对这些噪声分量的基本机理及建模问题进行了讨论。

本书将其余各章组织为第 I 篇至第 IV 篇共 4 大篇章。第 I 篇由 3 章构成，探讨无源通道的建模技术。第 3 章提出了一个完整的通道建模和设计方法学，着重于无源通道建模的一般流程。通道建模往往需要不同网络模型的转换，第 4 章则提供了不同网络参数的换算公式。其中，介绍了最近很有名的 S 参数建模中的几个问题。该章还论述了网络参数的无源性条件。第 5 章讨论了传输线模型，以及一个流行的递归卷积法及其局限性。对如何从测量数据生成传输线模型的技术进行了详细的描述。对 PCB 走线、封装走线、片上互连这三个不同的互连类型特点，进行了讨论。

第 II 篇讨论通道的仿真和分析问题，共计 5 章，全部用于探讨这一专题。第 6 章讨论了链路性能分析面临的挑战；综述了常规的电压预算和时序预算分析。其余 4 章是应对这些挑战的技术，涵盖了几种新的仿真方法学。第 7 章介绍了用于通道分析的实验设计 (DoE)。DoE 技术确保在有工艺波动的大规模生产中系统通道性能的可靠性。第 8 章提出了一种统计链路仿真框架，它除了考虑传统的通道影响之外，还可以仿真器件的时序抖动及电压噪声。虽然统计链路仿真器是用于预估链路性能的一个强大工具，它仍有些许严重的局限性(如难以对非线性驱动器建模和解释数据编码)。第 9 章探讨快速时域仿真器，可与统计框架相结合，以改善纯粹统计方法遇到的问题。使用适当的时令架构，可以明显降低抖动或噪声分量。第 10 章对统计链路仿真器中一些常见的时令架构及其仿真模型进行了综述。

第 III 篇探讨电源噪声对链路性能的影响。正如标题所意涵的，第 11 章对电源完整性工程进行了综述。同时开关噪声 (SSN) 分析是现代高速存储器接口设计中的一个热点问题。第 12 章讨论了一个 SSN 分析的高效、准确仿真方法学。以 DDR2 存储系统为例，证明所提出仿真方法学的有效性。对常见单端信令技术的 SSN 噪声机理也进行了解释。由于封装设计的物理限制，SSN 的降低相当具有挑战性。第 13 章提出总线编码技术，可以降低 SSN。通过使用差分信令或数据编码，输出电源的 SSN 噪声不再是时序抖动的主导

因素。前置驱动器和时钟路径上的电源噪声形成了相当量级的抖动。第 14 章论述了电源噪声引起抖动 (PSIJ) 的基本原理。第 14 章包括用于测量电源噪声和电源分配网络 (PDN) 阻抗的片上测量电路。第 15 章将这种测量技术进一步延伸到对衬底噪声的测量。

第 IV 篇致力于高级的 SI/PI 专题。第 16 章介绍片上信号和噪声性能的测量技术。由于三维封装, 譬如 PoP (封装中封装)、SiP (系统级封装)、三维集成的普及, 这类功能正变得更加重要。现代高速链路采用信号调理技术克服物理通道的限制, 第 17 章对这些均衡技术进行全面的阐述。第 18 章提供了三种信令示例, 列举出不同应用中的共同特征。第一个示例是应用于高端 PC、游戏和图形显示中的 XDR 存储器系统。对几个关键架构级的特征, 如时序调整中的 FlexPhase 和缓解多点下传问题的动态点到点 (DPP) 技术进行检视。第二个示例是低功耗应用中的移动 XDR。详细介绍通过附加功能的设计降低了移动 XDR 的接口功耗。第三个示例, 将这些高级信令特征用于当前一代的 DDR 主存储系统, 给出了今后提高数据率的路线图。最后, 预估了今后高速接口中的几个要点。

参考文献

1. G. E. Moore (1965). "Cramming more components onto integrated circuits," *Electronics Magazine*.
2. H. B. Bakoglu, *Circuits, Interconnections, and Packaging for VLSI*, Addison-Wesley, 1990.
3. H. W. Johnson and M. Graham, *High Speed Digital Design*, Prentice Hall, 1993.
4. W. Dally and J. Poulton, *Digital System Engineering*, Cambridge University Press, 1998.
5. Balsha R. Stanisic, Rob A. Rutenbar, and L. Richard Carley, *Synthesis of Power Distribution to Manage Signal Integrity in Mixed-Signal ICs*, Springer, 1996.
6. B. Young, *Digital Signal Integrity: Modeling and Simulation with Interconnects and Packages*, Prentice Hall, 2000.
7. S. H. Hall, G. W. Hall, and J. A. McCall, *High Speed Digital System Design: A Handbook of Interconnect Theory and Design Practices*, IEEE Press, 2000.
8. R. Singh, *Signal Integrity Effects in Custom IC and ASIC Designs*, Wiley-IEEE Press, 2001.
9. S. Donnay and G. Gielen, *Substrate Noise Coupling in Mixed-Signal ASICs*, Springer, 2003.
10. E. Bogatin, *Signal Integrity - Simplified*, Prentice Hall, 2003.
11. D. Brooks, *Signal Integrity Issues and Printed Circuit Board Design*, Prentice Hall, 2003.
12. T. Granberg, *Handbook of Digital Techniques for High Speed Design*, Prentice Hall, 2004.
13. D. Miller, *Designing High-Speed Interconnect Circuits: An Introduction for Signal Integrity Engineers*, Intel Press, 2004.
14. S. C. Thierauf, *High-Speed Circuit Board Signal Integrity*, Artech House, 2004.
15. Roy G. Leventhal, L. Green, and D. J. Carpenter, *Semiconductor Modeling: For Simulating Signal, Power, and Electromagnetic Integrity*, Springer, 2006.
16. G. Edlund, *Timing Analysis and Simulation for Signal Integrity Engineers*, Prentice Hall, 2007.
17. M. P. Li, *Jitter, Noise, and Signal Integrity at High-Speed*, Prentice Hall, 2007.
18. M. Swaminathan and A. E. Engin, *Power Integrity Modeling and Design for Semiconductors and Systems*, Prentice Hall, 2007.
19. S. H. Hall and H. Heck, *Advanced Signal Integrity for High-Speed Digital Designs*, IEEE Press, 2008.

20. A. Fraser and S. Argyrakis, "Does signal integrity engineering have a future?," presented at the IEC DesignCon, Santa Clara, CA, 2003.
21. M. Horowitz, E. Alon, D. Patil, S. Naffziger, R. Kumar, and K. Bernstein, "Scaling, power, and the future of CMOS," in *International Electron Devices Meeting Technical Digest*, Dec. 2005, pp. 7-13.
22. H. Hatamkhani and C. K. Yang, "Power analysis for high-speed I/O transmitters," in *Symposium on VLSI Circuits Digest of Technical Papers*, Jun. 2004, pp. 142-145.
23. B. Leibowitz, R. Palmer, J. Poulton, Y. Frans, S. Li, J. Wilson, M. Bucher, A. M. Fuller, J. Eyles, M. Aleksic, T. Greer, and N. Nguyen, "A 4.3GB/s mobile memory interface with power-efficient bandwidth scaling," *IEEE Journal of Solid-State Circuits*, vol 45, no. 4, pp. 889-898, 2010.